

# 第1章 数字电路与系统实验基础知识

随着数字技术日新月异的发展，数字电路与系统实验已成为高等学校电类相关专业重要的专业基础课程，具有较强的实用性、创造性和实践性。数字电路与系统实验依据教学、科研的具体要求设计实验项目，要求学生实现电路设计、安装和调试，从基本逻辑功能的实现到复杂数字系统的设计，逐步掌握具有特定功能数字电路的设计方法，从而达到巩固基本理论知识、培养实践能力的目的。千里之行，始于足下。掌握基础知识，是做好数字电路与系统实验的第一步。

## 1.1 数字电路与系统实验基本知识

### 1.1.1 数字电路与系统实验的特点

与电路实验和模拟电子电路实验相比，数字电路与系统实验具有以下特点。

#### 1. 所有电路和系统的输入量和输出量都是二值化的数字量

数字量具有在时间和数值上均离散的特点，在数字电路与系统实验中，一般输入量外接逻辑开关，输出量外接指示灯，实验结果直观、易判断，实验数据的处理较为简单，复杂计算极少，容易激发学生的学习兴趣，培养逻辑思维的能力。

#### 2. 实验器件都是集成芯片

数字电路与系统实验中采用的器件主要是半导体集成芯片，而非独立元件。在基本数字电路的设计中，一般采用中、小规模集成电路，在复杂系统的设计中，一般采用大规模甚至超大规模集成电路。这一特点使得数字电路与系统实验的硬件连线大大减少，电路调试和排查错误的难度大大降低。

#### 3. 实践性很强

优秀的数字电路与系统的设计需要丰富的实践经验，而这些实践经验来源于大量实际电路的设计和调试。因此，在最基本的实验项目中，就应开始注重实践经验的积累。

### 1.1.2 数字电路与系统实验的基本过程

独立、成功地完成一次实验课的基本过程如下。

#### 1. 课前预习

在进入数字电路实验室之前，充分的课前预习对顺利完成所有实验项目具有举足轻重的作用。课前预习的内容包括本次实验项目中涉及的基本理论知识、所需集成芯片的逻辑功能、每个实验任务的设计方案和具体的电路图，以及记录数据的表格和波形坐标系。

#### 2. 基本性实验项目

每次实验课中都设计了基本性实验项目，其主要目的是测试和验证实验电路的基本逻辑功能，掌握基本器件的使用方法，锻炼电路连接能力，掌握实验数据的观察和处理方法。

### 3. 设计性实验项目

这一环节是在验证基本性实验项目的基础之上,进行具有特定功能的数字电路的设计和调试。设计性实验项目大多来自具体的应用领域,具有一定的趣味性和实用性,实验项目若顺利完成,可大大增强学生的学习成就感,从而进一步激发自我学习的动力。

### 4. 实验总结

实验总结环节主要是针对本次实验内容进行数据分析和处理,总结数字电路设计的方法,积累实践经验,并形成书面总结报告。

## 1.1.3 数字电路与系统实验的基本要求

### 1. 通过预习,具备检查本次实验所用芯片好坏的能力

由于接线错误或者调试过程中的误操作,集成芯片较易损坏。若在实验进行之前,不能检查芯片好坏,则有可能增加电路调试障碍。因此,在每次实验开始之前,学生都应该通过预习掌握所用芯片的功能,并能对芯片进行检查。

### 2. 掌握数字电路实验电路搭建过程中的布线原则

正确、合理的布线不仅能够消除或减少电路故障,而且能够使搭建好的电路直观,易于调试和修改。因此,数字电路实验的布线应该遵循以下原则。

#### (1) 集成芯片的引脚编号

集成芯片的封装多采用双列直插式,在面包板或数字电路实验箱上插芯片时,一定要保证芯片表面缺口方向朝左,引脚编号从左下方第一个引脚为1开始,按照逆时针方向依次递增至左上方的第一个引脚。另外,特别要注意的是,对于崭新的芯片,其两列引脚之间的间距大多较宽,故应先对其进行校准,使之与面包板或实验箱上两排插孔之间的间距对应,再轻轻将芯片插入,并稍稍用力压下,避免造成芯片引脚弯曲或断裂。

#### (2) 连接导线的选择和使用

数字电路实验的导线选择直径为0.6~0.8mm的单股导线,一般电源线选红色,地线选黑色,其他颜色的导线,可按照电路设计的要求,自行区分用途。布线要有序进行,切忌随意乱接,造成错接和漏接。通常的做法是:先接电源和地,再接芯片的闲置输入端和使能信号等,最后按照输入、输出的顺序依次布线。导线长度的选择要适当,不宜过长,否则会在集成芯片上方跨越;也不宜过短,导致两端接线不牢。另外,整个实验电路中,尽量避免过多的导线重叠交错,切忌把多根短导线直接拧到一起当作长导线使用。

#### (3) 采用模块化设计理念

若所设计的电路或系统较为复杂,采用的芯片较多,则在进行总体方案的设计时,应采用模块化设计理念,即将总电路划分成若干独立的子模块,对每个子模块进行布线和调试,然后再将各模块连接起来。

### 3. 数字电路实验的操作要做到正确和规范

正确、规范的操作是数字电路与系统实验顺利进行的有力保障,基本要求如下。

(1) 选取能够满足电压要求的直流电源和交流电源。

(2) 遵循正确的基本步骤:实验开始时,先接线后通电;实验结束时,先断电后拆线。实验过程中,若需插拔芯片,必须先断电,切忌带电插拔。

(3) 实验过程中,准确、完整地记录实验数据,并进行简单分析。

(4) 实验结束后,整理实验仪器和实验台。

## 1.2 集成逻辑门

集成逻辑门是构成数字电路的基本逻辑器件,目前所用的数字集成电路主要分为 CMOS 型和双极型两大类。

### 1.2.1 逻辑门的分类和特点

CMOS 电路是在早期的 PMOS 电路和 NMOS 电路基础上发展起来的,并因为具有功耗低的显著特点而获得广泛应用,PMOS、NMOS 和 CMOS 统称为 MOS 电路。MOS 电路都是由 MOS 场效应管作为开关元件的,PMOS 电路由 P 沟道 MOS 管构成,NMOS 电路由 N 沟道 MOS 管构成,而 CMOS 电路由 PMOS 管和 NMOS 管互补构成。从 20 世纪 80 年代中期开始,CMOS 电路大大提高了其应用的主要限制——工作速度,与 TTL 电路相比,CMOS 电路具有低功耗、高抗干扰能力和高集成度等优点,工作速度的提高进一步扩大了其应用范围。到 20 世纪 90 年代,传统的 TTL 电路已基本被新型高速的 CMOS 电路所取代。目前,几乎所有的大规模集成电路,如微处理器、存储器及 PLD 器件,都采用 CMOS 电路,甚至原来采用 TTL 电路的中、小规模集成电路,也逐渐采用 CMOS 电路。目前 CMOS 电路已经成为占主导地位的逻辑器件。

双极型数字集成电路是指由双极型晶体三极管构成的一大类逻辑电路,主要包括 TTL 和 ECL 两种类型。TTL 电路是在 CMOS 电路应用之前技术最为成熟、应用最为广泛的逻辑电路。制约 TTL 电路进一步发展最主要的原因是其功耗比较大,而现代数字集成电路的发展方向是体积小、容量大、性能高,其大功率严重限制了集成电路制造的尺寸和密度。尽管 TTL 电路制造工艺也不断地进行技术更新和改造,但由于目前 CMOS 电路制造工艺的进步及其低功耗的显著特点,TTL 电路已无法与之匹敌。目前 TTL 电路仅在较高速的中、小规模数字集成电路方面有所应用,应用范围比较小。

ECL (Emitter-Coupled Logic, 射极耦合逻辑) 电路也是双极型数字集成电路的一类电路,其显著特点是工作速度非常高,是目前数字集成电路中、工作速度最高的一类器件。但 ECL 电路的功耗很大,商品价格也相当昂贵,一般仅在特殊需要的高速或超高速应用场合下使用。

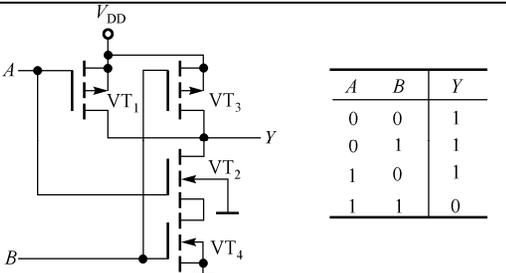
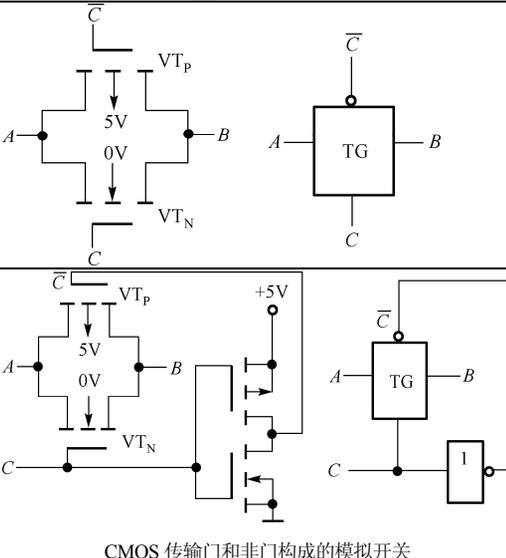
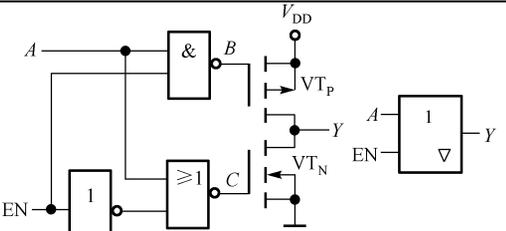
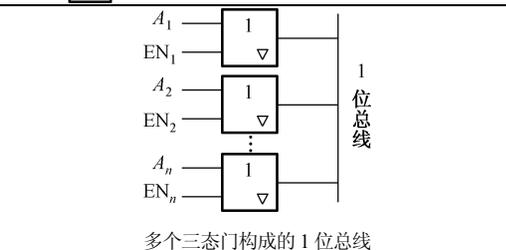
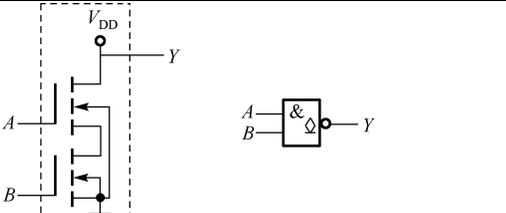
### 1.2.2 常用 COMS 逻辑门

数字电路与系统实验中常用的 CMOS 逻辑门有非门、与非门、传输门、三态门、漏极开路门和施密特整形电路等,如表 1.2.1 所示。

表 1.2.1 常用的 CMOS 逻辑门

名称	电路图和真值表	内容						
CMOS 非门	<table border="1" style="display: inline-table; vertical-align: middle;"> <tr> <td>A</td> <td>Y</td> </tr> <tr> <td>0</td> <td>1</td> </tr> <tr> <td>1</td> <td>0</td> </tr> </table>	A	Y	0	1	1	0	开关模型
A	Y							
0	1							
1	0							
		特点 由一个 NMOS 管和一个 PMOS 管以互补对称的方式构成 表达式 $Y = \bar{A}$						

续表

名称	电路图和真值表	内容															
二输入 CMOS 与非门	 <table border="1" data-bbox="461 262 621 414"> <tr> <th>A</th> <th>B</th> <th>Y</th> </tr> <tr> <td>0</td> <td>0</td> <td>1</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> </tr> <tr> <td>1</td> <td>0</td> <td>1</td> </tr> <tr> <td>1</td> <td>1</td> <td>0</td> </tr> </table>	A	B	Y	0	0	1	0	1	1	1	0	1	1	1	0	<p>特点</p> <p>其中, <math>VT_1</math>、<math>VT_3</math> 是两个并联的 PMOS 管, <math>VT_2</math>、<math>VT_4</math> 是两个串联的 NMOS 管, <math>A</math>、<math>B</math> 是两个输入端, 分别连接到一个 PMOS 管和一个 NMOS 管的栅极</p> <p>表达式 <math>Y = \overline{A \cdot B}</math></p>
A	B	Y															
0	0	1															
0	1	1															
1	0	1															
1	1	0															
CMOS 传输门 (Transmission Gate, TG)	 <p>CMOS 传输门由一个 PMOS 管 <math>VT_P</math> 和 NMOS 管 <math>VT_N</math> 并联构成, <math>VT_P</math> 和 <math>VT_N</math> 的源极相连作为输入端 <math>A</math>, 漏极相连作为输出端 <math>B</math>, 栅极作为一对互补的控制端 <math>C</math> 和 <math>\bar{C}</math>。 <math>VT_P</math> 和 <math>VT_N</math> 结构对称, 两者的漏极和源极可以互换, 因此 CMOS 传输门的输入端和输出端可以互换, 即 CMOS 传输门是一个双向器件</p> <p>传输门的应用较为广泛, 不仅可以作为逻辑电路的基本单元电路, 进行数字信号的传输, 还可以构成模拟开关, 在模数转换和数模转换、取样-保持等电路中传输模拟信号。当 <math>C=1</math> 时, 开关闭合, <math>A</math>、<math>B</math> 之间进行数据传送; 当 <math>C=0</math> 时, 开关断开, <math>A</math>、<math>B</math> 之间不通, 不能进行数据传送</p>	<p>CMOS 传输门由一个 PMOS 管 <math>VT_P</math> 和 NMOS 管 <math>VT_N</math> 并联构成, <math>VT_P</math> 和 <math>VT_N</math> 的源极相连作为输入端 <math>A</math>, 漏极相连作为输出端 <math>B</math>, 栅极作为一对互补的控制端 <math>C</math> 和 <math>\bar{C}</math>。 <math>VT_P</math> 和 <math>VT_N</math> 结构对称, 两者的漏极和源极可以互换, 因此 CMOS 传输门的输入端和输出端可以互换, 即 CMOS 传输门是一个双向器件</p> <p>传输门的应用较为广泛, 不仅可以作为逻辑电路的基本单元电路, 进行数字信号的传输, 还可以构成模拟开关, 在模数转换和数模转换、取样-保持等电路中传输模拟信号。当 <math>C=1</math> 时, 开关闭合, <math>A</math>、<math>B</math> 之间进行数据传送; 当 <math>C=0</math> 时, 开关断开, <math>A</math>、<math>B</math> 之间不通, 不能进行数据传送</p>															
三态输出 门电路 (Tristate Logic, TSL)	 <p>当 <math>EN</math> 为高电平时, 电路处于正常逻辑状态, <math>Y=A</math>; 当 <math>EN</math> 为低电平时, 电路处于高阻状态</p>	<p>当 <math>EN</math> 为高电平时, 电路处于正常逻辑状态, <math>Y=A</math>; 当 <math>EN</math> 为低电平时, 电路处于高阻状态</p>															
多个三态门构成的 1 位总线	 <p>多个三态门构成的 1 位总线</p>	<p>三态输出门电路主要用于总线传输, 如计算机或微处理机系统。任意时刻只能有一个三态门电路被使能, 把相应的信号传到总线上, 而其他三态门均处于高阻状态。由此可实现总线数据的分时传送</p>															
漏极开路 门电路 (Open Drain, OD)		<p>普通 CMOS 逻辑门的输出端不能连接在一起, 漏极开路门电路可以解决工程实践中需要将多个逻辑门输出端相连的问题。所谓漏极开路, 是指 CMOS 门电路中只有 NMOS 管, 并且其漏极是开路的</p>															

续表

名称	电路图和真值表	内容
		<p>漏极开路门电路的输出端相连，可实现逻辑与的功能：<math>Y = \overline{AB \cdot CD}</math>。这种通过输出端线相连形成的逻辑与，称为“线与”，电阻 <math>R_p</math> 称为上拉电阻。</p> <p>此电路只有当两个与非门的输出全为 1 时，输出 <math>Y</math> 才为 1；只要其中一个为 0，输出就为 0</p>
施密特整形电路（施密特触发器）		<p>施密特整形电路主要用于工作场合干扰较大，输入信号波动较大且不规则的情况下，通过内部特殊的电路结构对信号进行处理，以完成规定的逻辑功能。施密特整形电路的商品器件是以门电路的形式供应的，较常用的器件是施密特反相器。当施密特反相器输入电压由 0V 增加至 2.9V 时，输出才由高电平变为低电平；如果输出为低电平，那么输入电压要降到 2.1V 时，输出低电平才能变为高电平。这个 2.9V 电压称为输入信号的正向阈值电压 <math>V_{T+}</math>，这个 2.1V 电压称为反向阈值电压 <math>V_{T-}</math>，两者之差称为“滞后电压”，施密特反相器的滞后电压约为 0.8V</p>

注：漏极开路门电路上拉电阻  $R_p$  大小选择的原则为当全部 OD 门截止时，应保证 OD 门输出高电平不低于其最小值  $V_{OHmin}$ ；当一个或一个以上 OD 门导通时，要保证输出低电平不高于其最大值  $V_{OLmax}$ 。图 1.2.1(a)中， $n$  个 OD 门输出端直接相连，驱动  $N$  个负载门，共接入  $m$  个输入端，当所有 OD 门均输出高电平时，上拉电阻最大值  $R_{pmax}$  可按下式计算。

$$R_{pmax} = \frac{V_{DD} - V_{OHmin}}{nI_{OH} + mI_{IH}}$$

式中， $I_{OH}$  是 OD 门输出高电平时流入每个 OD 门的漏电流； $I_{IH}$  是负载门的输入高电平电流。

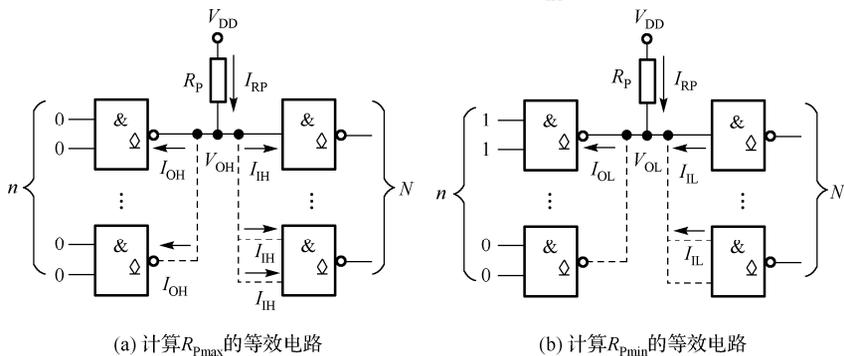


图 1.2.1 OD 门上拉电阻的计算

图 1.2.1(b)中，在  $n$  个并联的 OD 门中，若仅有一个 OD 门导通，输出端为低电平，其他门截止，并忽略截止管的漏电流，这时的上拉电阻最小值  $R_{pmin}$  可按下式计算。

$$R_{pmin} = \frac{V_{DD} - V_{OLmax}}{I_{OLmax} - NI_{IL}}$$

式中,  $I_{OLmax}$  是驱动门输出低电平时电流的最大值,  $I_{IL}$  是负载的灌电流,  $N$  是负载门的个数。

### 1.2.3 TTL 集成逻辑门电路

#### 1. 基本的 TTL 反相器电路

由 NPN 型硅三极管构成的开关电路如图 1.2.2(a)所示。当输入低电平  $V_A = 0V$  时, VT 的集电极和发射极之间近似开路, 相当于一个断开的开关, 如图 1.2.2(b)所示, 此时输出高电平  $V_B = V_{CC}$ ; 当输入为高电平  $V_A = +5V$  时, VT 的集电极和发射极之间近似短路, 相当于一个闭合的开关, 如图 1.2.2(c)所示, 忽略三极管的饱和压降, 此时输出低电平  $V_B = 0V$ 。因此图 1.2.2(a)所示为一个基本的 TTL 反相器电路。

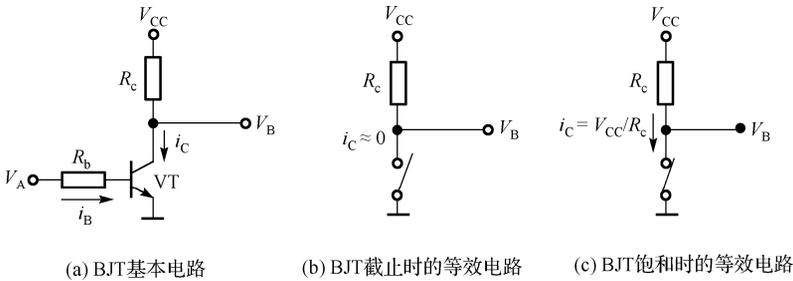


图 1.2.2 基本的 BJT 开关电路

#### 2. 基本 TTL 与非门

二输入端基本 TTL 与非门的电路结构如图 1.2.3(a)所示, 由输入级、中间级和输出级三部分组成。输入级由多发射极三极管  $VT_1$  和二极管  $VD_1$  和  $VD_2$  构成。其中  $VT_1$  的发射结可看成是与集电结背靠背的两个二极管, 如图 1.2.3(b)所示。  $VD_1$  和  $VD_2$  为输入保护二极管, 限制输入负脉冲。中间级由  $VT_2$  构成, 其集电极和发射极的信号相位相反, 分别驱动  $VT_3$  和  $VT_4$ 。  $VT_3$ 、 $VT_4$  和  $VD_3$  构成推挽式输出。

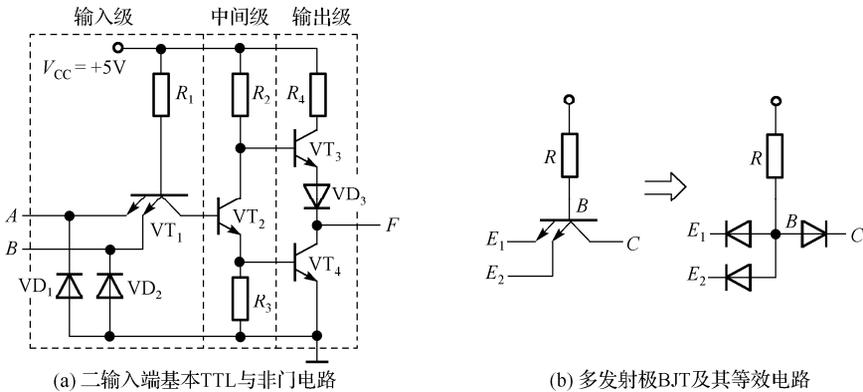


图 1.2.3 基本 TTL 与非门

假定 TTL 电路输入信号的高电平为  $3.6V$ , 低电平为  $0.3V$ , 三极管的饱和压降  $V_{CES} = 0.3V$ 。当  $V_A = V_B = 3.6V$  时, 电源  $V_{CC}$  通过电阻  $R_1$  使  $VT_1$  的集电结和  $VT_2$ 、 $VT_4$  的发射结导通, 故  $V_{B1} = 0.7 + 0.7 + 0.7 = 2.1V$ ,  $VT_1$  的两个发射结反向偏置, 多发射极管  $VT_1$  处于倒置运用状态。倒置运用时, 三极管的电流放大倍数近似为 1, 因此  $I_{B2} \approx I_{B1}$ , 基极电流较大, 使  $VT_2$  处于饱和状态。由此  $VT_2$  集电极电位  $V_{C2} = V_{CES2} + V_{BE4} =$

$0.3+0.7=1.0\text{V}$ ，故  $\text{VT}_3$  和  $\text{VD}_3$  截止，使  $\text{VT}_4$  的集电极电流近似为零， $\text{VT}_4$  处于饱和状态，输出低电平  $V_F=V_{\text{CES4}}=0.3\text{V}$ 。

若  $V_A$  和  $V_B$  中任意一个为低电平  $0.3\text{V}$  时， $\text{VT}_1$  的两个发射结至少有一个导通， $V_{\text{B1}}=0.3+0.7=1\text{V}<2.1\text{V}$ ，故  $\text{VT}_2$  和  $\text{VT}_4$  都处于截止状态。电源电压  $V_{\text{CC}}$  通过电阻  $R_2$  使  $\text{VT}_3$  和  $\text{VD}_3$  导通，输出电压为  $V_F \approx V_{\text{CC}} - I_{\text{B3}}R_2 - V_{\text{BE3}} - V_{\text{D3}}$ 。由于  $I_{\text{B3}}$  很小，故电阻  $R_2$  上的压降很小，可忽略不计， $V_{\text{BE3}}$  和  $V_{\text{D3}}$  都为  $0.7\text{V}$ ，故输出高电平  $V_F \approx 5 - 0.7 - 0.7 = 3.6\text{V}$ 。

由以上分析可知：当输入信号中有一个或两个为低电平时，输出为高电平；当输入全为高电平时，输出为低电平。因此，该逻辑门可实现与非的逻辑运算： $F = \overline{A \cdot B}$ 。

## 1.2.4 ECL 逻辑门

在 TTL 逻辑门中，由于 BJT 在饱和与截止两种状态之间转换需要一定的时间，因此 TTL 逻辑门的工作速度受到了一定的限制。射极耦合逻辑门电路 (ECL) 是一种非饱和型的门电路，电路中的 BJT 工作在非饱和状态，即截止与放大，状态之间转换加快，从而从根本上提高了逻辑门的开关速度。ECL 逻辑门的平均传输延迟时间可达  $2\text{ns}$  以下，是目前双极型电路中速度最高的，主要应用于高速或超高速数字系统中。

目前应用较为广泛的 ECL 逻辑器件通常标记有“ $10 \times \times \times$ ” (如 10102、10181、10209)，称为 ECL10K 系列。图 1.2.4 所示为二输入端 10K ECL 或或非门的基本电路。 $X$  和  $Y$  是两个输入端， $\text{VT}_1$ 、 $\text{VT}_2$  和  $\text{VT}_3$  组成发射极耦合电路， $\text{VT}_4$  是构成偏置电路的主要器件，设置合适的元件取值，使得参考电压  $V_{\text{BB}} = -1.3\text{V}$ 。 $\text{VT}_5$  和  $\text{VT}_6$  是两个互补的射极跟随器，起到电平匹配、提高输出负载能力的作用。 $P$  和  $M$  是两个互补的输出端。ECL 逻辑电路的输入高电平  $V_{\text{IH}} = -0.9\text{V}$ ，输入低电平  $V_{\text{IL}} = -1.75\text{V}$ 。

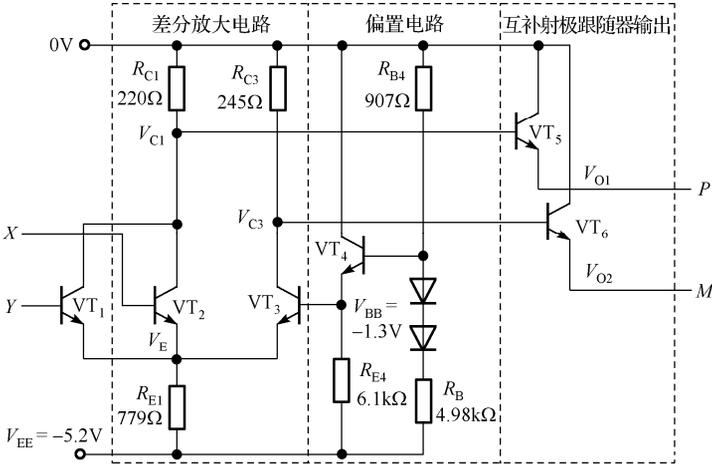


图 1.2.4 二输入端 10K ECL 或或非门的基本电路

当  $X$  和  $Y$  都输入低电平时，因  $\text{VT}_3$  的基极电位比  $\text{VT}_1$ 、 $\text{VT}_2$  的基极电位高，所以  $\text{VT}_3$  先导通，使差分放大器的射极电位  $V_E = V_{\text{BB}} - V_{\text{BE3}} = -2\text{V}$ ，故  $\text{VT}_1$  和  $\text{VT}_2$  同时截止。若忽略  $\text{VT}_5$  的基极电流在  $R_{\text{C1}}$  上的电压降，可得  $V_{\text{C1}} = 0\text{V}$ ， $V_{\text{O1}} = V_{\text{C1}} - V_{\text{BE5}} = -0.7\text{V}$ ，即  $P$  端输出为高电平。由于  $\text{VT}_3$  导通，流过  $R_{\text{E1}}$  的电流是  $\text{VT}_3$  的射极电流  $i_E = (V_E - V_{\text{EE}}) / R_{\text{E1}} \approx 4.1\text{mA}$ 。忽略  $\text{VT}_6$  的基极电流， $\text{VT}_3$  的集电极电位  $V_{\text{C3}} = -i_E R_{\text{C3}} = -1\text{V}$ ， $V_{\text{O2}} = V_{\text{C3}} - V_{\text{BE6}} = -1.7\text{V}$ ，即  $M$  端输出为低电平。导通的  $\text{VT}_3$  管集电结反偏，所以其工作在放大状态，而并非饱和状态。

当输入  $Y$  接高电平时，由于  $V_Y > V_{\text{BB}}$ ，故  $\text{VT}_1$  先导通，使得  $V_E = V_Y - V_{\text{BE1}} = -1.6\text{V}$ ，所以  $\text{VT}_3$  截止。忽略  $R_{\text{C3}}$  上的电压降， $V_{\text{O2}} = -0.7\text{V}$ ，即  $M$  端输出为高电平。 $\text{VT}_1$  导通，使  $R_{\text{E1}}$  的电流  $i_{\text{E1}} = (V_E - V_{\text{EE}}) / R_{\text{E1}} \approx 4.6\text{mA}$ ，利用该电流在  $R_{\text{C2}}$  上产生的压降求得  $\text{VT}_1$  的集电极电位  $V_{\text{C1}} = -i_{\text{E1}} R_{\text{C2}} = -1\text{V}$ ， $V_{\text{O1}} = V_{\text{C1}} - V_{\text{BE5}} = -1.7\text{V}$ ，即  $P$  端输出为低电平。同样， $\text{VT}_1$  的集电结接近零偏，也并非饱和状态。

由于  $VT_1$  和  $VT_2$  并接,  $X$  和  $Y$  中只要有一个输入高电平, 都将使得  $M$  输出为高电平,  $P$  输出为低电平, 因此  $M = X + Y$ ,  $P = \overline{X + Y}$ , 即 ECL 门同时输出或/或非逻辑, 称为互补逻辑输出。

由以上分析可知, ECL 逻辑门电路中, BJT 均工作在放大或截止状态, 避免了由于饱和而引起的电荷存储, 而且其逻辑 1 ( $-0.9V$ ) 和逻辑 0 ( $-1.75V$ ) 之间的电平摆幅很小, 仅为  $0.85V$ , 有利于电路状态的转换, 并使得 BJT 势垒电容充、放电速度极快, 因此 ECL 门电路的平均延迟时间极短, 通常为  $1\sim 2ns$ 。

ECL 电路的缺点是功耗大、高低电平摆幅小、抗干扰能力差。

## 1.3 数字电路与系统实验中应注意的问题

### 1.3.1 掌握集成逻辑门的特性参数

#### 1. CMOS 电路的特性参数

CMOS 电路特性主要分为静态和动态两方面, 其中, 静态特性是指输入和输出信号不变时的电路特性, 主要性能参数有逻辑电平、噪声容限和扇出系数等; 动态特性是指输入和输出信号发生变换时的电路特性, 主要性能参数有平均传输延迟时间  $t_{pd}$  和功耗  $P_D$  等, 总结如表 1.3.1 所示。

表 1.3.1 CMOS 电路的特性参数

类别	参数名称	含义	说明
静态参数	逻辑电平	$V_{ILmax}$ : 输入低电平的最大值; $V_{IHmin}$ : 输入高电平的最小值; $V_{OHmin}$ : 输出高电平的最小值; $V_{OLmax}$ : 输出低电平的最大值	逻辑门高、低电平的偏离范围
	噪声容限	高电平噪声容限 $V_{HN} = V_{OHmin} - V_{IHmin}$ ; 低电平噪声容限 $V_{LN} = V_{ILmax} - V_{OLmax}$	逻辑门的抗干扰能力
	扇出系数	拉电流: $N_H = \left  \frac{I_{OHmax}}{I_{IHmax}} \right $ ; 灌电流: $N_L = \left  \frac{I_{OLmax}}{I_{ILmax}} \right $	逻辑门的负载能力
动态参数	平均传输延迟时间 $t_{pd}$	$t_{pd} = (t_{pHL} + t_{pLH}) / 2$	逻辑门的工作速度
	动态功耗	$P_D = (C_{PD} + C_L) V_{DD}^2 f$	逻辑门的功率消耗

表 1.3.2 所示为商用 74HC、74HCT 系列 CMOS 电路主要性能参数的典型值。

表 1.3.2 74HC、74HCT 系列 CMOS 电路的特性参数

参数	符号/单位	74HC	74HCT	
输入高电平	$V_{IHmin}/V$	3.5	2	
输入低电平	$V_{ILmax}/V$	1.5	0.8	
输入高电平电流	$I_{IHmax}/\mu A$	1	1	
输入低电平电流	$I_{ILmax}/\mu A$	-1	-1	
输出高电平	$V_{OHmin}/V$	CMOS 负载	4.9	4.9
		TTL 负载	3.84	3.84
输出低电平	$V_{OLmax}/V$	CMOS 负载	0.1	0.1
		TTL 负载	0.33	0.33
输出高电平电流	$I_{OHmax}/mA$	CMOS 负载	-0.02	-0.02
		TTL 负载	-4	-4

续表

参 数	符号/单位		74HC	74HCT
输出低电平电流	$I_{OLmax}/mA$	CMOS 负载	0.02	0.02
		TTL 负载	4	4
平均传输延迟时间	$t_{pd}/ns$		9	10
功耗	$P_D/mW$		0.56	0.39

注：本表参数值的测量条件为  $V_{DD}=5V$ ,  $C_L=15pF$ ,  $T=25^\circ C$ , 测试频率  $f=1MHz$ 。

## 2. TTL 电路的特性参数

TTL 电路的特性参数与 CMOS 电路的特性参数类似，下面以典型 74LS 系列 TTL 电路（工作电压为 5V）为例，简单介绍相关参数指标。

### (1) 逻辑电平和噪声容限

输出高电平最小值  $V_{OHmin}=2.7V$ ，输入高电平最小值  $V_{IHmin}=2.0V$ ，输入低电平最大值  $V_{ILmax}=0.8V$ ，输出低电平最大值  $V_{OLmax}=0.5V$ 。

高电平噪声容限： $V_{HN}=V_{OHmin}-V_{IHmin}=2.7-2.0=0.7V$

低电平噪声容限： $V_{LN}=V_{ILmax}-V_{OLmax}=0.8-0.5=0.3V$

因此 74LS 系列 TTL 电路的噪声容限为 0.3V。

### (2) 扇出系数

输出低电平最大灌电流  $I_{OLmax}$ ：8mA。

输出高电平最大拉电流  $I_{OHmax}$ ：-0.4mA。

输入低电平时的最大电流  $I_{ILmax}$ ：-0.4mA。

输入高电平时的最大电流  $I_{IHmax}$ ：0.02mA。

拉电流负载扇出系数： $N = \frac{I_{OHmax}}{I_{IHmax}} = \frac{0.4mA}{0.02mA} = 20$ 。

灌电流负载扇出系数： $N = \frac{I_{OLmax}}{I_{ILmax}} = \frac{8mA}{0.4mA} = 20$ 。

### (3) 平均传输延迟时间与功耗

目前 TTL 电路与新型高速 CMOS 电路相比，尽管其平均传输延迟时间  $t_{pd}$  稍小，但已无明显优势，而功耗却很高。因此，从 20 世纪 90 年代开始，普通 TTL 电路已基本被新型高速 CMOS 电路所取代。表 1.3.3 所示为 74LS、74ALS 系列 TTL 电路的主要性能参数的典型值。

表 1.3.3 74LS、74ALS 系列 TTL 电路的特性参数

参 数	符号/单位	74LS	74ALS
输入高电平	$V_{IHmin}/V$	2	2
输入低电平	$V_{ILmax}/V$	0.8	0.8
输入高电平电流	$I_{IHmax}/mA$	0.02	0.02
输入低电平电流	$I_{ILmax}/mA$	-0.4	-0.1
输出高电平	$V_{OHmin}/V$	2.7	3
输出低电平	$V_{OLmax}/V$	0.5	0.5
输出高电平电流	$I_{OHmax}/mA$	-0.4	-0.4
输出低电平电流	$I_{OLmax}/mA$	8	8
平均传输延迟时间	$t_{pd}/ns$	9	4
功耗	$P_D/mW$	2	1.2

注：本表参数值的测量条件为  $V_{DD}=5V$ ,  $C_L=15pF$ ,  $T=25^\circ C$ 。

### 1.3.2 正确选择和使用集成逻辑门

在数字电路与系统设计过程中，特定功能集成逻辑门电路的正确选择和使用至关重要。

#### 1. 数字集成电路型号的命名方法

##### (1) CMOS 数字集成电路

目前国内外 CMOS 数字集成电路型号命名方法已完全一致，产品都有形如“54/74FAMnnte”的型号表示形式，其中各字母与数字的含义如下。

① 74 代表民品，54 代表军品。

② FAM 为按字母排列的系列标记。例如，HC 代表高速系列，HCT 代表高速、TTL 兼容系列，VHC 代表甚高速系列，VHCT 代表与 TTL 兼容的甚高速系列，AHC 代表先进的 HC 系列，AHCT 代表先进的、与 TTL 兼容的 HC 系列，LVC 代表低电压逻辑系列，AUC 代表超低电压逻辑系列。

③ nm 为用数字标记的功能编号，且 nm 相同的不同系列器件具有相同的逻辑功能。例如，74HC00、74HCT00、74HAHC00、74AHCT00 等都是二输入端 4 与非门。

④ t 用字母表示工作温度范围，一般 C 表示工作温度  $0^{\circ}\text{C}\sim 70^{\circ}\text{C}$ ，属民品范畴；M 表示工作温度  $-55^{\circ}\text{C}\sim 125^{\circ}\text{C}$ ，属军品范畴。

⑤ 最后一位 e 表示芯片的封装形式，可取 F、B、H、D、J、P、S、K、T、C、E、G 等字母，如 B 表示塑料扁平封装，D 表示陶瓷双列直插封装，J 表示黑陶瓷双列直插封装，P 表示塑料直插封装等。

##### (2) TTL 数字集成电路

与 CMOS 电路一样，国内外 TTL 器件的型号也标记为上述 54/74FAMnnte 形式，如 74S 代表民用肖特基 TTL，74LS 代表低功耗肖特基系列，74AS 代表先进的肖特基系列，74ALS 代表先进的低功耗肖特基系列，74F 代表快速 TTL 系列等。

#### 2. CMOS/TTL 电路的电压/电流匹配

在数字电路的实际应用中，出于对器件的工作速度、功耗等实际问题的考虑，往往会出现 CMOS 电路和 TTL 电路混合使用的情况。由于两者之间的电平和电流并不能完全兼容，因此相互连接时必须解决匹配问题。一是电平匹配，驱动门的输出高电平必须高于负载门的输入高电平，而驱动门的输出低电平必须低于负载门的输入低电平，即  $V_{OHmin} \geq V_{IHmin}$ ， $V_{OLmax} \leq V_{ILmax}$ 。二是电流匹配的问题，驱动门的输出电流必须大于负载门的输入电流，即  $I_{OHmax} \geq I_{IHmax}$ （拉电流负载）， $I_{OLmax} \geq I_{ILmax}$ （灌电流负载）。

表 1.3.4 所示为采用 5V 工作电压的 74HC、74HCT 系列 CMOS 电路和 74LS 系列 TTL 电路相关的电压和电流参数，下面将利用该表中的数据讨论两种电路相互连接的接口问题。另外，CMOS 器件逐渐向低电源电压方向发展，此处也进行简要介绍。

表 1.3.4 CMOS 电路和 TTL 电路相关电压和电流参数

参数名称		CMOS 电路		TTL 电路
		74HC	74HCT	74LS
电源电压/V		5	5	5
输出电平	$V_{OHmin}/\text{V}$	3.84	3.84	2.7
	$V_{OLmax}/\text{V}$	0.33	0.33	0.5
输入电平	$V_{IHmin}/\text{V}$	3.5	2	2
	$V_{ILmax}/\text{V}$	1.5	0.8	0.8

续表

参数名称		CMOS 电路		TTL 电路
		74HC	74HCT	74LS
输出 电流	$I_{OHmax}/mA$	-4	-4	-0.4
	$I_{OLmax}/mA$	4	4	8
输入 电流	$I_{IHmax}/mA$	0.001	0.001	0.02
	$I_{ILmax}/mA$	-0.001	-0.001	-0.4

### (1) CMOS 电路驱动 TTL 电路

由表 1.3.4 所示数据可以看出, 74HC、74HCT 系列 CMOS 电路和 74LS 系列 TTL 电路的电压、电流参数满足匹配关系, 因此前者可以直接驱动后者。

### (2) TTL 电路驱动 CMOS 电路

当表 1.3.4 中列出的 74LS 系列 TTL 电路驱动 74HCT 电路时, 由于高、低电平兼容, 无须另加接口电路; 但其  $V_{OHmin}$  小于 74HC 系列的  $V_{IHmin}$ , 所以前者不能直接驱动后者, 可采用图 1.3.1 所示的电路, 在 TTL 电路输出端和 +5V 电源之间接一个上拉电阻  $R_p$ , 来提高 TTL 电路的输出高电平。上拉电阻的值取决于负载器件的数目及 TTL 和 CMOS 电路的电流参数。

### (3) 低电压 CMOS 电路及其接口

CMOS 电路的动态功耗为  $CV^2f$  的形式, 因此减小电源电压可大大降低功耗。另外, 晶体管的尺寸趋向于更小化, MOS 管栅源、栅漏之间的绝缘氧化物层越来越薄, 难以承受高达 5V 的供电电压。

因此, IC 行业已经向低电源电压方向发展, JEDEC 规定了 3.3V、2.5V、1.8V 的标准逻辑电源电压及相应的输入/输出逻辑电平, 生产厂家也已经推出了一系列的低电压集成电路。不同供电电压的逻辑器件之间也存在接口问题。

采用 3.3V 供电电源的 74LVC 系列 CMOS 电路的输入端可以承受 5V 输入电压, 因此可以与 HCT 系列 CMOS 电路或 TTL 电路直接相连; 74LVC 系列的输出高电平低于 HC 系列的输入低电平, 因此当前者驱动后者时, 需要采用电平变换电路或上拉电阻。

采用 2.5V 或 1.8V 供电电源的 CMOS 电路与其他系列的逻辑电路接口时, 则需要专用的电平转换电路, 如 74ALVC164245 可用于不同 CMOS 系列或 TTL 系列之间的电平转移。

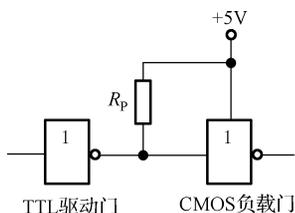


图 1.3.1 TTL 电路驱动 CMOS 电路的连接图

## 1.3.3 常见故障及排除方法

数字电路与系统实验中不可避免会出现各种故障, 造成实验故障的原因主要有以下几个方面:

- (1) 电路设计方案不当, 如组合电路的竞争冒险问题;
- (2) 操作不当, 如布线错误;
- (3) 集成芯片损坏或使用不当, 如电源和地接反;
- (4) 实验仪器故障或使用不当。

实验过程中出现故障, 不能盲目泄气甚至把整个电路推翻重新连接, 只要细心操作、不断积累经验, 实验故障是不难排除的。

下面将介绍数字电路与系统实验中通常遇到的三种典型的故障及排除方法。

### 1. 设计错误

除了组合电路的竞争冒险问题需要在电路设计阶段特别注意之外, 器件选择及器件之间互相配合

也是需要重视的方面。例如，电路动作的边沿选择与电平选择，电路延迟时间引起的误动作，复杂集成芯片的控制信号对时钟脉冲状态要求，多个控制信号之间的协作关系等，都应在方案设计时引起足够的重视。

## 2. 布线错误

约 70% 的实验故障来自于布线错误，因此在保证设计方案无误的前提下，重点应研究如何在布线时避免带来故障、隐患。

(1) 布线一定要规范，布线全部结束后，不要急于通电，要进行一遍仔细的复查，重点检查集成芯片是否安装正确、电源线和地线有没有接反、是否有漏线和跳线、是否有多个输出端错误地接在一起。

(2) 用万用表的  $\times 10\Omega$  挡，测量电源端和地线端之间的电阻值，排除电源线与地线之间开路或短路的情况。

(3) 用万用表实际测量供电电源的输出电压是否满足集成芯片的要求（如 TTL 电路要求 +5V 供电电源）。

(4) 电路通电工作之后，如果无论输入信号怎么变化，输出一直保持高电平不变，应及时检查集成芯片的地线是否连接牢固；若输出信号和输入信号变化规律相同，应及时检查集成芯片的电源线是否连接牢固。

## 3. 器件故障

(1) 若实验中使用了具有多个输入端的器件，在排查故障时可调换多余输入端试用。若不能排除集成芯片损坏的可能，可直接替换芯片，便于判断故障来源究竟是芯片损坏还是布线错误。

(2) TTL 电路工作时可能产生电源电流尖峰，并通过电源耦合破坏电路，应采取必要措施加以避免。

(3) 若电路工作频率较高，应尽量减少电源内阻，选用线径较粗的电源线和地线，扩大底线面积或采用接地板，利用电源线和地线进行信号屏蔽；各逻辑信号线尽量远离时钟脉冲线；尽量采用短导线；多路同步电路的时钟脉冲信号之间的延时时间尽可能短。

(4) CMOS 电路的锁定效应（也称为可控硅效应）是指器件内部的正反馈使得工作电流越来越大，直接导致发热烧毁的现象。当 CMOS 电路工作在较高电源电压或输入/输出信号电平高于电源电压时，就有可能出现锁定效应。因此在电路搭建过程中，应采取以下措施进行预防：注意电源的去耦，地线尽可能粗，以减小其阻值；在保证电路正常工作的前提下，尽量降低  $V_{DD}$  的值；保证电路在一定工作速度的前提下，使电源电流小于器件的锁定电流（如 40mA）；对输入信号进行钳位。

# 1.4 小 结

本章主要介绍了数字电路与系统实验的基础知识，包括数字电路实验的特点、基本过程及基本要求；详细介绍了常用的 CMOS 集成逻辑门的电路结构、工作原理和逻辑符号；简单介绍了 TTL 逻辑门和 ECL 逻辑门的电路结构和工作原理；介绍了 CMOS 逻辑门和 TTL 逻辑门的特性参数，以及实际使用中应该注意的问题等。作为数字电路与系统实验的开篇，本章旨在为初次接触的学习者提供一定的理论和实践基础。

## 1.5 问题与思考

1. 数字电路与系统实验有哪些基本特点？

2. 数字电路与系统实验的基本过程是什么？
3. 数字电路与系统实验的基本要求是什么？
4. 数字集成电路主要有哪两大类？目前占市场主要份额的是哪一类？
5. 构成 CMOS 集成逻辑门的主要器件是什么？请描述其开关特性。
6. 构成 TTL 集成逻辑门的主要器件是什么？请描述其开关特性。
7. 常用的 CMOS 集成逻辑门有哪些？
8. CMOS 集成逻辑门有哪些特性参数？
9. CMOS 集成逻辑门的逻辑电平是怎么定义的？
10. CMOS 集成逻辑门的噪声容限是怎么定义的？其表征了逻辑门的什么特性？
11. CMOS 集成逻辑门的负载能力是怎么定义的？
12. CMOS 集成逻辑门的动态特性参数有哪些？各自是怎么定义的？
13. 目前常用的 CMOS 集成逻辑门都有哪些系列？
14. 与 TTL 电路相比，CMOS 电路的主要优势是什么？
15. CMOS 电路和 TTL 电路的电压、电流匹配条件是什么？
16. 请简述 CMOS 电路低电压化趋势的原因。
17. 目前低电压 CMOS 电路的标准逻辑电源电压都有哪些？其接口电路应注意哪些问题？
18. 造成数字电路与系统实验故障的原因都有哪些？
19. 实际使用中，逻辑门的多余输入端应怎么处理？
20. 一般集成电路的输出端是否可直接接地或电源？是否可直接并接？