

第 1 章 概 论

1.1 集成电路工艺发展趋势

自集成电路发明以来，半导体工艺和集成电路设计技术得到了飞速的发展，集成电路技术对人类生活及科学进步的影响是巨大的。集成电路技术渗透到计算机、通信、航空航天、国防、交通、制造业、消费电子等众多领域。在过去的 40 年中，集成电路的功能与复杂性几乎成指数规律上升。1960 年，Intel 公司的创始人之一摩尔先生提出了集成电路功能随时间呈指数增长的统计规律，即摩尔定律。摩尔的预言在其后几十年中表现出惊人的准确，如图 1.1 所示。集成电路工艺制作能力的迅速提高很大程度上取决于人们对材料的物理、电学、化学性质的深入了解，同时，工艺制造设备的进步和工艺技术的革新也是重要因素。

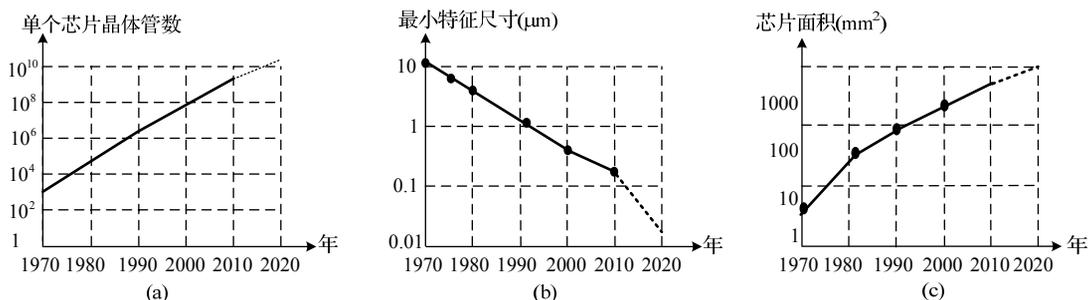


图 1.1 摩尔定律——芯片主要特征指标随时间的变化关系

描述工艺水平的标志是最小线宽和芯片面积，线宽越细，芯片器件尺寸就越小，集成度就越高；芯片面积越大，则每个芯片的电路规模和复杂性就越大。图 1.1(b)给出了主流制造商最小线宽随时间变化的趋势，图 1.1(c)给出了芯片面积随时间的增长关系。

集成电路技术的发展依靠的是工艺技术的不断改进，自 2010 年以来，工艺的发展呈现以下几个特点：

- (1) 特征尺寸接近 10nm 左右；
- (2) 晶圆尺寸向 450mm 以上大小发展；
- (3) 铜导线技术的广泛应用；
- (4) 新型器件不断涌现，纳米器件开始展露锋芒；
- (5) 新材料新工艺的不断应用。

1.1.1 特征尺寸的发展

微电子技术仍将以硅基 CMOS 工艺技术为主流，尽管微电子学在化合物半导体和其他新材料方面的研究已经取得了很大进展，但还远不具备替代硅基工艺的条件，硅集成电路技术发展至今，全世界数以万亿美元计的设备 and 科技投入，已使硅基工艺形成非常强大的产业能力。

缩小特征尺寸以提高集成度是提高产品性价比最有效的手段之一。2004年，国际上集成电路技术已经顺利达到了90nm，2004年ITRS（International Technology Roadmap for Semiconductors）曾预测，2007年将实现65nm量产，2010年达到45nm，2013年进入32nm，2016年实现22nm的量产。但是从目前技术研发形势看，许多预测都提前实现了，如2014年，华为推出的麒麟系列手机芯片全面采用了领先的SoC架构及28纳米的HPM工艺，在约1平方厘米的面积上集成了近10亿个晶体管，即在单个芯片上集成了中央处理器、图像处理器、通信模块、音视频解码以及外围电路等。

90nm制造工艺和130nm制造工艺相比，有着一个质的飞跃。在90nm制造工艺中，采用多项新技术和新工艺，其中应变硅、绝缘硅、铜互连技术、低K介电材料的引入等是主要特点。应变硅技术提升了电子的迁移率，使NMOS在保持器件尺寸不变的情况下饱和电流得到增大，器件响应速度得到提高；绝缘硅SOI的采用则是为防止泄漏电流、减小结电容和抗辐射而设计的，同普通的CMOS管相比，全耗尽SOI可提供相同的开关速度，而能耗可降低30%；在90nm制造工艺中采用了七层或八层铜互连技术，使硅晶圆上的晶体管数达到100兆，从而提高了芯片性能；双层堆叠设计的掺碳氧化物（CDO）低K介电材料的采用，减少了互连层之间的电容，提高了芯片内部的信号速度并降低了芯片功耗。90nm制造工艺还具有其他一些良好特性，如1.2nm氧化物栅极厚度仅有5个原子层厚，可以提高晶体管的运行速度；晶体管长度仅为50nm，未来两年还可以进一步缩小。

目前，业界研究的前沿是沟道长度小于15nm的最小晶体管技术。根据2001年ITRS的远程规划，2016年将开始生产9nm的晶体管。众多生产与设计公司都会努力将这种最前沿的晶体管付诸商业生产。2013年7月，20nm工艺已经量产，如TSMC公司利用20nm工艺为Xilinx公司生产新的PLD芯片。2015年，三星和GlobalFoundries都使用了14nm的FinFET工艺，这两家基本上都跳过了20nm节点，真正量产靠的还是14nm FinFET工艺。

目前，半导体工艺从65nm、45nm一直发展到22nm、16nm、14nm和9nm，芯片研发成本越来越高，一条22nm的工艺线需要高达80~100亿美元的投资，16nm工艺线需要120~150亿美元，未来只有少数高端芯片设计公司可以负担昂贵的研发费用，而更少的代工厂具备制造新一代产品的能力，目前只有Intel、TSMC、三星、IBM等少数厂上马新的工艺线，高额投资将导致只有少数高端芯片设计公司可以负担昂贵的研发费用，只有很少的公司才能拥有最先进的工艺。

1.1.2 晶圆尺寸

目前，半导体工业主流的晶圆尺寸已由200mm直径向300mm直径过渡，ITRS在2010年曾预测，2013年左右有可能出现450mm直径的晶圆，2018年实现450mm直径晶圆的大规模生产。

从1998年全球第一座300mm直径晶圆尺寸的集成电路工厂投产开始到现在，已有约50家工厂投产。目前300mm直径硅片工厂成为了运用最先进工艺的首选，诸如更小的栅极长度（90nm）、双嵌入式铜互连工艺、低K介电材料和高K介电材料、硅片长凸技术，以及背面研磨技术等等。另外，300mm工厂也采用了更高的自动化程度以提高生产效率。目前，集成电路产业正在加速进入300mm硅片时代，由于300mm硅片比200mm硅片的面积大2.25倍，可大大降低集成电路的成本。实际上，从2012年开始，Intel、三星、台积电等厂就已投产450mm的晶圆，450mm晶圆无论是硅片面积还是切割芯片数都是300mm晶圆的两倍多。

1.1.3 铜导线

随着晶体管尺寸越来越小，信号的高速传输已受到很大的限制。选用较小电阻率金属作为互连材料，并选用较小介电常数的介电材料是降低信号延时、提高时钟频率的主要办法。铜的电阻率较铝小，铜能减少互连层厚度，通过降低电容实现信号延时的减少，配合采用低 K 介电材料，可以降低互连层间的电容，从而降低信号延时。另外，铜的熔点较高，与铝相比，同样厚度的铜互连层通过的电流密度更高，从而降低能量消耗。推动铜工艺走向产业化的另一个重要原因就是铜工艺采用了大马士革工艺，减少了金属互连层数，降低了成本。

1998 年，IBM 首先应用铜互连技术，2000 年 Intel 推出了采用 130nm 铜互连技术的处理器。TI、Xilinx、三星、台积电和联电等公司也开始纷纷采用铜互连工艺。目前在 130nm、110nm 的制造工艺中已广泛应用了铜互连技术，铜互连材料已成为 110nm 以下制造工艺的唯一选择。在 90nm 制造工艺中，各厂商广泛采用了七层或八层铜互连技术。2006 年，65nm 制造工艺中的铜互连工艺和低 K 介电材料被攻克，2009 年，IBM 公司开发的 28nm 工艺已经使用了 10 层铜导线互连技术。有专家认为，铜互连工艺的潜力还很大，至少在采用 15nm 技术之前，采用铜互连工艺都能满足需要。

1.1.4 新型器件不断涌现

传统 CMOS 晶体管的尺寸缩小是有极限的，当尺寸缩小到原子大小量级时，将走到物理的极限，当栅极与沟道间的厚度小于 5nm 时，就会产生隧道效应，电子将会自行穿越通道由源极流向栅极产生漏电流，通过栅极控制电流通断的作用将失效，必须采用新的方法。为此，人们开始寻找新的替代器件，以便在更小的特征尺寸上取代体硅 CMOS 技术。

ITRS 中提出的非传统 CMOS 器件，有超薄体 SOI、能带工程晶体管、垂直晶体管、双栅晶体管、FinFET 等。其中，超薄体 SOI 是一种全耗尽 SOI，可以提供 CMOS 22nm 技术节点所需的极薄沟道尺寸（小于 5nm），可以具有较高的亚阈电压斜率和保持 V_t 的可控性；能带工程晶体管是将锗硅层上的应变硅用作沟道迁移率提高层，以获得更高的驱动电流；垂直晶体管、FinFET 和平面双栅晶体管都是双栅或围栅晶体管结构，这三种器件都能提供更高的驱动电流，后两者还具有较高的亚阈电压斜率和改进的短沟道效应。

未来有望被广泛采用的新兴存储器器件主要有磁性存储器、相变存储器、纳米存储器、分子存储器等。磁性存储器的原理通过磁性材料在两种磁性状态之间的变化来保存数据，它结合了非挥发性闪存与 SRAM 内存的功能，具有在关闭系统电源后仍然能保存数据的功能。NanoMarkets 曾预计，到 2008 年磁性存储器市场销售值将可达 21 亿美元，而 2012 年将成长至 161 亿美元，平均年复合成长率高达 66.4%。现在全球主要存储器生产厂商如英飞凌、Freescale、IBM、NEC、瑞萨、三星与索尼都在积极研究磁性存储器。相变存储器则基于默写材料在电流脉冲影响下发生快速可逆相变效应，具有非挥发性、低功耗、抗辐照等优点。纳米存储器主要是通过纳米技术制造的浮栅存储器，具有快速读写和非挥发的特点。分子存储器是采用单分子作为存储器单元基本模块的存储器。

新兴的逻辑器件主要包括谐振隧道二极管、单电子晶体管器件、快速单通量量子逻辑器件、量子单元自动控制器件、纳米管器件、分子器件等。

未来的各种新兴的集成电路器件中，大量运用了纳米技术，除了在存储器和逻辑器件中

作为晶体管的主要材料,某些形态的碳纳米管可在晶体管中取代硅来控制电流,碳纳米管也可取代铜作为互连材料。Intel 曾预测,到 2014 年芯片晶体管将由碳纳米管或硅纳米导线构成。据一份研究报告称,到 2014 年全球采用纳米技术的集成电路销售额将达到 1720 亿美元。

1.1.5 新材料新工艺的不断应用

随着特征尺寸的不断减小,低介电常数材料的研究和应用越来越深入和广泛。Intel、IBM、TSMC 等公司相继宣布将在 $0.13\mu\text{m}$ 及其以下的工艺技术中使用低介电常数材料,传统的按比例缩小方法已经无法继续使用,如漏电现象和热功耗问题无法通过传统方法解决,除非采用新的材料。新材料和新工艺不断地引入到生产工艺中,带来了集成电路电气性能的改善,并产生和过去相似的等效按比例缩小,如高介电率材料、金属栅极、应变硅等成为各厂商解决半导体漏电率上升的关键。到 2015 年为止,许多半导体厂商已在 $45\sim 20\text{nm}$ 制造工艺量产芯片中采用高介电率材料和金属栅极,分别替代二氧化硅和多晶硅。

在集成电路制造工艺的诸多工序中,以光刻工艺最为关键,它决定着制造工艺的先进程度。随着集成电路向纳米级发展,光刻采用的光波波长也从近紫外区间的 436nm 、 365nm 波长进入到深紫外区间的 248nm 、 193nm 波长。目前,大部分芯片制造工艺采用了 248nm 和 193nm 光刻技术。其中, 248nm 光刻采用的是 KrF 准分子激光,首先用于 $0.25\mu\text{m}$ 制造工艺,后来 Nikon 公司推出 NSR-S204B 又将其扩展到了 $0.15\mu\text{m}$ 制造工艺,ASML 公司也推出了 PAS.5500/750E,它提高到可以解决 $0.13\mu\text{m}$ 制造工艺。 193nm 光可采用的是 ArF 激光,目前主要用于 $0.11\mu\text{m}$ 、 $0.10\mu\text{m}$ 以及 90nm 的制造工艺上。

1999 年 ITRS 曾预计在 $0.10\mu\text{m}$ 制造工艺中将采用 157nm 的光刻技术,但是目前已经被大大延后了。这主要归功于分辨率提高技术的广泛使用,其中尤以湿浸式光刻技术最受关注。湿浸式光刻是指在投影镜头与硅片之间用液体充满,以提高光刻工具的折射率,获得更好的分辨率及增大镜头的数值孔径。如 193nm 光刻机的数值孔径为 0.85 左右,而采用湿浸式技术后,可提高至 1.0 及以上。基于 193nm 湿浸式光刻技术在 2004 年取得了长足进展,2006 年,TI 率先采用 193nm 湿浸式光刻技术, 193nm 湿浸式设备能够实现更高的解析度与更小的器件体积。目前一些主要的集成电路制造商都已经将湿浸式光刻技术作为首选。原先预计将在 $0.10\mu\text{m}$ 和 90nm 制造工艺中采用的 157nm 光刻技术,已经被 193nm 湿浸式光刻技术所替代。

2003 年 Intel 就宣布放弃 157nm 光刻技术,取而代之的是努力延伸和拓展 193nm 光刻功能。IBM 也在 2003 年宣布其 193nm 光刻技术扩展到 65nm ,而 157nm 光刻技术被挤到了 45nm 。2004 年 ITRS 扩充了 193nm 湿浸式光刻技术的使用范围,并将 ArF 湿浸式光刻技术作为 65nm 和 45nm 技术节点的首选,同时还认为湿浸式光刻可能成为用于 32nm 和 22nm 节点的解决方案。全球主要的光刻设备供应商 ASML、佳能和尼康均已推出了 193nm 湿浸式光刻设备,而且有计划将湿浸式技术应用到 248nm 光刻中。

目前,一些企业已开始研制下一代光刻技术,如远紫外光光刻(EUV)、电子束投影光刻、离子束投影光刻及 X 射线光刻等。其中,EUV 光刻技术已进入试用阶段,Global Foundries 已经宣布,2015 年将在 15nm 工艺上正式启用 EUV 光刻技术,而在 2014 年,ASML 公司的 EUV 设备已出货 6 台,用于 10nm 工艺的量产,Intel 公司和 TSMC 公司均已装备这样的设备。

1.2 专用集成电路基本设计方法

从市场角度来看,集成电路一般分两类:一类是通用集成电路,如存储器 RAM 和 ROM、微处理器 CPU 以及数字信号处理器 DSP 等;另一类是专用集成电路,主要用于特定用途、特定设备和实现特定算法等目的,是目前广泛使用的一类集成电路,它的最新发展阶段是片上系统 (SoC) 技术。

从设计角度看,通用和专用这两类集成电路的设计过程大同小异,本书从专用角度讨论集成电路设计的相关问题,不失一般性。

集成电路技术到了 20 世纪 80 年代,出现了超大规模集成电路 (VLSI) 概念,人们采用计算机辅助设计 (CAD) 技术和辅助工程 (CAE) 技术进行芯片的设计和和生产。从 20 世纪 90 年代开始,人们开始采用电子设计自动化 (EDA) 技术进行芯片的设计,现代集成电路的功能复杂程度和集成规模都是空前的,必须借助 EDA 工具才能完成设计工作,专用集成电路 (ASIC) 设计涵盖了电路与系统、微电子技术、半导体工艺、计算机软件、计算数学、应用科学等多方面知识领域,设计过程异常复杂。

ASIC 设计属于复杂系统设计,需要按照系统科学方法,采用分层的、自顶向下设计方法,有时也需结合自底向上的方法。一般而言,ASIC 设计采用自顶向下的设计流程,从一个概念开始,逐级展开越来越详细的设计,直至得到一个电路版图。大致的设计次序是:行为设计、结构设计、逻辑设计、电路设计和版图设计,见图 1.2。

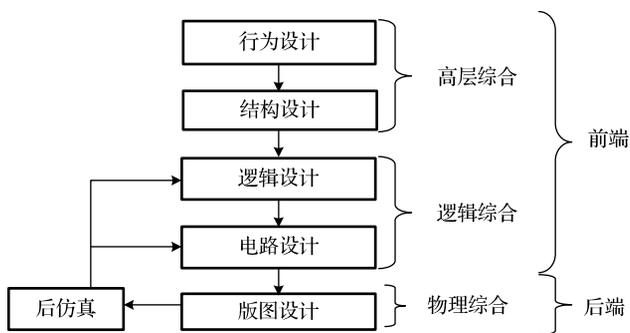


图 1.2 ASIC 设计的层次划分和自顶向下方法

在行为设计阶段,主要考虑系统的外部特性,并定义芯片系统要完成的功能及限制条件,如速度、功耗、面积、价格、驱动能力等,并针对目标工艺研究设计的可行性。行为设计阶段暂不考虑芯片的具体实施方案,可以使行为设计具有很高的灵活性和方便性。

在结构设计阶段,根据芯片的特点,将其分解为接口清晰、关系明确、结构简洁的子系统。子系统可能包括如算术运算单元、控制单元、数据通道、算法状态机等具体单元,在子系统的基础上再设计出一个较优的总体结构。结构设计方法有多种,可以按部件的功能来划分,也可以按通信总线来划分,还可以按并行或串行部件来划分,等等。

在逻辑设计阶段,要考虑各种功能模块的具体实现问题。由于同一功能块可能有多种实现方法,要尽可能采用规则结构来实现功能块,尽量采用成熟的逻辑单元或模块。这一阶段要进行逻辑仿真,以验证逻辑设计的正确性。

在电路设计阶段，逻辑图将进一步转换成电路图，需要进行电路仿真，以确定电路特性、功耗和时延等。

在版图设计阶段，要根据电路设计用于工艺制造的电路版图，其中又可分为布图规划、布局和布线等几个阶段。完成版图设计后，在版图寄生参数提取的基础上，还要进行电路的后仿真。如果后仿真性能达不到要求，需要返回到电路设计或进一步返回到逻辑设计阶段，进行适当修改，以最终达到设计目标。在完成布局布线后，还要对版图进行设计规则检查、电学规则检查以及版图与电路图的一致性检查等。只有在所有的检查都通过并证明无误后，才可将布图结果转换为掩膜文件，掩膜文件是设计的最终结果。

在图 1.2 中，典型的设计流程又可被划分成 3 个综合阶段：高层综合、逻辑综合和物理综合。

高层综合也称行为级综合，将系统的行为、各组成部分的功能及其输入和输出，用硬件描述语言 HDL 加以描述，然后进行行为级综合，同时通过高层次硬件仿真进行验证。高层综合的目的就是要在满足目标和约束的条件下，找到一个代价最小的硬件结构，并使设计的功能最佳化。

逻辑综合将逻辑级行为描述转换成使用门级单元的结构描述，同时还要进行门级逻辑仿真和测试综合。逻辑综合一般分两个阶段：（1）与工艺无关的阶段，这个阶段产生抽象的、优化的逻辑电路结构；（2）工艺映射阶段，将逻辑电路结构映射成用某种具体工艺的数字单元实现的物理电路，或用 PLD 内部资源实现的物理电路。在逻辑综合过程中，需要进行逻辑仿真、时序分析和时延分析。逻辑仿真是保证设计正确的关键步骤，可采用软件模拟方法，也可采用硬件模拟方法手段。测试综合提供测试向量的自动生成，为可测性设计提供高故障覆盖率的测试向量集。测试综合可消除设计中的冗余逻辑，诊断不可测的逻辑结构，还能自动插入可测性结构。

物理综合将网表描述转换成版图，一般采用自动布局布线工具软件进行这项工作。

图 1.2 中又将设计分为前端设计和后端设计两个阶段，通常将版图设计之前的各设计阶段归为前端设计，版图设计及验证等属于后端设计，这是一个约定俗成的分法。

1.3 ASIC 设计涉及的主要问题

ASIC 设计过程非常复杂，设计者很难在很短的时间内完成上千万个晶体管的电路设计，即使工艺上允许，也可能由于复杂性而导致设计周期过长、设计费用过高而丧失市场竞争能力。

1.3.1 设计过程集成化和自动化

ASIC 所有的设计步骤都需要借助功能强大、性能完善的 EDA 设计工具来完成，集成电路最核心的两大技术，一个是工艺制造技术，另一个就是 EDA 软件技术，目前，EDA 软件已形成一个技术含量和垄断程度很高的产业，形成了一些大的专业软件公司，如 Synopsys、Cadance、Mentor 等，这些公司控制着从设计到制造所有的相关软件和标准，例如 Synopsys 和 Cadance 两大公司就控制着从高层综合、逻辑综合和物理综合整个设计流程软件，而 Mentor 公司主要在芯片测试软件方面占主导地位。目前，EDA 软件已进入大规模功能集成阶段，软件功能涉及行为综合和几何综合两方面的技术。其中，行为综合技术是从功能或行为级的描述自动生成正确的高性能指标的逻辑结构描述，更高级的自动化软件可以由行为级描述直接

生成 IC 制造掩膜版；几何设计综合技术从电路的结构描述自动生成 IC 制造对应的掩膜版电路单元微结构。

目前，新的纳米工艺将导致芯片流片或制造成本越来越高昂，对于复杂的 ASIC 芯片而言，几百万人民币一次的流片费用司空见惯，芯片设计错误造成的人力、财力、时间和市场的损失代价太大，而流片本身的周期很长，一般在 2~3 个月左右。复杂的 ASIC 芯片导致设计难度增大，在设计中发现和修改错误已变得相当困难，而完善的 EDA 工具有助于消除错误。

1.3.2 可测试性设计问题

对于 ASIC 设计来说，测试是一个十分重要的阶段。测试的意义在于检查电路是否满足设计要求。ASIC 芯片的功能日趋复杂，在 ASIC 芯片的研发费用中，测试费用所占比例越来越高，据业界一般的估计，测试费用所占比例在 70%以上。为了减小测试代价，在芯片设计的初期阶段就应考虑可测试性设计问题。其主要目的是提高整个测试的效率并降低成本，可以在已有设计的基础上添加一定的测试辅助电路。事实上，可测试性结构设计已成为 ASIC 设计的一个重要组成部分。

在 ASIC 芯片的设计阶段，对电路的测试分软件方法和硬件方法两种。软件方法就是利用 EDA 软件对设计的电路进行功能测试，主要针对功能模块一级；硬件方法就是利用专用电路开发板对设计的电路 HDL 代码进行功能测试，主要针对系统测试这一级。一般而言，硬件方法要快于软件方法，电路开发板主要由以 FPGA/CPU/DSP 为核心的原型电路组成，测试效率要高于软件方法。

1.3.3 成本问题

ASIC 的研发成本包括设计费用、制造费用和人工费用等。开发费用一般以“人·年”为单位计算，即开发过程中的人数与时间的乘积。开发 ASIC 芯片时间可在很大范围内变化。设计时间主要取决于电路功能复杂程度、设计开发工具的应用水平以及 EDA 工具的能力等。设计时间在设计成本中占据主要地位。它不仅影响产品最终的成本，而且受市场竞争的制约。一般来说，对于市场需求量大、通用性强的电路，可采用全定制设计方式以减小芯片面积，提高电路性能。而对于批量不大的专用电路，可采用半定制技术，加上有功能较强的 EDA 工具支持，可以使得设计费用大大降低。这样，即使批量不大，单位芯片设计费用仍然可以接受。而半定制技术的更主要的优点是设计时间大大减少。

习题

- 1.1 指出集成电路行业发展趋势的主要标志性特征。
- 1.2 了解国内外主要半导体制造厂的基本情况。
- 1.3 了解国外主要电子设计自动化 EDA 软件行业主要公司及其主要产品。
- 1.4 专用集成电路设计流程有哪些主要步骤？