

第1章 绪 论

在信息论、计算机、晶体管和集成电路(IC)问世后半半个多世纪里,信息通信技术(Information and Communication Technologies, ICT)极大地释放了人类的能量,它所创造的价值超过了之前五千年的财富总和。ICT 的核心技术包括:信息的采集、传输、处理与存储。在信息通信技术行业,存在已被实践证明的如下4个定律。

- 摩尔定律(Gordon Moore's Law):微处理器内晶体管集成度每18个月翻一番。
- 安迪-比尔定律(Andy and Bill's Law):如果保持计算能力不变,则微处理器的价格每18个月降低一半。
- 吉尔德定律(George Gilder's Law):未来25年里,主干网的带宽将每6个月增加一倍。
- 梅特卡夫定律(Bob Metcalfe's Law):网络价值与网络用户数的平方成正比,或网络的利用价值等于用户数的平方。

从整个 ICT 产业来看,大致可以分为硬件产业、软件产业和通信互联网产业(又称为信息服务业),而集成电路产业则覆盖了信息通信技术的上下游的多个子行业。其中,处理器CPU、内存、通信基带芯片之类的集成电路产品被认为是所有电子设备的物理核心。可以说,集成电路产业的规模和水平决定了整个信息产业的领先程度,它的发展速度直接决定了电子信息产业的发展步伐。

虽然集成电路是现代信息社会的基础以及电子系统的核心,对经济建设、社会发展和国家安全具有至关重要的战略地位和不可替代的关键作用,但是作为全球最大的集成电路市场,目前中国核心半导体芯片(计算机、通信、存储芯片等)大部分仍依赖于进口,中国半导体芯片进口额已超过了石油的进口额。

随着中国集成电路产业的重要性的规模和持续且迅速地提升,对集成电路人才的需求持续增长。如今的集成电路设计是系统导向、IP 导向,集成电路设计工程已成为渗透多个学科的、战略性与高技术产业相结合的综合性工程领域。

本书的特点是把数字集成电路前后端设计的全流程均贯穿于书中的各个章节,包括项目设计规格书(SPEC)、数字滤波器、可测性设计、低功耗设计等重要的工程设计技术。书中以大量设计实例叙述了集成电路系统工程开发过程中应遵循的原则、基本方法、实用技术、设计经验与技巧。

本书的重点是数字集成电路中的系统设计、算法的前后端设计及实现。例如,ASIC/FPGA 的系统划分、ASIC 电路/时钟网综合、ASIC 的可测性设计等。类似的设计技术可以应用到其他的实现场景,例如多芯片模块(MCM)和印制电路板(PCB)。

本书将讨论学生和设计人员都感兴趣的如下话题。

- 集成电路行业的产业链如何划分?
- 怎样写设计规格书?
- 怎样进行集成电路系统级的软、硬件划分?
- 什么是数字前端/后端设计,其分界点是什么?

- 什么是系统级综合、逻辑综合、晶体管级综合及版图级综合?
- 怎样实现从 RTL 高层逻辑设计到 GDS 生成?
- 怎样从一个网表中生成功能正确的版图?
- 有哪些主流的 EDA 软件, VLSI 设计软件怎么工作?

1.1 集成电路的发展简史

集成电路是指通过一系列的半导体加工工艺,在单个半导体晶片上,按照一定的互连关系,将晶体管、二极管等有源器件及电阻和电容等无源器件集成在一起,并完成特定功能的电子电路。集成电路采用的半导体材料通常是硅(Si),但也可以是其他材料,如砷化镓(GaAs)。

集成电路正在向着高集成度、低功耗、高性能、高可靠性的方向发展。此外,微电子学的渗透力极强,它可以和其他学科结合而衍生出一系列新的交叉学科,如微机电系统、生物芯片等。

1946年1月,美国贝尔实验室正式成立半导体研究小组,该研究小组由肖克莱(William Bradford Shockley)负责,成员包括理论物理学家巴丁(John Bardeen)和实验物理学家布拉顿(Walter Houser Brattain)。研究小组在1947年12月23日观测到了具有放大作用的晶体管,如图1-1所示。三位科学家因为发明晶体管而在1956年共同获得了诺贝尔物理学奖。

1952年5月,英国科学家达默(Geoffrey William Arnold Dummer)提出了集成电路的设想。1958年以美国德州仪器公司的科学家基尔比(Claire Kilby)为首的研究小组研制出了世界上第一块集成电路,并在1959年公布,如图1-2所示,基尔比因为发明第一块集成电路而获得了2000年的诺贝尔物理学奖。

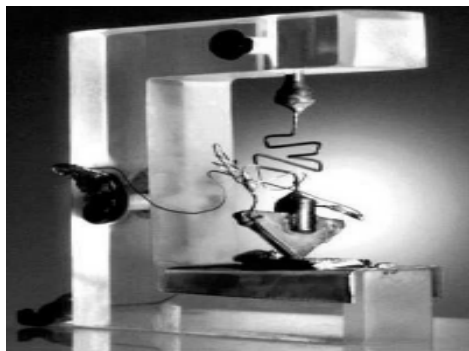


图 1-1 第一个晶体管

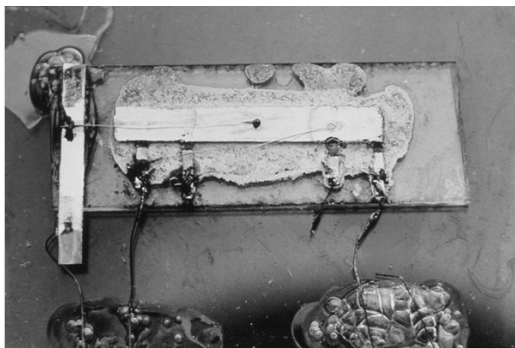


图 1-2 第一块集成电路

1959年7月,美国仙童半导体(Fairchild Semiconductor)公司的诺依斯(Robert Noyce)采用平面工艺发明了世界上第一块单片集成电路,如图1-3所示。

该单片集成电路是与现在的硅集成电路直接有关的发明。它将平面工艺、照相腐蚀和布线技术结合起来,获得了大量生产集成电路的可能性。从此,集成电路经历了小规模集成电路(SSI)、中规模集成电路(MSI)、大规模集成电路(LSI)、超大规模集成电路(VLSI)、特大规模集成电路(ULSI)的发展过程,目前还有人提出了巨大规模集成电路(GSI)的说法。集成电路的复杂度的发展情形如图1-4所示。它显示了最先进的集成电路中所包含的元件数以及这些集成电路首次公布的年份。

摩尔定律如图 1-4 所示,是由英特尔(Intel)公司创始人之一戈登·摩尔(Gordon Moore)在 1964 年提出来的。其内容为:当价格不变时,集成电路上可容纳的晶体管数目,约每 18 个月便会增加一倍,性能也将提升一倍。换言之,每一美元所能买到的电脑性能,将每 18 个月翻一倍以上。这一定律揭示了信息技术进步的速度。

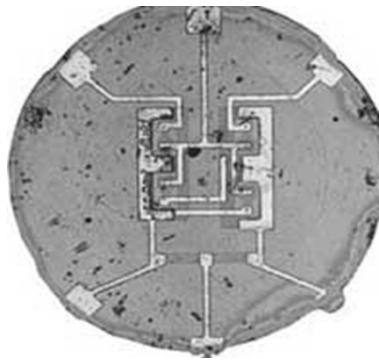


图 1-3 第一块单片集成电路

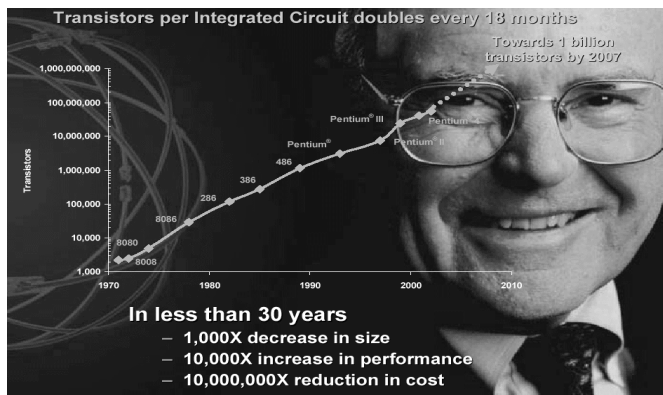


图 1-4 摩尔定律预测了每块集成电路上元件数目的增长情况

尽管这种趋势已经持续了超过半个世纪,摩尔定律仍应该被认为是观测或推测,而不是一个物理或自然法则。预计该定律将持续到至少 2015 年或 2020 年。但由于特征尺寸的缩小已接近极限,2010 年国际半导体技术发展路线图的更新增长已经放缓在 2013 年年底,之后的时间里,晶体管数量密度预计只会每 3 年翻一番。

1.2 集成电路产业链(行业)概述

一颗集成电路芯片的生命历程就是点沙成金的过程:芯片公司设计芯片,芯片代工厂生产芯片,封测厂进行封装测试,整机商采购芯片用于整机生产。按照产业链的覆盖程度,一般可将芯片供应商分为两大类:IDM 和 Fabless。

IDM 是 Integrated Device Manufacture 的缩写,即垂直集成模式,通俗理解就是集芯片设计、芯片制造、芯片封装和测试等多个产业链环节于一身的企业。有些企业甚至有自己的下游整机环节,如英特尔、三星、IBM 就是典型的 IDM 企业。

Fabless 是没有芯片加工厂的芯片供应商,Fabless 自己设计开发和推广销售芯片,与生产相关的业务则外包给专业生产制造厂商。高通(Qualcomm)、博通(Broadcom)、联发科(MTK)都是典型的 Fabless 企业。中国的海思(Highsilicon)和展讯(Spreadtrum)也是 Fabless 企业。

与 Fabless 相对应的是 Foundry(晶圆芯片生产代工厂商)和封测厂,主要承接 Fabless 的生产和封装测试任务。典型的 Foundry 包括台积电(TSMC)、GlobalFoundry、中芯国际(SMIC)和台联电(UMC)等。封测厂包括日月光(ASE)、安靠(Amkor)和江苏长电等。

一般情况下,Fabless 选择代工和封测厂主要考虑的因素包括:工艺匹配、IP 及设计服务、成本、交货周期、产品质量、沟通效率等。加工厂和封装测试厂的成本在于生产线投资和工艺开发,需要大规模的芯片出货量支撑产线的产能利润率。出货量大的 Fabless 是代工和封测厂的“金主”,小的 Fabless 有可能分不到产能。

在上述设计、代工、封测等产业链环节之外,细分出了一些其他的产业环节。芯片供应

商在设计芯片过程中需要购买 IP 核,需要采购 EDA 工具,从而细分出 IP 产业和 EDA 产业;有些芯片供应商或整机厂商将芯片设计的工作委托给设计服务公司,催生了集成电路设计服务产业;在芯片卖到整机厂商的过程中,出现了专业的芯片代理商/方案商;芯片加工厂需要购进大量的半导体设备、材料用于芯片加工,形成了半导体设备产业和材料产业等。

梳理集成电路产业链的各个环节及资金流向,会发现芯片环节是整个产业链的枢纽环节,“芯片的生命历程是点沙成金的过程”。而 IP 核供应商、EDA 供应商、芯片加工厂、封装厂和测试厂的业务收入主要来自芯片供应商,芯片供应商通过将芯片卖给整机厂商或代理商取得业务收入,实现芯片的商业价值。市场需求是决定芯片供应商是否赢利的关键,因此芯片供应商与市场需求最近。为了更好地捕捉到市场需求的快速变化,芯片供应商和集成电路分销代理商积极配合,以期拿到更多整机厂商的订单。

1.2.1 电子设计自动化行业

EDA 是电子设计自动化(Electronic Design Automation)的缩写。利用 EDA 工具,电子设计工程师可以从概念、算法、协议等开始设计电子系统,大量工作可以通过计算机完成。EDA 工具可以使从电子产品的电路设计、性能分析到设计出集成电路版图或 PCB 版图的整个过程,在计算机上自动处理完成。

EDA 是集成电路行业必备的设计工具软件,是集成电路产业链最上游的子行业,公司数相对少,代表企业为 Cadence, Synopsys 和 Mentor 等。“工欲善其事,必先利其器”,集成电路设计必需的也是最重要的武器就是 EDA 软件,因此随着集成电路设计复杂度的提升,新工艺的发展,集成电路产业需要更先进的武器,所以 EDA 行业还有非常大的发展空间。

EDA 工业开发软件用来支撑工程师创造新的集成电路设计。因为现在设计的复杂性高,所以 EDA 几乎涉及集成电路设计流程的各个方面,从高级系统设计到制造。EDA 将设计者的需求分为电子系统层次结构中的多个级别,包括集成电路、多芯片模块和印制电路板(PCB)。

半导体工艺的进步推动了集成电路设计技术的飞速发展。例如,在电路中集成上亿个晶体管,装配多个芯片和数以千计的引脚,以进行封装并安装到高密度互连(HDI)的具有几十个接线层的电路板。这个设计过程非常复杂且极度依赖自动化工具。也就是说,计算机软件大多用在自动设计阶段,诸如逻辑设计、仿真模拟、物理设计和验证。

EDA 最早出现在 20 世纪 60 年代,以简单程序的形式在电路板上自动布局较少数量的模块。几年后,集成电路的出现,需要使用软件来减少门级电路的总数量。如今的软件工具必须额外考虑电效应,例如相邻连线之间的信号延迟和电容耦合。在现代的 VLSI 设计流程中,基本上所有环节都采用软件来实现自动优化。

在 20 世纪 70 年代,半导体公司开发了自用的 EDA 软件,用专门方案解决公司专有设计模式。在 80 年代至 90 年代,独立软件供应商创建了能更广泛使用的新工具。这兴起了一个独立的 EDA 工业,这项工业每年提供了将近 500 亿美元的财政收入,并雇佣了大概 2 万多人。许多 EDA 公司的总部设在硅谷。现有的几个重要年度会议可以说明 EDA 工业和学术方面的发展。其中最引人关注的会议是设计自动化会议(DAC),它保持了每年一次学术座谈会和工业贸易展览。计算机辅助设计国际会议(ICCAD)着重于学术研究,其论文涉及专门的算法开发。PCB 开发者参加每年 9 月的西方 PCB 设计会议。在国外,欧洲和亚洲分别举办欧洲设计、自动化和测试会议(DATE)以及亚洲、南太平洋设计自动化会议(ASP-DAC)。全球范围的工程学会——美国电气与电子工程师学会(IEEE)出版了 IEEE 集成电路与系统的计

算机辅助技术(TCAD)月刊,而美国计算机学会(ACM)出版了 ACM 电子系统设计自动化汇刊(TODAES)。

1. EDA 的影响

根据摩尔定律,一个芯片上集成的晶体管数量是以指数速度增长的。历史上,这对应于每块芯片上的晶体管数量每年 58%的复合增长率。但是,对于设计者而言,设计队伍(固定规模)每年只有约 21%的复合增长率,这导致了设计生产力缺口。晶体管数量高度依赖特定情景:模拟与数字或存储与逻辑。20 世纪 90 年代中期的半导体制造技术联盟的统计数据,基本反映了标准晶体管的设计生产力。图 1-5 来自国际半导体技术蓝图(ITRS),表明了成本可行的集成电路产品需要在 EDA 技术上进行创新,这显示了 EDA 技术对整个集成电路设计生产力及其集成电路设计成本的影响。

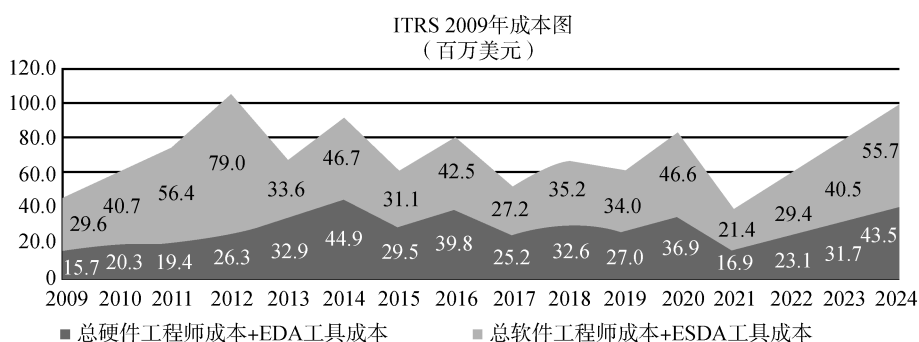


图 1-5 半导体技术蓝图项目:总硬件工程师成本+EDA 工具成本(深灰色)和总软件工程师成本+电子系统设计自动化(ESDA)工具成本(浅灰色)

如果半导体设计团队掌握了高效的设计技术,对于一个典型的便携式片上系统,例如手机的基带处理器,就能将其硬件设计成本保持在 1570 万美元(2009 年估计)。考虑相关的软件设计成本项目,总花费为 4530 万美元。如果没有 1993 年至 2007 年之间的设计技术创新及其促使设计生产率的提高,一个芯片的设计成本会是 18 亿美元,远远超过 10 亿美元。

2. EDA 的历史

当集成电路原理图输入工具开发出来后,第一款 EDA 设计工具,即能够在一个电路板上优化器件物理位置的布局软件,在 20 世纪 60 年代后期诞生了。此后的较短时间内,辅助电路版图和可视化的程序出现了。20 世纪 70 年代,第一个解决物理设计过程的集成电路计算机辅助设计(CAD)系统诞生了。在那个时代,大多数 CAD 工具是公司专有的,诸如 IBM 和 AT&T 贝尔实验室这些主流公司依靠自己设计的仅限内部使用的软件工具。然而,在 20 世纪 80 年代初期,独立的软件开发者开始编写工具,能为多个半导体生产公司服务。到了 90 年代,EDA 的市场飞速发展,许多设计团队采用商业工具,不再开发自己的内部软件。现在,最大的 EDA 软件设计公司,按字母序排列,分别是 Cadence Design Systems、Mentor Graphics 和 Synopsys。

EDA 工具总是面向整个设计过程的自动化的,并将设计步骤链接成一个完整的设计流。不过,这样整合存在一些问题,因为一些设计步骤需要额外的自由度,而且可扩展性要求独立处理一些设计步骤。另一方面,晶体管和连接线尺寸的持续减少,模糊了独立的连续设计

步骤的边界和抽象，及其需要在设计周期的早期进行精确计算的物理效应，例如信号延迟和耦合电容。因此，设计过程从不可再分的步骤序列(独立的)趋向于更深层次的整合。表 1.1 总结了电路和物理设计关键发展的时间表。

表 1.1 EDA 发展中关于电路和物理设计的时间表

| 时间周期(年) | 电路和物理设计过程的发展 |
|-------------|--|
| 1950 ~ 1965 | 只有手工设计 |
| 1965 ~ 1975 | 首次开发出 PCB 的版图编辑器，例如布局和布线工具 |
| 1975 ~ 1985 | 更先进的集成电路和 PCB 工具，带有更复杂的算法 |
| 1985 ~ 1990 | 第一个性能驱动工具和版图的并行最优化算法，更好地理解基础理论(图论、解决方案的复杂性等) |
| 1990 ~ 2000 | 第一个单元上布线，第一个三维和多层的布局和布线技术。电路综合自动化和面向可布线的设计成为主流。出现并行工作负载。出现物理综合 |
| 2000 至今 | 在设计制造的界面出现可制造性设计(DFM)、光学邻近校正(OPC)以及其他技术。模块可重用性的提高，包括 IP 模块 |

1.2.2 IP 行业

IP (Intellectual Property) 是用于集成电路中并预先设计好的电路功能模块，是集成电路产业链上的一个子行业，公司数目也相对偏少。随着半导体工艺的发展，芯片集成度的增加，IP 在集成电路设计中扮演越来越重要的角色，其意义在于大大缩短集成电路开发时间，提升设计质量，降低设计风险，因此 IP 也是集成电路设计常用的重要武器。

IP 复用技术前景广阔，受到集成电路设计企业的重视，IP 核已成为集成电路设计企业的一种重要知识产权。IP 核最主要的提供方包括晶圆代工厂 (Foundry) 和独立的 IP 核供应商。独立的 IP 核供应商的代表企业为 ARM(全球第一的 IP 供应商) 和 MIPS。目前国际 IP 市场的通用商业模式是基本授权费 (License Fee) 和版税 (Royalty) 的结合：设计公司首先支付一笔不菲的 IP 技术授权费，以便获得在设计中集成该 IP 并在芯片设计完成后销售含有该 IP 芯片的权利。一旦芯片设计完成并销售后，设计公司还需根据芯片销售平均价格按一定比例(通常在 1%~3%之间) 支付版税 (Royalty) 给 IP 厂商。

通常，IP 厂商会把设计公司支付的授权费拿来支付一定的 IP 开发成本、本公司商业运作成本和人员成本，而收取的版税部分才是公司的赢利部分。不论公司大小，这几乎是约定俗成的行规，也是 IP 公司的生存之道。

IP 其实就是一颗相对固化的小集成电路，因此 IP 行业所需的人才与集成电路设计行业所需的差不多，大都为集成电路设计人才，也有应用及技术支持人才及销售类人才。这类人才可以往下游集成电路设计行业去，因此就业面相对较宽。

1.2.3 集成电路设计服务行业

集成电路设计服务行业，是集成电路产业链细分后产生的一个较小的子行业。相关公司数目也较少，代表性企业有芯原科技 (VeriSilicon)、GUC、eSilicon 和灿芯等。随着集成电路产业链垂直分工越来越细，为了缩短设计周期，加速产品上市进程，实现更高效的投入 / 产出比，集成电路设计服务行业随之诞生。

一些集成电路设计公司将芯片的后端布局布线及单元的设计交由设计服务公司处理，有的连生产、封装、测试等工作也交给了设计服务公司，即 Turnkey(一站式) 服务，更有甚者

连集成电路前端设计也外包出去。集成电路设计服务当然是必不可少的，主要是工艺越往高端发展，后端设计的 EDA 软件就越贵；而芯片集成度越高，后端设计难度也就越大；当然资深数字后端人才也很稀少，因此外包成为首选；某些小公司设计人员不够，或者大集成电路公司的某些项目太忙，或者下游有实力的整机追求产品差异化，也会有定制芯片的需求，因此设计服务行业还有进一步壮大之势。

设计服务行业需求的人才，主要是集成电路后端设计人才及集成电路运营类(负责流片、封装、测试等管理)的人才，也有少量数字前端与模拟人才，因为与众多的集成电路设计公司的集成电路工程师人才需求差不多，所以人才适用面很宽。

1.2.4 集成电路设计行业

从根本上讲，集成电路设计是将系统、逻辑与性能的设计要求转化为具体的物理版图的过程，也是一个把产品从抽象的过程一步一步地具体化，直至最终物理实现的过程。设计方法主要包括正向设计和逆向设计，正向设计又以层次化和结构化设计方法为主。整个过程将主要集中在图纸与计算机上，借助 EDA 工具完成，它给人的整体感觉就是“纸上谈兵”式的创意性劳动，这恰恰是整个集成电路产业链中最重要和最具创新性的一步。集成电路设计行业 IC 设计的简化工作流程图如图 1-6 所示。

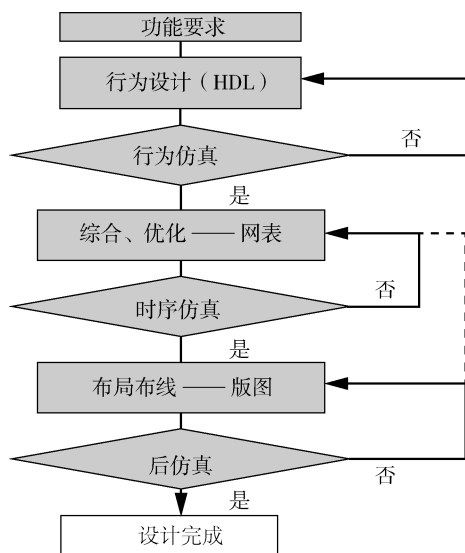


图 1-6 集成电路设计行业的工作流程

根据集成电路设计产业的固有商业模式，一个好的集成电路产品需要设计、工艺、测试、封装等一整套工序的密切配合。Fabless 是设计公司主流的商业模式，其核心竞争力在于产品的创新和知识产权，产品主要依赖 Foundry 代工。

因此，集成电路设计公司的人才需求是目前国内半导体产业中最大的。岗位大致包括：市场企划，芯片架构，算法设计，数字前端(设计与验证)，数字后端，模拟设计，版图设计，嵌入式软件设计，系统软硬件设计，现场应用，生产，测试，品质，量产计划和销售等。所以无论你是微电子、计算机专业或者电子通信专业，还是自动化专业，都能在一家集成电路设计公司内找到合适的职位。

1.2.5 集成电路晶圆制造行业

所谓的晶圆代工，即我们所说的 Foundry (FAB)。一般来说，Foundry 根据设计公司提供的 GDS II 格式的版图数据，首先制作掩模(mask)，将版图数据定义的图形固化到铬板等材料的一套掩模上。一张掩模，一方面对应于版图设计中某一层的图形，另一方面对应于芯片制作中的一道或多道工艺。正是在一张张掩模的参与下，工艺工程师完成了芯片的流水式加工，将版图数据定义的图形最终有序地固化到芯片上。这一过程通常简称为“流片”。根据掩模的数目和工艺的自动化程度，一次流片的周期约为 3 个月。晶圆代工的流程(图中阴影部分)如图 1-7 所示。

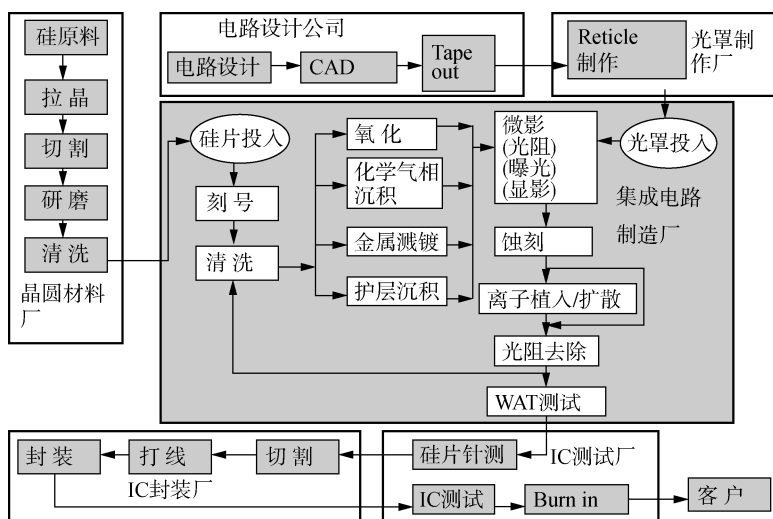


图 1-7 晶圆代工的流程(图中阴影部分)

20 世纪 80 年代，张忠谋从美国回到中国台湾创办了台积电(TSMC)，由此引发了全球集成电路产业链的一场生态革命。越来越多的公司拥有晶圆厂，包括 Freescale、TI、LSI 和 IDT 等许多 IDM 都转向 Fabless，同时也对晶圆代工的产能提出了更高要求。目前，全球最主要的晶圆代工厂包括 TSMC、UMC、GlobalFoundries、SMIC 和 IBM 等。

1.2.6 封装测试行业

集成电路封装就是把 Foundry 生产出来的芯片裸片(die)封入一个密闭空间内,受外部环境的温度、杂质和物理作用力的影响,同时引出相应的引脚,最后作为一个基本的元器件使用。

集成电路封装业是集成电路产业链偏下游的一个子行业，通常封装和测试都是一体的，即做完封装后直接进行产品的测试工作。但是也有单独的封装厂，代表企业包括日月光、安靠、星科金朋、矽品、南通富士通、江苏长电、天水华天等。由于封装技术的好坏直接影响芯片自身性能的发挥和与之连接的 PCB(印制电路板)的设计和制造，因此它是至关重要的。

随着集成电路器件尺寸的缩小和运行速度的不断提高，对集成电路封装也提出了新的更高要求。集成电路封装技术的进步不但体现在封装尺寸和形状上，还体现在封装材料以及内部结构的重要性上。半导体封装形式已由原来的 SiP、DIP 和 PLCC 等低端封装形式向 SoP、TSSOP、QFP、LQFP、TQFP 和 QFN 等方向发展。

集成电路的测试就是运用各种方法,检测出在制造过程中由于物理缺陷导致的不合格芯片样品,是整个集成电路产业链中偏下游的一个子行业。测试厂一般和封装厂建在一起,但也有单独的测试厂,如日月光、安靠等。由于无论怎样完美的工程都会产生不良的个体,因而测试也就成为集成电路制造中必不可少的工程。随着人们对集成电路品质的重视,再加上技术、成本和知识产权保护等诸多因素,测试业逐渐成为集成电路产业中不可或缺的独立行业。随着集成电路芯片的日益复杂和性能不断提高,芯片的测试速度和引脚数都不断攀升,对测试的要求也越来越高。

集成电路测试行业需求的人才主要为测试工程师,此类人才未来除在测试行业外,还可以到集成电路设计公司做测试工程师,职业选择面比较宽。

1.2.7 半导体设备与材料行业

半导体设备与材料主要是指集成电路产业链上下游用于芯片生产、封装、测试过程中的各种设备和原材料。制备半导体的最主要的原材料是硅,不同的半导体器件对半导体材料有不同的形态要求,包括单晶的切片、磨片、抛光片、薄膜等。半导体材料的不同形态要求对应不同的加工工艺,常用的半导体材料制备工艺有提纯、单晶的制备和薄膜外延生长。半导体设备是半导体产业发展的基础,也是半导体产业价值链顶端的“皇冠”。

从全球范围看,美国、日本、荷兰等国家是世界半导体设备制造的三大强国,全球知名的半导体设备制造商主要集中在上述国家,美国主要控制等离子刻蚀设备、离子注入机、薄膜沉积设备、掩模板制造设备、检测设备、测试设备、表面处理设备等,日本则主要控制光刻机、刻蚀设备、单晶圆沉积设备、晶圆清洗设备、涂胶机/显影机、退火设备、检测设备、测试设备、氧化设备等,而荷兰则在高端光刻机、外延反应器、垂直扩散炉等领域处于领先地位。近几年在国家科技重大专项资金的支持下,国内的北方微电子、上海中微半导体、北京七星华创等半导体设备与材料企业取得了显著发展,但在该领域具备更多竞争力的还是应用材料、ASML等外企,需要的人才还是电子、材料专业的居多。

1.2.8 集成电路分销代理行业

集成电路代理分销,作为整机制造商的集成电路供应方和集成电路设计公司(集成电路原厂)的销售渠道,是集成电路产业链最下端的一个子行业,但在整个价值链上扮演着非常重要的角色。公司数目非常多,代表企业如安富利、艾春、大联大等。集成电路代理分销商的角色除了作为集成电路原厂的销售渠道之外,还要为客户提供技术支持和售后服务,有时候还要为客户提供设计服务;同时要搜集客户的需求信息反馈给集成电路原厂,从让集成电路原厂能对市场的变化快速做出反应,设计和制造出符合市场需求的产品。

由于IC产品科技含量较高,集成电路代理分销公司除了作为集成电路原厂的渠道之外,还要为最终用户提供一定的技术支持,如技术资料的提供、培训、技术解决方案的提供等。集成电路代理分销商依靠专业的销售能力、自身的物流与现金流管控能力及遍布各地的销售网络和客户群,特别是客户关系处理能力,能迅速推广集成电路原厂的产品并打开销路,是集成电路原厂的强有力的小伙伴。

集成电路代理分销需要的人才主要是集成电路销售、市场及FAE工程师,部分公司也需要做方案开发的电子软硬件开发工程师,这些职位通用性比较大,适用面很宽,一般来说比较好的选择是去集成电路原厂做相应岗位的工作。

1.3 VLSI 设计流程

LSI 设计流程大致可分为如下的步骤：

项目策划，总体设计，详细设计和可测性设计，版图设计，时序分析，加工以及测试。

以上步骤有的串行执行，有的则可以并行执行。如果进行到某一步时发现了问题，例如，系统有新的需求，或者时序不满足要求，或者仿真发现了 bug，就需要返回到某一点再重新开始，有时这种反复迭代需要多次之后才能投片出去。

因此，设计 VLSI 的过程非常复杂，可以分成不同的步骤(见图 1-8)。前面的步骤是高端的(前端)，后面的设计步骤在抽象概念上是低端的(后端)。

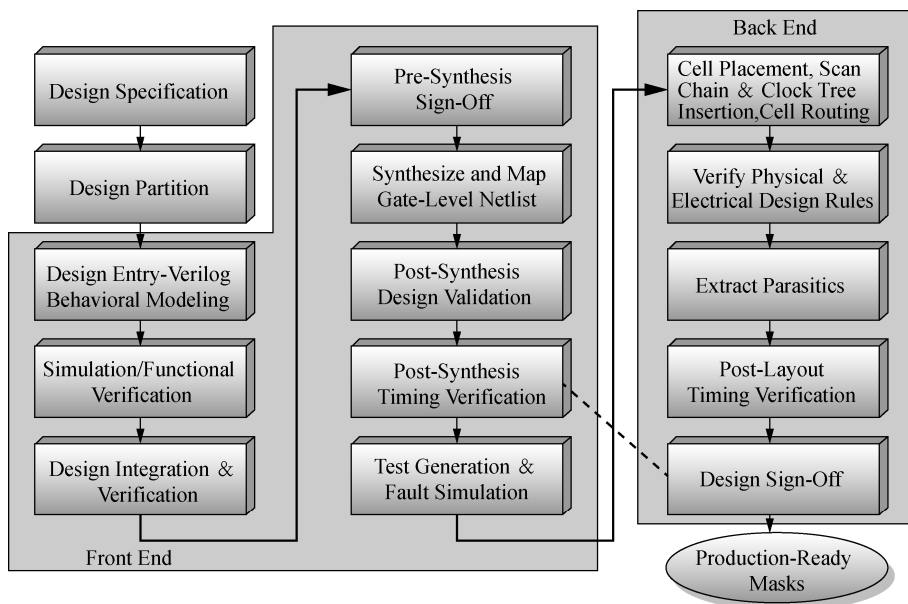


图 1-8 VLSI 设计流程框图

在流程的最后，在制造之前，设计的芯片在基于所抽取的各电路元件的几何形状和电气性能的详细信息的环境下能满足项目的系统规范性能要求。

1.3.1 系统规范 (System Specification)

芯片设计师、电路设计者、产品营销者、运营经理以及版图和库设计者，共同定义了系统的总体目标和高级需求。这些目标和需求包括功能、性能、物理尺寸和生产技术，最后按照系统设计的目标需求编写设计规格书 (Specification, SPEC)。

1.3.2 架构设计 (Architecture Exploration)

算法和架构设计阶段是整个项目成败的关键环节，而且算法设计和构架设计也往往是结合在一起。算法设计主要是根据功能和性能的需求，选择或设计算法，并通过仿真或其他方法进行验证和评估。

简单地说, 构架设计就是如何使用芯片来实现这些算法和功能。一个基本的架构必须满足系统规范, 包括:

- 模拟和混合信号模块的集成;
- 存储管理, 如串行或者并行, 寻址方案等;
- 计算 IP 核的类型和数量, 如处理器和数字信号处理单元和专用的 DSP 算法;
- 芯片内外的通信, 对标准协议的支持等;
- 硬、软 IP 模块的使用;
- 引脚分配, 封装, 管芯封装接口;
- 电源需求;
- 工艺技术的选择。

1.3.3 逻辑功能设计与综合 (Logic Design and Syntheses)

在构架设计完成后, 顶层(Top-Level)设计已经划分为较小的功能模块(Module), 接下来就要进行模块级的设计, 包括模块的详细功能、算法、实现、接口时序、性能要求和子模块设计等内容。在完成了模块的设计规范后, 就要进入 RTL 实现阶段(包括代码编写、仿真、验证等)。设计者可以使用硬件描述语言(Hardware Description Language, HDL)进行模块设计的描述。高质量的 RTL 代码可以大大加快芯片实现的时间, 减少设计流程的反复。

一旦架构确定, 就必须定义每个模块(例如一个处理器核)的功能和连接关系。在功能设计中, 只能决定高层的行为, 也就是每个模块的输入、输出和时序行为。

逻辑设计可用寄存器传输级(RTL)来描述, 即用硬件描述语言(HDL)定义芯片的功能和时序行为。两种常见的 HDL 是 Verilog 和 VHDL。HDL 模块必须要经过仿真和验证。

逻辑综合工具自动使 HDL 转变为底层的电路单元。也就是说, 如果给出一个 Verilog 或者 VHDL 的描述和一个工艺库, 一种逻辑综合工具可以将描述的功能映射为信号网络的网表和特定的电路单元, 诸如标准单元和晶体管。

1.3.4 电路设计、综合与验证 (Circuit Design, Syntheses and Verification)

当数字集成电路设计进入超大规模时代时, 设计工程师发现, 设计的时间已经不是影响设计周期的关键因素, 影响设计周期的关键因素在于发现和修改设计中存在的问题。而一般的仿真工具 Verilog 和 VHDL 在仿真中只适合解决低层次的设计问题, 更高层次的问题需要海量的测试向量来发现, 而产生这种测试向量对于 Verilog 和 VHDL 来说实现起来非常麻烦, 相关代码更加繁杂, 运算速度也会受到制约。更重要的是, VHDL 和 Verilog 对于建立更抽象的算法级描述并不方便。

于是, SystemVerilog 作为一种验证语言工具, 引入了软件设计中类似事件的概念, 使其更适合描述芯片与芯片相关的系统, 方便建立更完善的验证平台。它增强了算法的描述, 更便于描述抽象实现算法, 同时又继承了 Verilog 对并行运算和位运算的支持, 并且以时钟为基本时间单位, 使其方便对重要信号在某些时钟周期内进行分析和比较。

为了保证数字集成电路设计不偏离最初的目标, 自顶向下的设计方法中引入了验证(Verification)的概念。验证的概念指的是, 从数字设计开始就要对系统的功能及重要信号进行描述, 以便对下一级的模型设计的结果进行比较, 修正下一级模型设计中引入的偏差和误。

针对芯片上的大容量数字逻辑，逻辑综合工具将布尔表达式自动转换为指定的门级网表、更高粒度的标准单元。逻辑综合完成后，设计被翻译成门级网表，需要进行时序验证，检查该设计是否满足给定的时序要求，如建立时间、保持时间等。时序验证通常由时序分析工具(如 Synopsys 公司的 PrimeTime)完成，时序分析可分为静态仿真验证和动态仿真时序验证。

一些关键的低(后)端的单元必须在晶体管级进行设计，在电路级设计的单元包括静态 RAM 模块、I/O、模拟电路、高速函数(乘法器)及静电放电(ESD)保护电路。电路级设计的正确性可用电路仿真工具(例如 SPICE)来验证。

1.3.5 物理设计(Physical Design)

在物理设计过程中，所有的设计组件都例化为几何图形表示。换句话说，所有的宏模块、单元、门和晶体管等，在每个制造层上用固定的形状和大小来表示，并在金属层上分配空间位置(布局)，然后用适当的布线完成连接(布线)。物理设计的结果是一套制造规范，必须通过后续验证。

进行物理设计时，需要遵照设计规则，即制造介质的物理限制。例如，所有的线规定最小的距离间隔和最小的宽度。类似地，针对每个新的制造工艺，设计版图必须重新生成(移植)。

物理设计直接影响了电路性能、面积、可靠性、功率和制造产量。常见的影响如下。

- 性能。长的布线有明显的更长信号延迟。
- 面积。互连模块之间的布局距离大，会导致芯片面积更大，并且处理速度更慢。
- 可靠性。大量的通孔会显著地降低电路的可靠性。
- 功率。栅极长度更小的晶体管实现更快的开关速度，其代价是泄漏电流和制造变异性高；更大的晶体管和更长的线会导致更大的动态功耗。
- 产量。布线靠得太近，在制造中易发生短路，从而降低产量，但是门散布得太远，布线更长，并且开路的概率更高，也会破坏产量。

因为物理设计具有高复杂度，所以将其分为如下几个关键的步骤(见图 1-9)。

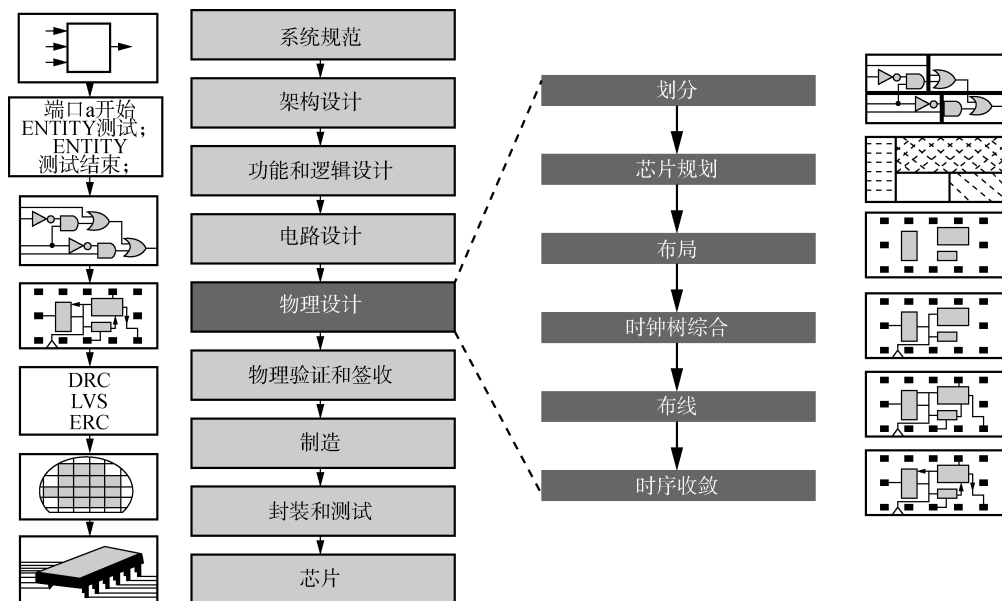


图 1-9 VLSI 设计流程中的物理设计的主要步骤

- ① 划分。将电路分解成更小的子电路或模块，使之能单独设计或分析。
- ② 布图规划。决定子电路或模块的形状和布局，以及外部端口、IP 或宏模块的位置。
- ③ 电源和地网布线。在布图规划中，对电源(V_{dd})和地(GND)，线网在芯片的各处均匀分布。
- ④ 布局。确定在每个模块中的所有单元的空间位置。
- ⑤ 时钟树综合。决定了时钟信号的缓冲、门控(例如电源管理)和布线，以满足规定的偏移和延迟需求。
- ⑥ 总体布线。分配布线资源用于连接，例如在通道和开关盒中，布线轨道中的布线资源。
- ⑦ 详细布线。分配布线到指定的金属层，以及在总体布线资源中指定布线轨道。
- ⑧ 时序收敛。通过专门的布局和布线技术来优化电路性能。

经过详细布线后，电精确性版图优化在小范围内执行。从完成的版图中提取寄生电阻(R)、电容(C)和电感(L)，然后放入时序分析工具中，以检查芯片的功能行为。如果分析显示出错误行为或者设计裕量(保护带)不足，与可能的制造和环境变化相违背，就会进行增量设计优化。

上述方法主要面向数字电路，模拟电路的物理设计与此不同。对于模拟电路物理设计，一个电路单元的几何表示可利用版图生成器或手工绘制来创建。这些生成器可以根据电路器件的已知电参数，例如一个电阻器的电阻，相应地生成合适的几何表示，例如一个带有指定长度和宽度的电阻器版图。

1.3.6 物理验证(Physical Verification)

当物理设计完成后，版图必须全面验证，以确保正确的电气和逻辑功能。在物理验证中发现的问题，如果对于芯片产量的影响可以忽略，这些问题就可以被容许。否则，这个版图必须更改，但是这些更改必须是最低限度的，不会产生新的问题。因此，在这个阶段，版图的更改常常由有经验的工程师来手工执行，具体步骤如下。

- ① 设计规则检查(DRC)。用来验证版图满足所有工艺方面的约束，设计规则检查也验证机械抛光层密度。
- ② 版图与原理图一致性检验(LVS)。用来验证设计功能。从版图导出的网表与逻辑综合或者电路设计产生的原始网表进行比较。
- ③ 寄生参数提取。用来从几何表示的版图元素中导出电气参数。对于网表，同样可以验证电路的电气特性。
- ④ 天线规则检查。用来防止天线效应，它会通过在没有连接到 PN 结点处金属线上积累多余电荷，在制造的等离子刻蚀步骤破坏晶体管栅极。
- ⑤ 电气规则检查(ERC)。用来验证电源和地连接的正确性，以及信号转换时间、容性负载和扇出在合适的边界内。

分析和综合技术都集成到 VLSI 设计中。分析通常是指电路参数和信号转换的建模，并用建立的数值方法来找到不同方程组的解。相对于综合和优化中的种种可能性，这些任务的算法设计比较简单。

1.3.7 制造(Manufacture)

经过 DRC、LVS 和 ERC 处理后的最终版图，通常表示为 GDS II 流格式，发给一个专门的硅代工(晶圆厂)进行流片制造。移植设计进入制造过程称为流片，而且从设计团队到硅晶圆厂

的数据传输不再依靠磁带。生成数据以用于制造，有时称为流出，这就是 GDS II 流的使用。

在晶圆厂里，用光刻工艺将设计影印到不同的层。光掩模是在某些形态的硅上。对指定的版图，用激光源进行曝光。生产一个集成电路需要很多掩模；当设计进行了修改时，要求改变部分或者所有的掩模。

集成电路是在直径为 200~300 mm (8~12 in) 的圆硅片上制造的。集成电路必须通过测试，标注为可用或者有缺陷，测试可以根据功能或参数(速度、功率)测试失败进行分组，而标准可以根据这些分组来判定。在制造工艺的最后，硅片将被切割成小片，以实现集成电路的分离或颗粒化。

1.3.8 封装和测试(Packaging and Testing)

在颗粒化后，功能芯片通常需要封装。封装在设计过程的早期便已经成型，影响着应用、性能及成本。封装类型包括双列直插式封装(DIP)、针栅阵列(PGA)和球栅阵列(BGA)。当把裸片定位在封装包空腔后，将其引脚连至封装包的引脚。然后，封装加以密封。

制造、组装和测试可以用不同的方式顺序执行。例如，在日益重要的晶圆级芯片规模封装(WLCSP)方法中，高密度的金属焊接“凸块”贴装工艺便于功率的传输，在晶圆片颗粒体化之前，精心设计封装包到裸片的接地和信号。对于集成的多芯片模块，芯片往往不能单独封装，而是把多个裸片集成封装为 MCM，即在随后进行单独封装。封装过后，产品会通过测试来确保满足设计需求，例如功能(I/O 关系)、时序或功耗。

1.4 VLSI 设计模式

选择一个恰当的电路设计模式非常重要，因为这影响着上市时间和设计成本。VLSI 设计模式分为两类：全定制和半定制。全定制设计主要针对有特别多单元组成的复杂系统，例如微处理器或 FPGA，设计工作的高成本分摊到大批量的生产中。半定制设计常被大量采用，因为它降低了设计过程的复杂度，因此时间和总成本也降低了。

下面列出最常用的半定制标准设计模式。

- 基于单元。这种模式通常采用标准单元和宏单元，其中包含许多预定义元件。这些预定义元件是从元件库复制而来的，例如逻辑门。
- 基于阵列。这种模式通常采用门阵列或 FPGA，其中包含了若干预先制备好的元件，并通过预布线相连。

1.4.1 全定制设计

在所有可用的设计模式中，全定制设计模式的约束在版图生成中最少，例如模块没有限制，可以安置在芯片的任何位置。这种方法通常产生非常紧凑的、具有高优化电气性能的芯片。然而，这样的设计费力、耗时，缺乏自动化支持，可能失败。

全定制设计主要用于微处理器和 FPGA，其设计的高成本将摊销在量产中。全定制设计也可用于模拟电路设计，此时必须加倍认真，以获得匹配良好的版图，且严格遵守了电气性能规范。

全定制设计必不可少的工具是一种高效的版图编辑器，它不仅能绘制多边形，还可以做更多的事情(见图 1-10)。许多改进的版图编辑器集成了 DRC 检验器，这样可以连续验证当前的版图。所有违反设计规则的错误出现时，就能得到修复，最后的版图通过构造成为无 DRC 错误版图。

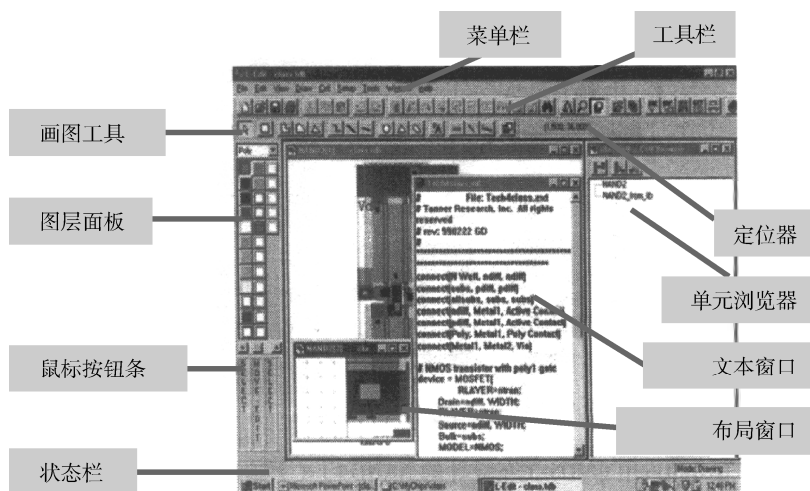


图 1-10 多功能版图编辑器的一个例子(来自 Tanner Research 公司的 L-Edit)

1.4.2 标准单元设计

一个数字标准单元是一个有固定尺寸和功能的预定义模块。例如，带两个输入端口的 AND 单元由一个两输入 NAND 门连接一个反相器构成(见图 1-11)。标准单元分布在单元库中，这常由晶圆代工厂免费提供，并进行了制造资格预审。标准单元设计成一种固定单元高度的倍数，有固定的电源(V_{dd})和接地(GND)端口位置。单元宽度变化依赖于晶体管网络的实现。在这种约束的版图模式中，所有单元按行排列。这样，电源和地网(水平方向)分布邻接(见图 1-12)。单元的信号端口可能在单元边界的“上方”或“下方”，或者分布在整个单元区域内。

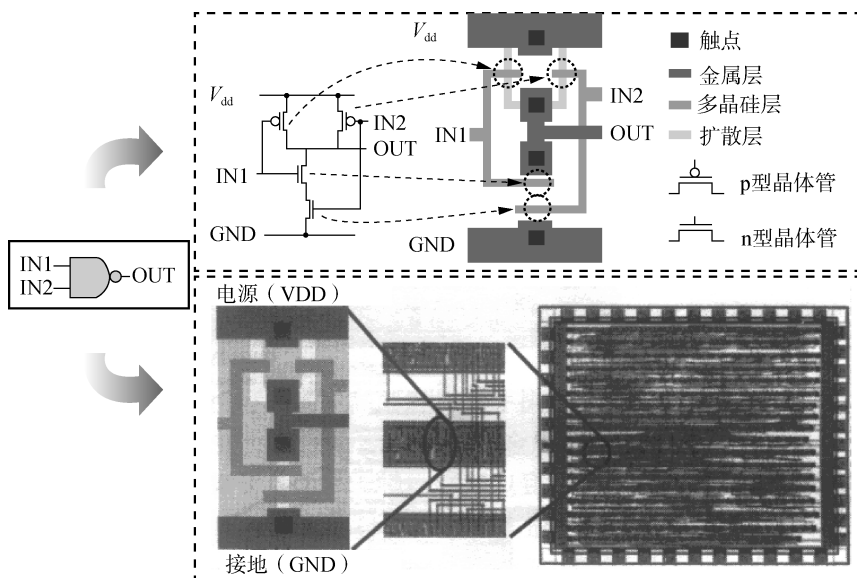


图 1-11 用 CMOS 工艺设计的 NAND 门(上图)，作为一个标准单元(左下图)，可以嵌入 VLSI 版图图中(右下图)

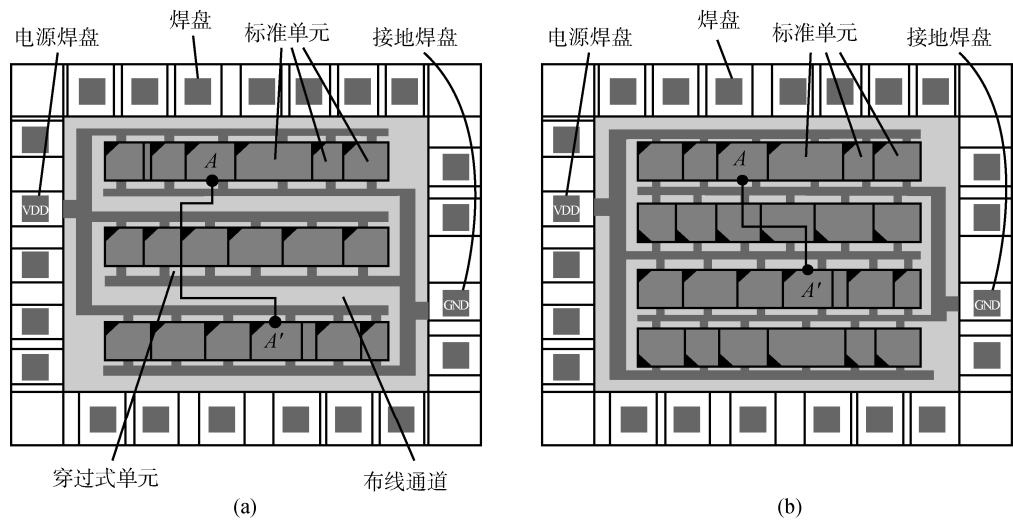


图 1-12 (a)标准单元版图中，应用穿过式单元和通道来对线网 A-A' 进行布线，每行有各自的电源和地轨道；(b)标准单元版图中，应用单元上 (OTC) 布线对线网 A-A' 进行布线，单元行上共享电源和地轨道，需要交替单元方位。超过三层的金属层，采用了 OTC 布线技术

因为标准单元布局的自由度较少，所以其复杂性大大降低。与全定制设计相比，这样的设计可以减少上市时间，当然它是以功率效率、版图密度、运行频率等为代价的。因此，基于标准单元的设计，例如 ASIC，与全定制设计(例如，微处理器、FPGA 和存储器产品)有着不同的细分市场。标准单元的设计模式需要在设计之前投入大量工作，以进行单元库的开发，并使之适合生产制造。

标准单元行之间的布线使用行内的穿过式(空的)单元，或者行之间可用的布线轨道(见图 1-13)。当标准单元行之间的区域可用时，这些区域称为通道。这些通道沿着单元上面的空间，也可以用来布线。单元上 (OTC) 布线越来越流行，采用多重金属层的方法，以目前的工艺技术，在现代设计中可达到 8~12 层。这种布线方式相对于传统的通道布线具有更好的柔性。如果采用了 OTC 布线，邻近的标准单元行就不会被布线通道分离，还可以共享电源轨道或接地轨道。OTC 布线在当今的半导体业界非常流行。

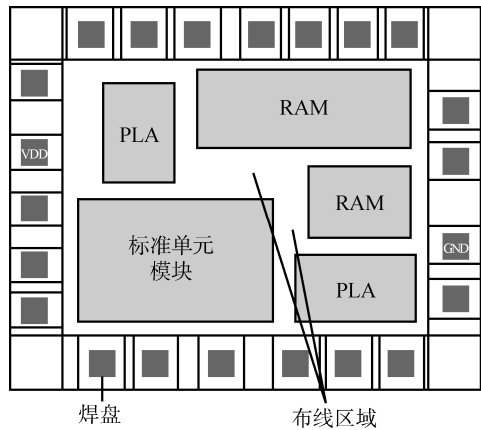


图 1-13 用宏单元的版图例子

1.4.3 宏单元

宏单元是典型的较大块逻辑，执行可重用的功能。宏单元范围从简单(一对标准单元)到复杂(整个子电路达到嵌入式处理器或存储模块级别)，并相对于它们的形状和大小可以进行较大变化。大多数情况下，宏单元可以放置在版图区域的任何地方，以达到布线距离或电气性能的最优化。

因为可重用优化模块的日益流行，所以宏单元，比如加法器和乘法器，也变得流行起来。在某些情况下，几乎整个功能设计都可用预先存在的宏单元来进行组装，这就是顶层装配。通过这种方法，不同的子电路，例如模拟模块、标准单元模块和“胶连”逻辑，组合各自的单元，例如缓冲器，以形成一个最高层级的复杂电路(见图 1-13)。

1.4.4 门阵列

门阵列是具有标准逻辑功能的硅片，例如 NAND 和 NOR，但是没有连接。当芯片指定的需求明确后，互连(布线)层会在后面添加上。因为门阵列在初始时没有定制，所以能够大量生产。因此，基于门阵列设计的上市时间主要受互连制造的约束，这使得基于门阵列设计生产比基于标准单元或宏单元设计更加便宜和快速，特别是产量不高的时候。

门阵列版图限制很多，主要是简化建模和设计。由于自由度的限制，布线算法非常简单。只需要完成以下两项工作。

单元内部布线。创建一个单元(逻辑块)，例如通过连接某些晶体管来实现一个 NAND 门。通常，单元库中提供了共栅极连接。

单元间布线。根据网表，将相应逻辑块相连以形成线网。在门阵列的物理设计过程中，① 单元是从芯片中的可用部分挑选出来的；② 因为布线资源需求依赖于布局的配置，所以不良布局可能导致布线失败。现在已有若干传统门阵列的变种和扩展。

1.4.5 现场可编程门阵列(FPGA)

在 FPGA 中，逻辑单元和互连都是预先制造好的，但是用户可以通过开关来配置(见图 1-14)。逻辑单元(LE)是通过查找表(LUT)实现的，每个查找表都可以表示任何 k 输入的布尔函数，例如 $k=4$ 或 $k=5$ 。互连是通过开关盒(SB)配置的，它在相邻布线通道上进行线连接。LUT 和开关盒的配置是从外部存储器读入的，存储在本地的存储单元。FPGA 的主要优点是它的定制，没有制造设施的参与，这样就极大地减少了设计成本、预先的投资和上市时间。但是，FPGA 运行比较慢，比 ASIC 消耗更多的功率。超过一定的生产量，例如上百万的芯片，FPGA 就会变得比 ASIC 更加昂贵，因为 ASIC 的非反复性设计与制造成本可以分摊。

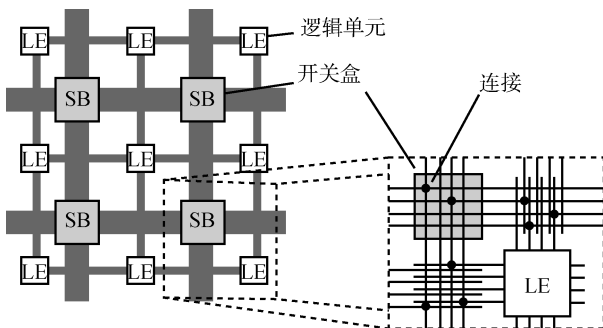


图 1-14 LE 通过 SB 连接，形成一个可编程的布线网络

1.4.6 结构化 ASIC(无通道门阵列)

无通道门阵列类似于 FPGA，不过它的单元通常不能配置。与传统的门阵列不同，结构化 ASIC 设计有许多互连层，删除了布线通道，因此提升了密度。互连(通常只有经过层)在晶圆厂是掩模可编程的，而不是现场可编程的。无通道门阵列的现代化身是结构化 ASIC。

1.5 版图层和设计规则

集成电路的门和互连是在版图层上用标准材料进行淀积和图形加工形成的，其版图模式本身遵从设计规则，确保可制造性、电气性能和可靠性。

1.5.1 版图层集成电路

版图层集成电路主要由几个不同的材料构成，其中主要包括：

- 单晶硅衬底掺杂构建 n 和 p 沟道晶体管；
- 二氧化硅，用来作为绝缘体；
- 多晶硅，形成晶体管栅极和作为互连材料；
- 铝和铜，用于金属互连。

硅作为扩散层。多晶硅、铝和铜层作为互连层；多晶硅层称为 poly 层，其余层称为 Metal1 层、Metal2 层等(见图 1-15)。过孔和接触层连接不同的层，其中过孔连接金属层，而接触层连接 poly 层和 Metal1 层。

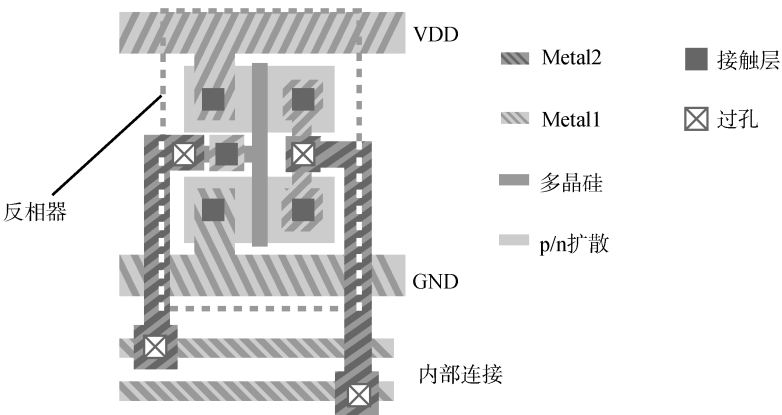


图 1-15 一个简单反相器的不同层，展示了内部连接和下面通道的外部连接

电阻通常定义为片电阻，用每平方欧姆表示(Ω/\square)。也就是说，对于给定的线的厚度，每平方面积的电阻保持相同，独立于平方大小(长度越长则电阻越大，补偿为增加的宽度的平方)。因此，很容易计算出任意矩形形状的互连电阻，即单位平方面积的数量乘以对应层的片电阻。单独的晶体管是由多晶硅层和扩散层重叠产生的。单元，例如标准单元，是由晶体管组成的，但是一般只包括一层金属层。单元之间的布线是完全在金属层进行的。这是一个比较重要的任务，多晶硅层和金属层大多专用于设计单元，而且不同层有不同的片电阻，这对时序特性的影响很大。对于典型的 $0.35\ \mu\text{m}$ CMOS 工艺，多晶硅层的片电阻是 $10\ \Omega/\square$ ，而扩