

第 2 章 MCS-51 单片机的结构及原理

内容概述:

本章主要介绍 MCS-51 单片机的内部结构与外部引脚功能, 程序存储器、数据存储器 and 特殊功能寄存器, 单片机的 4 个通用 I/O 口的结构与功能, 以及时钟电路、复位电路、掉电保护电路、CPU 的时序等。

教学目标:

- 掌握 MCS-51 单片机的内部结构与外部引脚功能;
- 掌握 MCS-51 单片机的存储器结构及工作原理;
- 掌握 MCS-51 单片机的 4 个通用 I/O 口的结构与功能。

2.1 MCS-51 单片机的结构

MCS-51 系列单片机分为 51 和 52 两个子系列, 包括 80C51、87C51、80C52、87C52 等典型产品型号。它们的结构基本相同, 主要差别仅在于片内存储器、计数器、中断源的配置有所不同, 其中 52 子系列在存储器容量、计数器和中断源数量方面都高于 51 子系列。考虑到产品的代表性, 本书将均以 80C51 为例进行介绍。

2.1.1 MCS-51 单片机的内部结构

MCS-51 单片机的内部结构包含了作为微型计算机所必需的基本功能部件, 如 CPU、RAM、ROM、定时/计数器和可编程并行 I/O 口、可编程串行口等。这些功能部件通常都挂靠在单片机内部总线上, 通过内部总线传送数据信息和控制信息。其内部基本结构如图 2.1 所示。

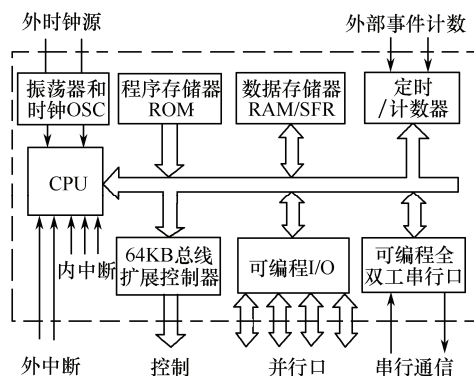


图 2.1 MCS-51 单片机内部基本结构

80C51 单片机的内部资源主要包括:

- 8 位中央处理器 (CPU);
- 片内振荡器和时钟电路;
- 4KB 片内程序存储器(ROM);
- 256 字节的片内 RAM;

- 2 个 16 位定时/计数器；
- 可寻址 64KB 外部程序存储器和 64KB 数据存储空间的控制电路；
- 4 个 8 位双向 I/O 口；
- 1 个全双工串行口；
- 5 个中断源。

单片机内部资源中最核心的部分是 CPU，它是单片机的大脑和心脏。CPU 的主要功能是产生各种控制信号，控制存储器、输入/输出端口的数据传送、数据运算、逻辑运算等处理。CPU 从功能上可分为运算器和控制器两部分，下面分别介绍这两部分的组成及功能。

1. 控制器

控制器的作用是对取自程序存储器中的指令进行译码，在规定的时刻发出各种操作所需的控制信号，完成指令所规定的功能。

控制器由程序计数器 PC、指令寄存器、指令译码器、数据指针寄存器以及定时控制与条件转移逻辑电路等组成。

(1) 程序计数器 PC (Program Counter)

PC 是一个 16 位的专用寄存器，其中存放着下一条要执行指令的首地址，即 PC 内容决定着程序的运行轨迹。当 CPU 要取指令时，PC 的内容就会出现在地址总线上；取出指令后，PC 内容可自动加 1，以保证程序按顺序执行。此外，PC 内容也可以通过指令修改，从而实现程序的跳转运行。

系统复位后，PC 的内容会被自动赋为 0000H，这表明复位后 CPU 将从程序存储器的 0000H 地址处的指令开始运行。

(2) 指令寄存器 IR (Instruction Register)

指令寄存器是一个 8 位寄存器，用于暂存待执行的指令，等待译码。

(3) 指令译码器 ID (Instruction Decoder)

指令译码器是对指令寄存器中的指令进行译码，将指令转变为执行此指令所需的电信号。根据译码器输出的信号，再经过定时控制电路产生执行该指令所需的各种控制信号。

(4) 数据指针 DPTR (Data Pointer)

DPTR 是一个 16 位的专用地址指针寄存器，由两个 8 位寄存器 DPH 和 DPL 拼装而成，其中 DPH 为 DPTR 的高 8 位，DPL 为 DPTR 的低 8 位。DPTR 既可以作为一个 16 位寄存器来使用，也可作为两个独立的 8 位寄存器来使用。

DPTR 可以用来存放片内 ROM 的地址，也可以用来存放片外 RAM 和片外 ROM 的地址，与相关指令配合实现对最高 64KB 片外 RAM 和全部 ROM 的访问。

2. 运算器

运算器由算术逻辑部件 ALU、累加器 ACC、程序状态字寄存器 PSW 及运算调整电路等组成。为了提高数据处理速度，片内还增加了一个通用寄存器 B 和一些专用寄存器与位处理逻辑电路。

(1) 累加器 ACC (Accumulator)

ACC 是一个 8 位寄存器，简称为 A，通过暂存器与 ALU 相连。它是 CPU 工作中使用最频繁的寄存器，用来存放一个操作数或中间结果。

(2) 算术逻辑部件 ALU (Arithmetic Logic Unit)

ALU 由加法器和其他逻辑电路组成，用于对数据进行四则运算和逻辑运算等功能。ALU 的两个操作数，一个由 A 通过暂存器 2 输入，另一个由暂存器 1 输入，运算结果的状态传送给 PSW。

(3) 程序状态字寄存器 PSW (Program State Word)

PSW 是一个 8 位专用寄存器，用于存放程序运行过程中的各种状态信息。PSW 中的各位信息通常是在指令执行过程中自动形成的，但也可以由传送指令加以改变。PSW 各位的定义如下：

PSW7	PSW6	PSW5	PSW4	PSW3	PSW2	PSW1	PSW0
CY	AC	F0	RS1	RS0	OV	F1	P
位 7	位 6	位 5	位 4	位 3	位 2	位 1	位 0

① CY (PSW7) 进位标志，在进行加或减运算时，如果操作结果最高位有进位或借位时，CY 由硬件置 1，否则清 0。在进行位操作时，CY 的作用相当于 CPU 中的累加器 A，因而又可以被认为是位累加器。

② AC (PSW6) 辅助进位标志，在进行加或减运算时，如果操作结果的低 4 位数向高 4 位产生进位或借位时，将由硬件置 1，否则清 0。AC 位可用于 BCD 码调整时的判断位。

③ F0 (PSW5) 用户标志位，由用户置位或复位，可作为用户自行定义的一个状态标记。

④ RS1、RS0 (PSW4、PSW3) 工作寄存器组指针，用于选择 CPU 当前工作的寄存器组。可由用户程序改变 RS1、RS0 的组合，以切换当前选用的寄存器组。RS1、RS0 与寄存器组的对应关系详见表 2.1。

⑤ OV (PSW2) 溢出标志，可以指示运算过程中是否发生了溢出，由硬件自动形成。若在执行有符号数加、减运算指令过程中，累加器 A 中的运算结果超出了 8 位数能表示的范围，即 $-128 \sim +127$ ，则 OV 标志自动置 1，否则清 0。因此，根据 OV 状态可以判断累加器 A 中的结果是否正确。

OV 的状态可以利用异或逻辑表达式算出：

$$OV = C6y \oplus C7y$$

式中，C6y 和 C7y 分别是 D6 位和 D7 位的进位或借位状态，有进位或借位时为 1，反之为 0。

【例 2.1】 对于两个有符号数 +84 和 +105，执行加法运算后，求其溢出标志 OV。

【解】 为便于分析，采用如下竖式计算法

	0	1	0	1	0	1	0	0	(+84)
+	0	1	1	0	1	0	0	1	(+105)
CY=0	1	0	1	1	1	1	0	1	(+189)

可见，由于 C6y=1 (D6 位有进位)，C7y=0 (CY=0，D7 位无进位)，故 $OV=1 \oplus 0=1$ ，说明产生了溢出。由于两个正数相加结果不可能为负，因此从 D7 位为 1 也可直观看出计算结果是错误的。

⑥ F1 (PSW1) 用户标志位，同 F0。

⑦ P (PSW0) 奇偶标志位，该位跟踪累加器 A 中含“1”个数的奇偶性。如果 A 中有奇数个“1”，则 P 硬件置 1，否则置 0。凡是改变累加器 A 中内容的指令均会影响 P 标志位。

此标志位对串行通信中的数据传输有重要的意义，在串行通信中常采用奇偶校验的办法来校验数据传输的可靠性。

2.1.2 MCS-51 外部引脚及功能

MCS-51 系列单片机的封装方式与制造工艺有关，采用 HMOS 制造工艺的 51 单片机一般采用 40 只引脚的双列直插封装 (DIP)，如图 2.2 所示。

采用 CHMOS 制造工艺的 MCS-51 单片机除了采用 DIP 封装方式外，还采用 44 只引脚方形封装方式，其中 4 只是无用的，如图 2.3 所示。

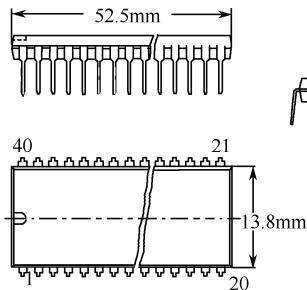


图 2.2 MCS-51 双列直插封装方式引脚

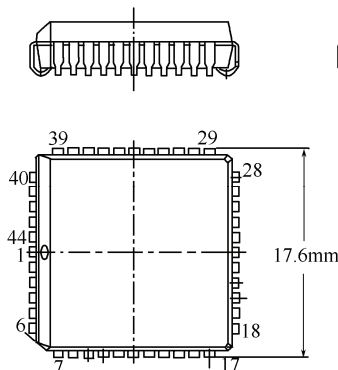


图 2.3 MCS-51 方形封装方式引脚

80C51 单片机采用 40 引脚双列直插式封装形式，其引脚分布如图 2.4 所示。

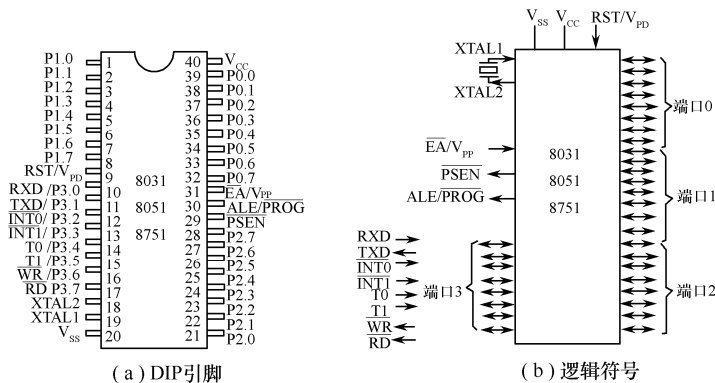


图 2.4 80C51 单片机引脚图

80C51 单片机的 40 只引脚按功能划分，可分为以下 3 类：

- 电源及晶振引脚（4 只）—— V_{CC} 、 V_{SS} 、XTAL1、XTAL2；
- 控制引脚（4 只）—— $\overline{PSEN}$ 、ALE、 $\overline{EA}$ 、RST；
- 并行 I/O 口引脚（32 只）——P0.0~P0.7、P1.0~P1.7、P2.0~P2.7、P3.0~P3.7。

1. 电源及晶振引脚

(1) 电源引脚

V_{CC} （第 40 脚）：+5V 电源引脚

V_{SS} （第 20 脚）：接地引脚

(2) 外接晶振引脚

XTAL1（第 19 脚）和 XTAL2（第 18 脚）：外接晶振的两个引脚，具体使用方法详见本书 2.3.2 节。

2. 控制引脚

(1) RST/ V_{PD} （第 9 脚），复位/备用电源引脚

复位端 RST：单片机上电后，其内部各寄存器都处于随机状态。若在该引脚上输入满足复位时间要求的高电平，将使单片机复位。单片机的复位方法与电路，详见本书 2.3.1 节。

备用电源端 V_{PD} ：在主电源掉电期间，可利用该引脚处外接的+5V 备用电源为单片机片内

RAM 供电，保证片内 RAM 信息不丢失，以便电压恢复正常后单片机能正常工作。

(2) ALE/ $\overline{\text{PROG}}$ (第 30 脚)，地址锁存使能输出/编程脉冲输入

地址锁存使能输出 ALE：当单片机访问外部存储器时，外部存储器的 16 位地址信号由 P0 口输出低 8 位，P2 口输出高 8 位，ALE 可用作低 8 位地址锁存控制信号，详见本书 8.1.2 节。当不用作外部存储器地址锁存控制信号时，该引脚仍以时钟脉冲频率的 1/6 固定输出正脉冲。

编程脉冲输入端 $\overline{\text{PROG}}$ ：对含有 EPROM 的单片机（如 87C51 型），在进行片内 EPROM 编程时需要由此输入编程脉冲。

(3) $\overline{\text{PSEN}}$ (第 29 脚)，输出访问片外程序存储器读选通信号

CPU 在从片外 ROM 取指令期间，该引脚将在每个机器周期内产生两次负跳变脉冲，用作片外 ROM 芯片的使能信号。

(4) $\overline{\text{EA}}/\text{V}_{\text{PP}}$ (第 31 脚)，外部 ROM 允许访问/编程电源输入

外部 ROM 允许访问 $\overline{\text{EA}}$ ：当 $\overline{\text{EA}}=1$ 时，CPU 从片内 ROM 开始读取指令。当程序计数器 PC 的值超过 4KB 地址范围时，将自动转向执行片外 ROM 的指令。当 $\overline{\text{EA}}=0$ 时，CPU 仅访问片外 ROM。

编程电源输入 V_{PP} ：在对含有 EPROM 的单片机（如 87C51）进行 EPROM 编程时，此引脚应接+12V 编程电压。注意，不同芯片有不同的编程电压，应仔细阅读芯片使用说明。

3. 并行 I/O 口引脚

并行 I/O 口共有 32 只引脚，其中 P0.0~P0.7（第 39~32 脚）统称为 P0 口；P1.0~P1.7（第 1~8 脚）统称为 P1 口；P2.0~P2.7（第 21~28 脚）统称为 P2 口；P3.0~P3.7（第 10~17 脚）统称为 P3 口。

P0~P3 口都可以作为通用输入/输出（I/O）口使用。此外，P0 和 P2 还具有单片机地址/数据总线口作用，P3 具有第二功能口作用，具体内容将在本书 2.4.2 节讲述。

2.2 MCS-51 的存储器结构

2.2.1 存储器划分方法

计算机的存储器地址空间有两种结构形式：普林斯顿结构和哈佛结构。图 2.5 所示是具有 64KB 地址的两种结构。

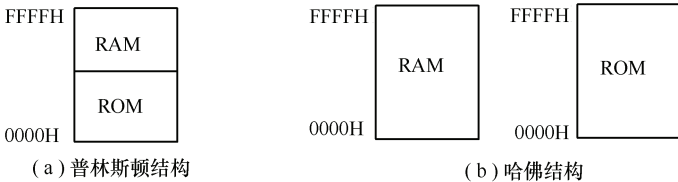


图 2.5 计算机存储器地址的两种结构形式

普林斯顿结构，也称冯·诺伊曼结构，是一种将程序指令存储器和数据存储器合并在一起的存储器结构，即 ROM 和 RAM 位于同一存储空间的不同物理位置处（见图 2.5 (a)）。由于指令和数据具有相同的宽度，CPU 可以使用相同指令访问 ROM 和 RAM。8086、奔腾、ARM7 等微处理器都采用这种结构。

哈佛结构是一种将程序指令存储器和数据存储器分开设置的存储器结构，即 ROM 和 RAM 位于不同的存储空间（见图 2.5 (b)）。ROM 和 RAM 中的存储单元可以有相同的地址，CPU 需

采用不同的访问指令加以区别。哈佛结构有利于减轻程序运行时的访存瓶颈，51 系列单片机、AVR 系列、Z8 系列等微处理器都采用这种结构。

MCS-51 单片机存储器空间结构如图 2.6 所示。

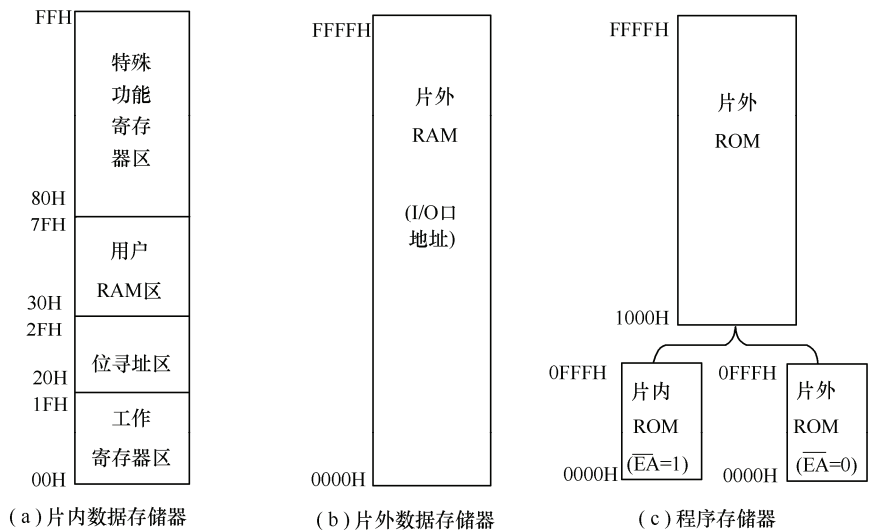


图 2.6 MCS-51 单片机存储器空间结构

从物理地址上看，MCS-51 系列单片机共有 4 个存储空间，即片内程序存储器（简称片内 ROM）、片外程序存储器（简称片外 ROM）、片内数据存储器（简称片内 RAM）、片外数据存储器（简称片外 RAM）。

由于片内、片外程序存储器是统一编址的，因此从逻辑地址来看，MCS-51 系列单片机只有 3 个存储器空间：程序存储器、片内数据存储器 and 片外数据存储器。

为区别不同存储空间的存储单元，需要使用不同的编程指令。其中 MOV 指令用于访问片内数据存储器，MOVC 指令用于访问片内、片外程序存储器，MOVX 指令用于访问片外数据存储器（具体用法将在第 3 章中详细介绍）。

由图 2.6 可以看出，MCS-51 单片机的片内 ROM 地址空间为 0000H~0FFFH（共 4KB），片外 ROM 地址空间为 0000H~FFFFH（共 64KB）。片内 RAM 地址空间为 00H~FFH（共 256B），片外 RAM 地址空间为 0000H~FFFFH（共 64KB）。

2.2.2 程序存储器

程序存储器主要用于存放程序代码及程序中用到的常数。在程序调试运行成功后，由编程器将程序写入程序存储器中。保存在 ROM 里的程序不会因单片机掉电而丢失。

利用单片机 EA（外部 ROM 允许访问）引脚的不同电位，可对片内和片外两种程序存储器的低 4KB（0000H~0FFFH）地址进行选择（见图 2.7）。

当 EA 引脚接高电平（图 2.7（a）中的开关接 A 点）时，小于等于 4KB 的地址是在片内 ROM 中，大于 4KB 的地址在片外 ROM 中（如图 2.7（b）中折线所示），即由两者共同构成 64KB 空间。

当 EA 引脚接低电平（图 2.7（a）中的开关接 B 点）时，片内 ROM 被禁用，全部 64KB 地址都在片外 ROM 中（如图 2.7（b）中直线所示）。

如果用户使用 80C51 型单片机且程序长度不超过 4KB，则无须扩展片外 ROM，仅使用片内 ROM 即可，但必须使 EA 引脚接 V_{CC} 或使其悬空（默认为高电平状态），如图 2.8 所示。

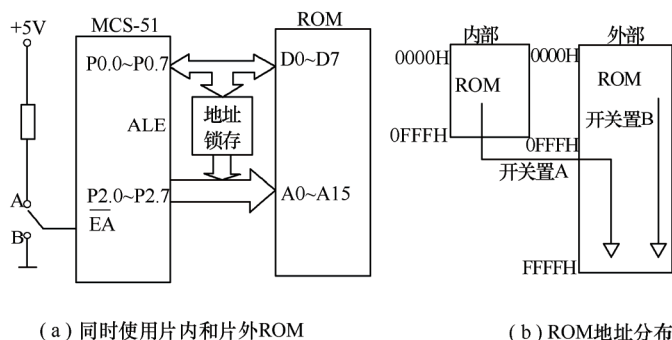


图 2.7 使用两种程序存储器时的地址分配

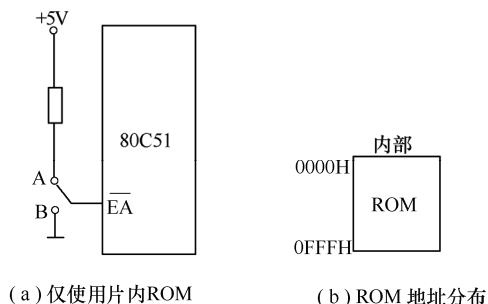


图 2.8 仅使用片内程序存储器的地址分配

在 80C51 单片机的程序存储器中，有 6 个特殊地址单元是专为复位和中断功能而设计的。其中，0000H 为程序的首地址，单片机复位后程序将从这个单元开始运行。一般在该单元中存放一条跳转指令跳转到用户设计的主程序。

其余 5 个特殊单元分别对应 5 个中断源的中断服务程序的入口地址：

- ① 0003H 为外部中断 0 入口地址；
- ② 000BH 为定时器 0 溢出中断入口地址；
- ③ 0013H 为外部中断 1 入口地址；
- ④ 001BH 为定时器 1 溢出中断入口地址；
- ⑤ 0023H 为串行口中断入口地址。

具体介绍详见本书 5.2.1 节。

2.2.3 数据存储器

数据存储器用于存放运算中间结果、标志位、待调试的程序等。数据存储器由 RAM 构成，一旦掉电，其数据将丢失。

数据存储器在物理上和逻辑上都占有两个地址空间：一个是片内 256B 的 RAM，另一个是片外最大可扩充 64KB 的 RAM。对于 80C51，片内 RAM 的配置如图 2.9 所示。

由图 2.9 可以看出，片内 RAM 分为高 128B、低 128B 两大部分，其中，低 128B 为普通 RAM，地址空间为 00H~7FH；高 128B 为特殊功能寄存器区，地址空间为 80H~FFH，其中仅有 21 字节是有定义的。



图 2.9 80C51 片内 RAM 的配置

1. 低 128B RAM 区

在低 128B RAM 区中，地址 00H~1FH 共 32 个数据存储单元可作为工作寄存器使用。这 32 个单元又分为 4 组，每组 8 个单元，按序命名为通用寄存器 R0~R7。与使用存储单元地址编程相比，使用通用寄存器编程具有更大的灵活性，并可提高程序代码效率。

虽然 51 单片机有 4 个工作寄存器组，但由于任一时刻 CPU 只能选用一组工作寄存器作为当前工作寄存器组，因此不会发生冲突，未选中的其他 3 组寄存器可作为一般数据存储器使用。当前工作寄存器组通过程序状态字寄存器 PSW 中的 RS1 和 RS0 标志位进行设置，CPU 复位后默认第 0 组为当前工作寄存器组。表 2.1 为工作寄存器的地址分配表。

表 2.1 工作寄存器的地址分配表

RS1	RS0	默认组号	R0	R1	R2	R3	R4	R5	R6	R7
0	0	0	00H	01H	02H	03H	04H	05H	06H	07H
0	1	1	08H	09H	0AH	0BH	0CH	0DH	0EH	0FH
1	0	2	10H	11H	12H	13H	14H	15H	16H	17H
1	1	3	18H	19H	1AH	1BH	1CH	1DH	1EH	1FH

在低 128B RAM 区中，地址为 20H~2FH 的 16 字节单元，既可以像普通 RAM 单元按字节地址进行存取，又可以按位进行存取，这 16 字节共有 128（16×8）个二进制位，每位都分配一个位地址，编址为 00H~7FH，如表 2.2 所示。

表 2.2 位寻址区与位地址

字节地址	位 地 址							
	D7	D6	D5	D4	D3	D2	D1	D0
20H	07H	06H	05H	04H	03H	02H	01H	00H
21H	0FH	0EH	0DH	0CH	0BH	0AH	09H	08H
22H	17H	16H	15H	14H	13H	12H	11H	10H
23H	1FH	1EH	1DH	1CH	1BH	1AH	11H	18H
24H	27H	26H	25H	24H	23H	22H	21H	20H
25H	2FH	2EH	2DH	2CH	2BH	2AH	29H	28H
26H	37H	36H	35H	34H	33H	32H	31H	30H
27H	3FH	3EH	3DH	3CH	3BH	3AH	39H	38H
28H	47H	46H	45H	44H	43H	42H	41H	40H
29H	4FH	4EH	4DH	4CH	4BH	4AH	49H	48H
2AH	57H	56H	55H	54H	53H	52H	51H	50H
2BH	5FH	5EH	5DH	5CH	5BH	5AH	59H	58H
2CH	67H	66H	65H	64H	63H	62H	61H	60H
2DH	6FH	6EH	6DH	6CH	6BH	6AH	69H	68H
2EH	77H	76H	75H	74H	73H	72H	71H	70H
2FH	7FH	7EH	7DH	7CH	7BH	7AH	79H	78H

在低 128B RAM 区中，地址为 30H~7FH 的 80 字节单元为用户 RAM 区，这个区只能按字节存取。在此区内用户可以设置堆栈区和存储中间数据。

2. 高 128B RAM 区

在 80H~FFH 的高 128B RAM 区中，离散地分布有 21 个特殊功能寄存器（又称为特殊功能寄存器区）。虽然其中的空闲单元占了很大比例，且对它们进行读/写操作是无意义的，但这些单元却是单片机后来功能增加的预留空间。21 个特殊功能寄存器的名称、符号与地址分布见表 2.3，其中字节地址能被 8 整除的特殊功能寄存器还具有位地址。

表 2.3 SFR 的名称及其分布

序号	特殊功能寄存器名称	符号	字节地址	位地址								
1	P0 口锁存器	P0	80H	87H	86H	85H	84H	83H	82H	81H	80H	
2	堆栈指针	SP	81H									
3	数据地址指针（低 8 位）	DPL	82H									
4	数据地址指针（高 8 位）	DPH	83H									
5	电源控制寄存器	PCON	87H									
6	定时/计数器控制寄存器	TCON	88H	8FH	8EH	8DH	8CH	8BH	8AH	89H	88H	
7	定时/计数器方式控制寄存器	TMOD	89A									
8	定时/计数器 0（低 8 位）	TL0	8AH									
9	定时/计数器 0（高 8 位）	TH0	8BH									
10	定时/计数器 1（低 8 位）	TL1	8CH									
11	定时/计数器 1（高 8 位）	TH1	8DH									
12	P1 口锁存器	P1	90H	97H	96H	95H	94H	93H	92H	91H	90H	
13	串行口控制寄存器	SCON	98H	9FH	9EH	9DH	9CH	9BH	9AH	99H	98H	
14	串行口锁存器	SBUF	99H									
15	P2 口锁存器	P2	A0H	A7H	A6H	A5H	A4H	A3H	A2H	A1H	A0H	
16	中断允许控制寄存器	IE	A8H	AFH	AEH	ADH	ACH	ABH	AAH	A9H	A8H	
17	P3 口锁存器	P3	B0H	B7H	B6H	B5H	B4H	B3H	B2H	B1H	B0H	
18	中断优先级控制寄存器	IP	B8H	BFH	BEH	BDH	BCH	BBH	BAH	B9H	B8H	
19	程序状态字寄存器	PSW	D0H	D7H	D6H	D5H	D4H	D3H	D2H	D1H	D0H	
20	累加器	A	E0H	E7H	E6H	E5H	E4H	E3H	E2H	E1H	E0H	
21	B 寄存器	B	F0H	F7H	F6H	F5H	F4H	F3H	F2H	F1H	F0H	

表 2.3 中的 A、B、PSW、DPL、DPH 等几个特殊功能寄存器已有所介绍，其余寄存器将在以后章节中结合应用进行介绍。

对于增强型 52 子系列单片机，在 51 子系列配置的基础上还新增了一个与特殊功能寄存器地址重叠的内部数据存储器空间，地址也为 80H~FFH，配置如图 2.10 所示。

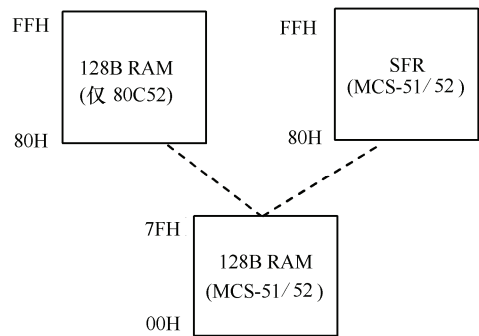


图 2.10 增强型 52 子系列单片机片内 RAM 的配置

对这一部分数据存储器的访问必须采用寄存器间接寻址方式，这将在本书 3.1.3 节中进行介绍。

2.3 单片机的复位、时钟与时序

2.3.1 复位与复位电路

单片机在开机时需要复位，以便使 CPU 及其他功能部件处于一个确定的初始状态，并从此

个状态开始工作，单片机应用程序必须以此作为设计的前提。

另外，在单片机工作过程中，如果出现死机，也必须对单片机进行复位，使其重新开始工作。

单片机复位会对片内各寄存器的状态产生影响，复位时寄存器的初始值见表 2.4，表中的×表示可以是任意值。

表 2.4 复位时片内各寄存器的初始值

寄存器名称	复位默认值	寄存器名称	复位默认值
PC	0000H	TMOD	00H
A	00H	TCON	00H
PSW	00H	TH0	00H
B	00H	TL0	00H
SP	07H	TH1	00H
DPTR	0000H	TL1	00H
P0~P3	FFH	SCOM	00H
IP	×××0000B	SBUF	×××××××B
IE	0××0000B	PCOM	0×××000B

由表 2.4 可以看出，单片机复位后，程序计数器 PC=0000H，即指向程序存储器 0000H 单元，使 CPU 从首地址重新开始执行程序。

产生单片机复位的条件是：在 RST 引脚端出现满足复位时间要求的高电平状态，该时间等于系统时钟振荡周期建立时间再加 2 个机器周期时间（一般不小于 10ms）。

单片机的复位可以由两种方式产生，即上电复位方式和按键复位方式。

上电复位是利用阻容充电电路实现的（见图 2.11（a）），在单片机上电的瞬间，RST 端的电位与 V_{CC} 相同。随着充电电流的减小，RST 端的电位将逐渐下降。只要选择合适的电容 C3 和电阻 R1，使其 RC 时间常数大于复位时间即可保证上电复位的发生。

按键复位方式是利用电阻分压电路实现的（见图 2.11（b）），当按键压下时，串联电阻 R2 上的分压可使 RST 端产生高电平，按键抬起时产生低电平。只要按键动作产生的复位脉冲宽度大于复位时间即可保证按键复位的发生。

实际应用中，常采用将上电复位和按键复位整合在一起的复合复位做法（见图 2.11（c））。

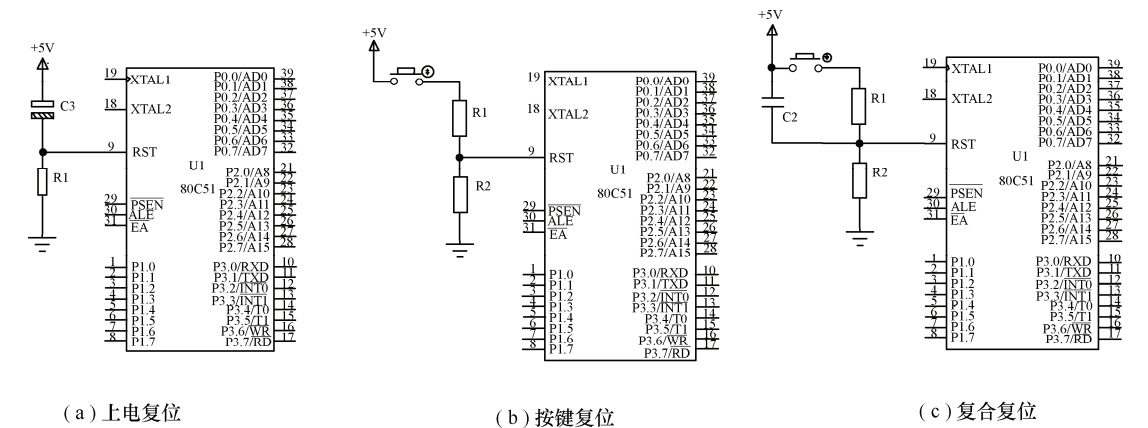


图 2.11 复位电路

2.3.2 时钟电路

单片机执行指令的过程可分为取指令、分析指令和执行指令三个步骤，每个步骤又由许多

微操作所组成，这些微操作必须在一个统一的时钟控制下才能按照正确的顺序执行。

单片机的时钟信号可以由两种方式产生，即内部时钟方式和外部时钟方式。

内部时钟方式是利用单片机芯片内部的振荡电路实现的，此时需通过单片机的 XTAL1 和 XTAL2 引脚外接定时元件。定时元件一般用晶体振荡器和电容组成并联谐振回路，如图 2.12(a) 所示。电容 C1 和 C2 一般取 30pF 左右，主要作用是帮助振荡器起振，晶体的振荡频率范围在 1.2~13MHz。晶体振荡频率越高，则系统的时钟频率也越高，单片机运行速度也就越快。MCS-51 在通常应用情况下，时钟振荡频率为 6~12MHz。

在由多片单片机组成的系统中，为使各单片机之间的时钟信号严格同步，应当采用公用外部脉冲信号作为各单片机振荡脉冲。这时，外部脉冲信号要经 XTAL2 引脚注入，其连接如图 2.12 (b) 所示。

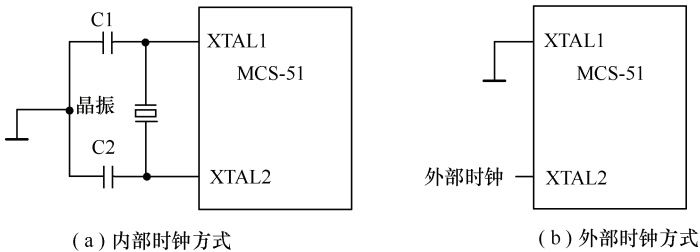


图 2.12 时钟引脚的接线方式

2.3.3 单片机时序

1. 时序的概念

时序是指按照时间顺序显示的对象（或引脚、事件、信息）序列关系。时序可以用状态方程、状态图、状态表和时序图 4 种方法表示，其中时序图最为常用。

时序图也称为波形图或序列图，有两个坐标轴：横坐标轴表示时间（忽略刻度及量纲），纵坐标轴表示不同对象的电平（公用一个横坐标轴）。浏览时序图的方法是：从上到下查看对象间的交互关系，分析那些随时间的流逝而发生的变化。时间轴从左往右的方向为时间正向轴，即时间在增长。图 2.13 为某集成芯片的典型操作时序图。

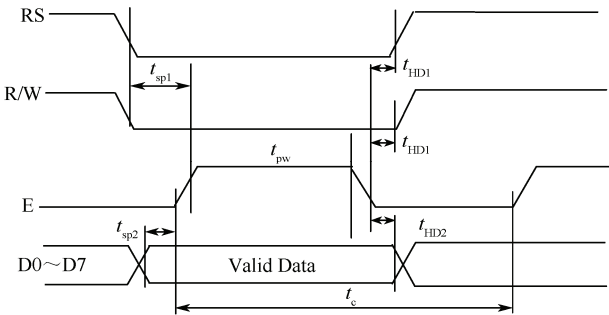


图 2.13 某集成芯片的典型操作时序图

由图 2.13 可以看出：

- ① 最左边是引脚的标识，表示该图反映了 RS、R/W、E、D0~D7 四类引脚的时序关系。
- ② 交叉线部分表示电平的变化，如高电平和低电平。
- ③ 封闭菱形部分表示数据有效范围（偶尔使用的 Valid Data 也能说明了这一点）。
- ④ 水平方向的尺寸线表示持续时间的长度。

从图 2.13 中可以解读出如下时序关系：RS 和 R/W 端首先变为低电平；随后 D0~D7 端出现有效数据；R/W 低电平 t_{sp1} 之后，E 端出现宽度为 t_{pw} 的正脉冲；E 脉冲结束并延时 t_{HD1} 后，RS 和 R/W 端恢复高电平；E 脉冲结束并延时 t_{HD2} 后，D0~D7 端的本次数据结束；随后 D0~D7 端出现新的数据，但下次 E 脉冲应在 t_c 时间后才能出现。根据这些信息便可以进行相应的软件编程了。

时序是用定时单位来描述的，MCS-51 的时序单位有 4 个，它们分别是节拍、状态、机器周期和指令周期，如图 2.14 所示。

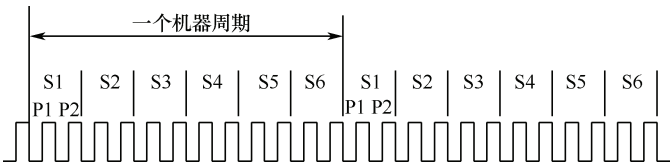


图 2.14 MCS-51 各种周期之间的关系

（1）时钟周期

晶振或外加振荡源的振荡周期称为时钟周期，又称为节拍，用 P 表示。时钟周期是 MCS-51 单片机中最小的时序单位。

（2）状态周期

1 个状态周期等于 2 个时钟周期，即由节拍 1 和节拍 2 组成，用 S 表示。

（3）机器周期

1 个机器周期等于 6 个状态周期（或 12 个节拍），即由 S1P1, S1P2, S2P1, S2P2, …, S6P1, S6P2 组成。

（4）指令周期

执行一条指令所需要的时间称为指令周期。1 个指令周期由 1~4 个机器周期组成（依具体指令而定），指令周期是 MCS-51 单片机中最大的时序单位。

例如，若晶振为 12MHz，则 MCS-51 单片机的 4 种时序周期的具体值为：

时钟周期=1/12 (μs)

状态周期=1/6 (μs)

机器周期=1 (μs)

指令周期=1~4 (μs)

2. 单片机时序

单片机时序就是 CPU 在执行指令时所需控制信号的时间顺序。因此，CPU 实质上就是一个复杂的同步时序电路，这个时序电路是在时钟信号的推动下工作的。在执行指令时，CPU 首先要到存储器中取出需要执行指令的指令码，然后对指令进行译码，并由时序部件产生一系列控制信号去完成指令的执行。

从用途来看，CPU 发出的时序信号可分为两类：一类用于片内各功能部件的控制，这类信号很多，但用户在使用中感觉不到，也没必要了解其内容，故通常不作专门介绍；另一类用于片外存储器或 I/O 端口的控制，需要通过单片机的控制引脚送到片外单元，这部分时序对分析接口电路原理至关重要，将在第 8 章的单片机接口内容中介绍（参见第 8.2.1 节）。本节仅介绍 51 单片机原理学习中遇到的一种 CPU 时序逻辑电路——D 触发器。

D 触发器又称边沿 D 触发器（或维持-阻塞边沿 D 触发器），可分为正边沿 D 触发器和负边沿 D 触发器两种类型。

(1) 正边沿 D 触发器

正边沿 D 触发器的原理如图 2.15 所示。图 2.15 (a) 为正边沿 D 触发器的电路符号，其中包括输入端 D、时钟端 CLK、输出端 Q 和输出端 $\bar{Q}$ 。图 2.15 (b) 为正边沿 D 触发器的波形图，解读后可得出 D、CLK 和 Q 的时序关系：

在 t_1 时刻前，CLK 和 D 都为低电平，Q 为高电平；在 t_1 时刻时，CLK 开始正脉冲，其正边沿使得 $Q=D$ 变为低电平；在 $t_1 \sim t_2$ 之间，CLK 结束正脉冲，D 变化不会引起 Q 跟随；在 t_2 时刻时，CLK 又开始正脉冲，其正边沿使得 $Q=D$ 变为高电平；同理，在 $t_2 \sim t_3$ 之间，D 变化不会引起 Q 跟随，而在 t_3 时刻时，Q 跟随 D 变为低电平，以此类推。

由这一时序关系可知，正边沿 D 触发器只在时钟脉冲 CLK 上升沿到来的时刻，才采样 D 端的输入信号，并据此立即改变 Q 和 $\bar{Q}$ 端的输出状态。而在其他时刻，D 与 Q 是信号隔离的。

(2) 负边沿 D 触发器

负边沿 D 触发器的原理如图 2.16 所示。

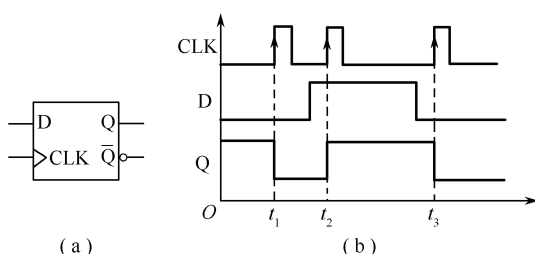


图 2.15 正边沿 D 触发器的原理

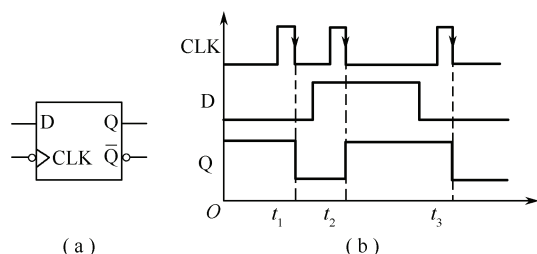


图 2.16 负边沿 D 触发器的原理

图 2.16 (a) 为负边沿 D 触发器的电路符号，图 2.16 (b) 为负边沿 D 触发器的波形图，解读后可得出 D、CLK 和 Q 的时序关系：

负边沿 D 触发器只在时钟脉冲 CLK 下降沿到来的时刻，才采样 D 端的输入信号，并据此立即改变 Q 和 $\bar{Q}$ 端的输出状态。而在其他时刻，D 与 Q 是信号隔离的。

D 触发器的这一功能被广泛用于数字信号的触发锁存器输出，我们将在随后的章节中多次用到 D 触发器。



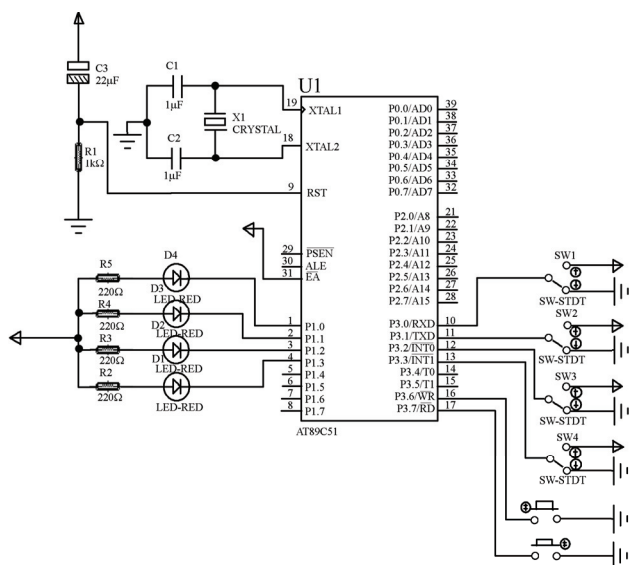
D 触发器
仿真视频

2.4 并行 I/O 口

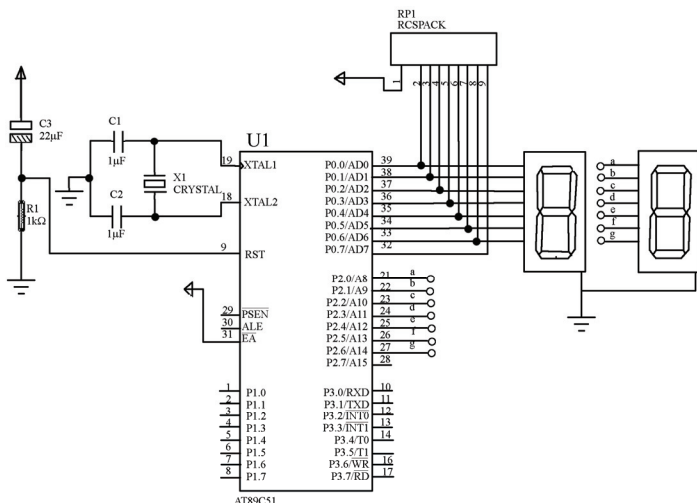
MCS-51 单片机有 4 个 8 位的并行 I/O 端口，分别记作 P0、P1、P2、P3。每个端口都包含一个同名的特殊功能寄存器、一个输出驱动器和输入缓冲器。对并行 I/O 口的控制是通过对同名的特殊功能寄存器的控制实现的。

P0~P3 口是单片机与外部联系的重要通道，图 2.17 所示为几种典型的应用电路。其中，图 2.17 (a) 为发光二极管、开关、按键与单片机组成的简单输入/输出单元；图 2.17 (b) 为数码管与单片机组成的数码显示单元；图 2.17 (c) 为通过 I/O 口实现的存储器扩展单元；图 2.17 (d) 为双机互连通信单元。可见，I/O 口是单片机中最重要的系统资源之一。

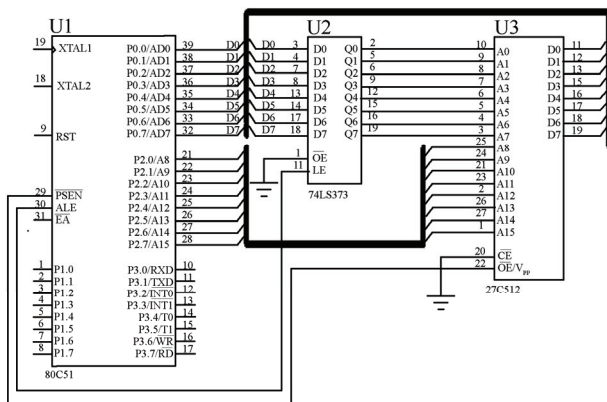
MCS-51 单片机的 4 个 I/O 口都是具有双向作用的端口，在结构上基本相同，但又存在差别，下面按照由易到难的顺序分别予以介绍。



(a) 按键输入连接通道

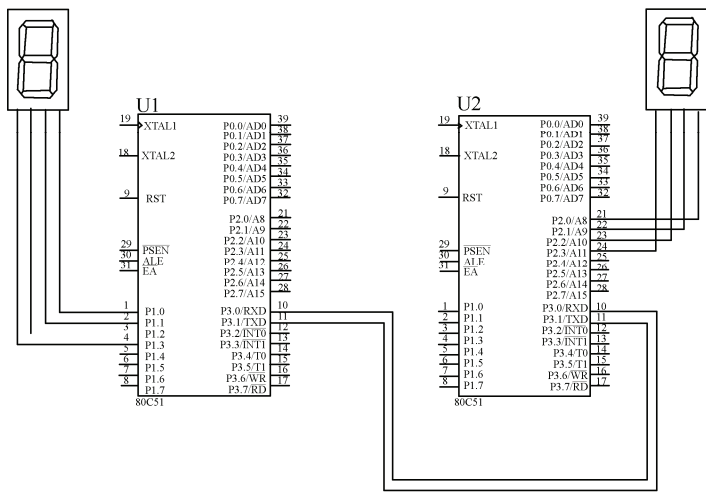


(b) 显示输出连接通道



(c) 与外部设备总线连接通道

图 2.17 并行口与外部连接示例图



(d) 双机通信的连接通道

图 2.17 并行口与外部连接示例图(续)

2.4.1 P1 口

图 2.18 是 P1 口其中一位的结构原理图。P1 口由 8 个这样的电路组成，其中 8 个 D 触发器构成了可存储 8 位二进制码的 P1 口锁存器（即特殊功能寄存器 P1），字节地址为 90H；场效应管 V 与上拉电阻 R 组成输出驱动器，以增大 P1 口带负载能力；三态门 1 和 2 在输入和输出时作为缓冲器使用。

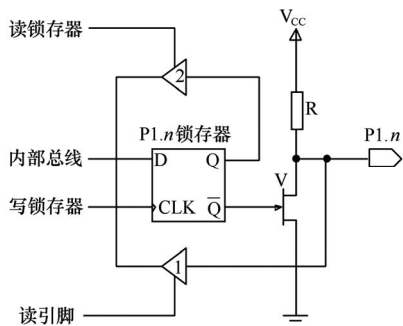


图 2.18 P1 口结构图

P1 口作为通用 I/O 口使用，具有输出、读引脚、读锁存器三种工作方式。

1. 输出方式

单片机执行写 P1 口指令，如 `MOV P1,#data` 时，P1 口工作于输出方式。此时数据 `data` 经内部总线送入锁存器存储。如果某位的数据为 1，则该位锁存器输出端 $Q=1 \rightarrow \bar{Q}=0 \rightarrow V$ 截止，从而在引脚 $P1.n$ 上输出高电平；反之，如果数据为 0，则 $Q=0 \rightarrow \bar{Q}=1 \rightarrow V$ 导通，在引脚 $P1.n$ 上输出低电平。

2. 读引脚方式

单片机执行读 P1 口指令，如 `MOV A,P1` 时，P1 口工作于读引脚方式。此时引脚 $P1.n$ 上数据经三态门 1 进入内部总线，并送到累加器 A。

在单片机执行读引脚操作时，如果锁存器原来寄存的数据 $Q=0$ ，那么由于 $\bar{Q}=1$ 将使 V 导通，引脚 $P1.n$ 会被钳位在低电平上，此时即使 $P1.n$ 外部电路的电平为 1，读引脚的结果也只能是 0。为避免这种情形发生，使用读引脚指令前，必须先用输出指令置 $Q=1$ ，使 V 截止。可见，P1 口作为输入口时是有条件的（要先写 1），而输出时是无条件的，因此，称 P1 口为准双向口。

3. 读锁存器方式

单片机执行“读-修改-写”类指令，如 `ANL P1,A` 时，P1 口工作于读锁存器方式。此时先通过三态门 2 将锁存器 Q 端数据读入 CPU，在 ALU 中进行运算，运算结果再送回端口。这里采用读 Q 端而不是读 $P1.n$ 引脚，主要是由于引脚电平可能会受前次输出指令的影响而改变（取

决于外电路)。

P1 口能驱动 4 个 LS TTL 负载。通常将 100 μ A 的电流定义为一个 LS TTL 负载的电流，所以 P1 口吸收或输出电流不大于 400 μ A。P1 口已有内部上拉电阻，无须再外接上拉电阻。

2.4.2 P3 口

图 2.19 是 P3 口其中一位的结构原理图。8 个 D 触发器构成了 P3 口锁存器（即特殊功能寄存器 P3），字节地址为 B0H。与 P1 口相比，P3 口结构中多了与非门 B 和缓冲器 T 两个元件，除通用 I/O 口功能外，还能实现第二功能口功能。

当“第二输出功能”端保持“1”状态时，与非门 B 对锁存器 Q 端是畅通的，P3.n 引脚的输出状态完全由锁存器 Q 端决定。此时，P3 口具有输出、读引脚和读锁存器 3 个通用 I/O 功能（与 P1 口完全相同）。

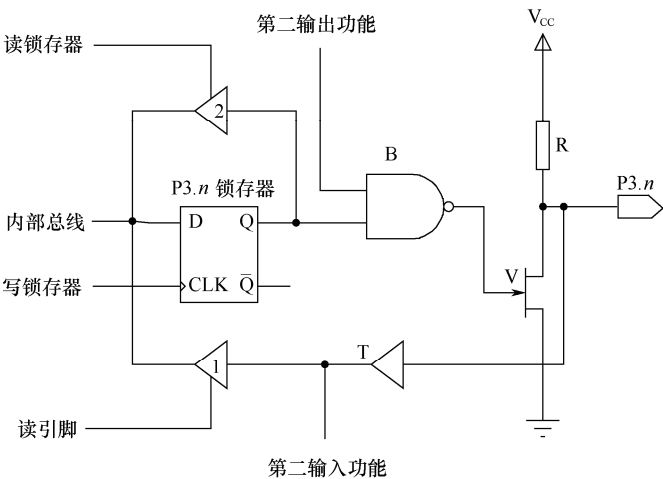


图 2.19 P3 口结构图

当锁存器 Q 端保持“1”状态时，与非门 B 对“第二输出功能”端是畅通的。此时 P3 口工作在第二功能口状态，即 P3.n 引脚的输出电平完全由“第二输出功能”端决定，而“第二输入功能”端得到的则是经由缓冲器 T 的 P3.n 引脚电平。

P3 口的第二功能定义见表 2.5，具体使用方法将在本书后续章节中陆续介绍。

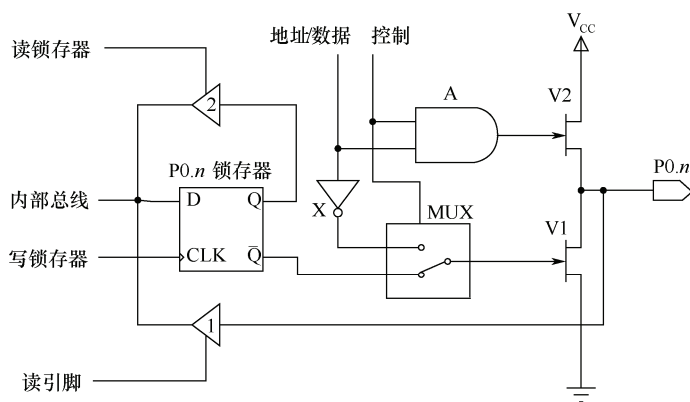
2.4.3 P0 口

图 2.20 是 P0 口其中一位的结构原理图。8 个 D 触发器构成了 P0 口锁存器（即特殊功能寄存器 P0），字节地址为 80H。P0 口的输出驱动电路由上拉场效应管 V2 和驱动场效应管 V1 组成。控制电路包括 1 个与门 A、1 个非门 X 和 1 个多路开关 MUX，其余组成与 P1 口相同。

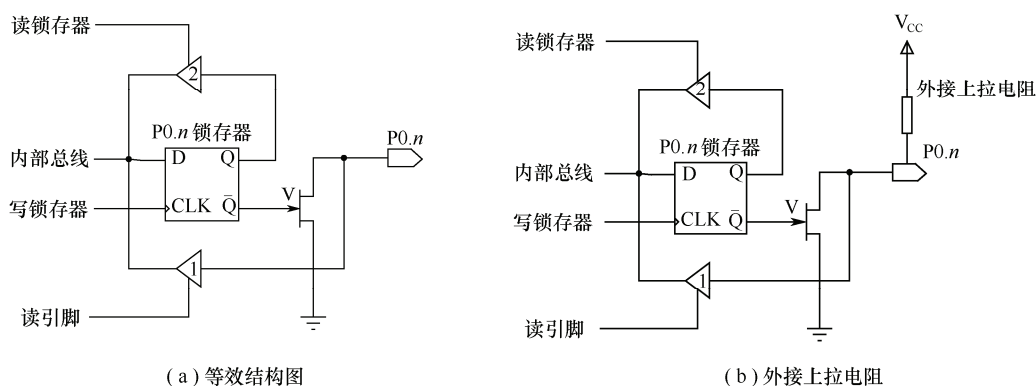
P0 口既可以作为通用的 I/O 口进行数据的输入和输出，也可以作为单片机系统的地址/数据线使用。在 CPU 控制信号的作用下，多路转接电路 MUX 可以分别接通锁存器输出或地址/数据输出。

表 2.5 P3 口第二功能定义

引脚	名称	第二功能定义
P3.0	RXD	串行通信数据接收端
P3.1	TXD	串行通信数据发送端
P3.2	$\overline{\text{INT0}}$	外部中断 0 请求端口
P3.3	$\overline{\text{INT1}}$	外部中断 1 请求端口
P3.4	T0	定时/计数器 0 外部计数输入端口
P3.5	T1	定时/计数器 1 外部计数输入端口
P3.6	$\overline{\text{WR}}$	片外数据存储寄存器写选通
P3.7	$\overline{\text{RD}}$	片外数据存储寄存器读选通



P0 口作为通用 I/O 口使用时, CPU 使“控制”端保持“0”电平→封锁与门 A (恒定输出 0)→上拉场效应管 V2 处于截止状态→漏极开路;“控制”端为 0 也使多路开关 MUX 与 $\bar{Q}$ 接通。此时 P0 口与 P1 口一样, 有输出、读引脚和读锁存器 3 种工作方式 (分析省略), 但由于 V2 漏极开路 (等效结构图见图 2.21 (a)), 要使“1”信号正常输出, 必须外接一个上拉电阻 (见图 2.21 (b)), 上拉电阻的阻值一般为 $100\Omega \sim 10k\Omega$ 。



在 P0 口连接外部存储器时, CPU 使“控制”端保持“1”电平→打开与门 A (控制权交给“地址/数据”端); “控制”端为 1 也使多路开关 MUX 与非门 X 接通。此时 P0 口工作在地址/数据分时复用方式, 引脚 P0.*n* 的电平始终与“地址/数据”端的电平保持一致, 这样就将地址或数据的信号输出了。在需要输入外部数据时, CPU 会自动向 P0.*n* 的锁存器写“1”, 保证 P0.*n* 引脚的电平不会被误读, 因而此时的 P0 口是真正的双向口。另外, P0 口在“地址/数据”方式下没有漏极开路问题, 因此不必外接上拉电阻。

P0 口的输出级能以吸收电流的方式驱动 8 个 LS TTL 负载, 即灌电流不大于 $800\mu\text{A}$ 。

2.4.4 P2 口

图 2.22 是 P2 口其中一位的结构原理图。8 个 D 触发器构成了 P2 口锁存器（即特殊功能寄存器 P2），字节地址为 A0H。与 P1 口相比，P2 口中多了一个多路开关 MUX，可以实现通用 I/O 口和地址输出两种功能。

当 P2 口用作通用 I/O 口时, 在“控制”端的作用下, 多路开关 MUX 转向锁存器 Q 端, 构成一个准双向口, 并具备输出、读引脚和读锁存器 3 种工作方式 (分析省略)。

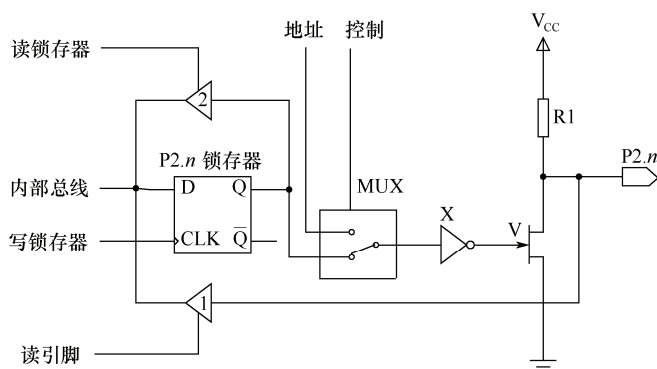


图 2.22 P2 口结构图

当单片机执行访问片外 RAM 或片外 ROM 指令时，程序计数器 PC 或数据指针 DPTR 的高 8 位地址需由 P2.n 引脚输出。此时，MUX 在 CPU 的控制下转向“地址”线的一端，使“地址”端信号与引脚 P2.n 电平同相变化。

P2 口的负载能力和 P1 口相同，能驱动 4 个 LS TTL 负载。

综上所述，P0~P3 口都可作为准双向通用 I/O 口提供给用户，其中 P1~P3 口无须外接上拉电阻，P0 口需要外接上拉电阻；在需要扩展片外存储器时，P2 口可作为其地址线接口，P0 口可作为其地址线/数据线复用接口，此时它是真正双向口。

本章小结

1. 单片机的 CPU 由控制器和运算器组成，在时钟电路和复位电路的支持下，按一定的时序工作。单片机的时序信号包括时钟周期、状态周期、机器周期和指令周期。

2. 51 单片机采用哈佛结构存储器，共有 3 个逻辑存储空间和 4 个物理存储空间。片内低 128 字节 RAM 中包含 4 个工作寄存器组、128 个位地址单元和 80 个字节地址单元；片内高 128 字节 RAM 中离散分布有 21 个特殊功能寄存器。

3. P0~P3 口都可作为准双向通用 I/O 口，其中只有 P0 口需要外接上拉电阻；在需要扩展片外设备时，P2 口可作为其地址线接口，P0 口可作为其地址线/数据线复用接口，此时它是真正双向口。

思考与练习题 2

2.1 单项选择题

- (1) 下列关于程序计数器 PC 的描述中_____是错误的。
 - A. PC 不属于特殊功能寄存器
 - B. PC 中的计数值可被编程指令修改
 - C. PC 可寻址 64KB RAM 空间
 - D. PC 中存放着下一条指令的首地址
- (2) MCS-51 单片机的复位信号是_____有效。
 - A. 下降沿
 - B. 上升沿
 - C. 低电平
 - D. 高电平
- (3) _____不是 80C51 单片机的基本配置。
 - A. 定时/计数器 T2
 - B. 128B 片内 RAM
 - C. 4KB 片内 ROM
 - D. 全双工异步串行口
- (4) 单片机中的 CPU 主要由_____两部分组成。
 - A. 运算器和寄存器
 - B. 运算器和控制器
 - C. 运算器和译码器
 - D. 运算器和计数器

- (5) 在 51 单片机的下列特殊功能寄存器中, 具有 16 位字长的是_____。
- A. PCON B. TCON C. SCON D. DPTR
- (6) 80C51 单片机的 ALE 引脚是_____引脚。
- A. 地址锁存使能输出端 B. 外部程序存储器地址允许输入端
C. 串行通信口输出端 D. 复位信号输入端
- (7) 80C51 单片机的存储器为哈佛结构, 其内部包括_____。
- A. 4 个物理空间或 3 个逻辑空间 B. 4 个物理空间或 4 个逻辑空间
C. 3 个物理空间或 4 个逻辑空间 D. 3 个物理空间或 3 个逻辑空间
- (8) 在 I/O 方式下, 欲从 P1 口读取引脚电平前应当_____。
- A. 先向 P1 口写 0 B. 先向 P1 口写 1 C. 先使中断标志清零 D. 先开中断
- (9) 程序状态字寄存器中反映进位 (或借位) 状态的标志位符号是_____。
- A. CY B. F0 C. OV D. AC
- (10) 单片机中的程序计数器 PC 用来_____。
- A. 存放指令 B. 存放正在执行的指令地址
C. 存放下一条指令地址 D. 存放上一条指令地址
- (11) 单片机上电复位后, PC 的内容和 SP 的内容为_____。
- A. 0000H, 00H B. 0000H, 07H C. 0003H, 07H D. 0800H, 08H
- (12) 80C51 单片机要使用片内存储器, $\overline{\text{EA}}$ 引脚_____。
- A. 必须接+5V B. 必须接地 C. 可悬空 D. 没有限定
- (13) PSW 中的 RS1 和 RS0 用来_____。
- A. 选择工作寄存器区号 B. 指示复位
C. 选择定时器 D. 选择中断方式
- (14) 上电复位后, PSW 的初始值为_____。
- A. 1 B. 07H C. FFH D. 0
- (15) 单片机 80C51 的 XTAL1 和 XTAL2 引脚是_____引脚。
- A. 外接定时器 B. 外接串行口 C. 外接中断 D. 外接晶振
- (16) 80C51 单片机的 $V_{\text{SS}}(20)$ 引脚是_____引脚。
- A. 主电源+5V B. 接地 C. 备用电源 D. 访问片外存储器
- (17) 80C51 单片机的 P0~P3 端口中具有第二功能的端口是_____。
- A. P0 B. P1 C. P2 D. P3
- (18) 80C51 单片机的 $\overline{\text{EA}}$ 引脚接+5V 时, 程序计数器 PC 的有效地址范围在_____。
- A. 1000H~FFFFH B. 0000H~FFFFH C. 0001H~0FFFH D. 0000H~0FFFH
- (19) 当程序状态字寄存器 PSW 中的 R0 和 R1 分别为 0 和 1 时, 系统选用的工作寄存器组为_____。
- A. 组 0 B. 组 1 C. 组 2 D. 组 3
- (20) 80C51 单片机的内部 RAM 中具有位地址的字节地址范围是_____。
- A. 0~1FH B. 20H~2FH C. 30H~5FH D. 60H~7FH
- (21) 若 80C51 单片机的机器周期为 6 μs , 则其晶振频率为_____MHz。
- A. 1 B. 2 C. 6 D. 12
- (22) 80C51 单片机内部程序存储器容量为_____。
- A. 16KB B. 8KB C. 4KB D. 2KB
- (23) 80C51 单片机的复位功能引脚是_____。

A. XTAL1

B. XTAL2

C. RST

D. ALE

(24) 80C51 内部反映程序运行状态或运算结果特征的寄存器是_____。

A. PC

B. PSW

C. A

D. DPTR

(25) PSW=18H 时, 则当前工作寄存器是_____。

A. 第 0 组

B. 第 1 组

C. 第 2 组

D. 第 3 组

2.2 问答思考题

(1) 51 单片机内部结构由哪些基本部件组成? 各有什么功能?

(2) 单片机的程序状态字寄存器 PSW 中各位的定义分别是什么?

(3) 51 单片机引脚按功能可分为哪几类? 各类中包含的引脚名称是什么?

(4) 51 单片机在没接外部存储器时, ALE 引脚上输出的脉冲频率是多少?

(5) 计算机存储器地址空间有哪几种结构形式? 51 单片机属于哪种结构形式?

(6) 如何认识 80C51 存储空间在物理结构上可划分为 4 个空间, 而在逻辑上又可划分为 3 个空间?

(7) 80C51 片内低 128B RAM 区按功能可分为哪几个组成部分? 各部分的主要特点是什么?

(8) 80C51 片内高 128B RAM 区与低 128B RAM 区相比有何特点?

(9) 80C52 片内高 128B RAM 区与 80C51 片内高 128B RAM 区相比有何特点?

(10) 什么是复位? 单片机复位方式有哪几种? 复位条件是什么?

(11) 什么是时钟周期和指令周期? 当振荡频率为 12MHz 时, 一个机器周期为多少微秒?

(12) 简述负边沿 D 触发器的输入端、时钟端和输出端之间的时序关系, 解释 D 触发器的导通、隔离、锁存功能的实现原理。

(13) 如何理解单片机 I/O 端口与特殊功能寄存器 P0~P3 的关系?

(14) 如何理解通用 I/O 口的准双向性? 怎样确保读引脚所获信息的正确性?

(15) 80C51 中哪个并行 I/O 口存在漏极开路问题? 此时没有外接上拉电阻会有何问题?

(16) P0 端口中的地址/数据复用功能是如何实现的?