

数字集成电路设计概论

1.1 集成电路设计方法与工具的演变

第一块集成电路 (IC) 于 1959 年被设计出来, 当时的设计只有 4 个晶体管。到 1997 年, 一个集成电路芯片上可集成的晶体管数量已高达 40 多亿个。50 多年来, 集成电路技术已发生了巨大的变化, 它经历了小规模 (SSI)、中规模 (MSI)、大规模 (LSI)、超大规模 (VLSI)、特大规模 (ULSI) 阶段, 目前已进入特大规模 (GSI) 阶段。随着集成技术的不断发展和集成度的迅速提高, 集成电路芯片的设计工作越来越复杂, 其设计方法与设计工具也发生了巨大的变革, 经历了从原始的全手工设计到目前最先进的计算机全自动实现的整个发展过程。根据各个历史进程中科技进步的特点及各主要设计手段、设计工具的不同, 可以把它归为原始的手工设计、计算机辅助设计 (CAD)、电子设计自动化 (EDA)、电子系统设计自动化 (ESDA) 和用户现场可编程器件五个阶段, 各阶段的主要特点如下。

(1) 随着 1959 年世界上第一块集成电路的问世, 手工设计方法也就诞生了。没有任何自动化、半自动化的辅助设计手段, 在 IC 设计的所有步骤上, 完全依靠手工操作。在完成了初步的功能设计、逻辑设计直至电路设计之后, 用分立的元器件搭制起硬件模拟电路, 让信号通过这一模拟电路, 以验证其功能及各项参数是否满足原设计的要求。接下来的版图设计, 也完全采用人工进行布局布线, 凭眼力或感觉, 反复调整与斟酌, 确定最佳排版方案, 使之遵从面积最小、连线最短原则。然后, 用尺和笔在方格纸上绘制版图, 分层剥刻红膜, 逐一检查整套版中每一层红膜的每一个窗孔是否存在漏剥漏刻等错误。然后用这套红膜去拍照、微缩、加工出流片所需的光刻掩膜版。在试制流片阶段, 整个流片过程中的工艺设计也是人工的。若需采取新工艺或调整一些工艺参数, 则必须通过工艺线上一丝不苟的试验。最后, 整个 IC 芯片试制的成功与否, 设计的正确与否, 尤其是版图及其之后设计部分的正确性, 都需等到最终测试了流片的结果后才能知道。

(2) 正如计算机辅助设计 (CAD) 给机械、纺织等其他行业的设计领域带来了勃勃生机一样, 计算机对集成电路的辅助设计 (IC-CAD) 也给电子行业带来了新的生命。随着计算机软件技术的渗透, 各种各样的计算机模拟软件, 如线路模拟、逻辑模拟、时序模拟、器件模拟、工艺模拟等软件先后问世, 构成了早期 IC-CAD 技术的主要内容。SPICE 是线路模拟软件最成功的代表之一。对于一个规模不是很大的电路, SPICE 完全取代了以往的硬件实物模拟方法, 而代之以计算机简便、灵活、高效、正确的验证方法。它帮助设计者有效地确

定电功能及参数的正确性,成为中小规模 IC 设计中使用最为广泛的有力工具之一。对于规模较大的数字电路来说,以布尔代数为基础的高级计算机逻辑模拟软件也相继问世。早期的逻辑模拟软件以模拟(仿真)电路的逻辑功能为主,多采用零延迟、单位延迟、最大/最小延迟等简单的延迟模型,而将时序分析交给专用的时序模拟程序来完成。除了对电路进行分析模拟的上述模拟软件,器件模拟软件也被广泛应用。器件模拟软件是在给定半导体器件的物理结构和掺杂分布的条件下,通过软件程序直接求解器件内部的数理方程,从而得到器件有关电学特性和电学参数的计算机辅助设计方法。通过这一方法,人们可以更深入地了解影响器件性能的各种因素,从而控制器件的性能和进行优化设计。无论是参数的调整还是性能的改进,都可以在器件实际制作之前得到全面验证,推动器件的改良和新器件的诞生。工艺模拟软件取代了以往人们只能用在工艺线上做试验的方法来选择和确定工艺条件的传统做法,将这项耗时耗资很大的试验工作交给了计算机去完成。工艺模拟软件能在任意时间、任意条件下,由给出的芯片内部半导体器件体内的杂质浓度分布情况,计算出相应的电学参数,如薄层电阻、阈值电压等,为改善集成电路性能提供强有力的工艺研究工具。

(3) EDA 是 IC-CAD 技术发展的必然产物。随着 IC-CAD 软件的不断丰富、成熟与完善,计算机硬件在速度与容量方面的巨大提高,使得计算机在 IC 各独立设计环节上的辅助设计地位逐渐被工作站统一完备的集成化环境所取代。第一代 EDA 称为计算机辅助设计 CAD (Computer Aided Design) 系统,时间大致为 20 世纪 70 年代至 80 年代初,它以交互式图形编辑和设计规则检查为特点,硬件采用 16 位小型机。那时的逻辑图输入、逻辑模拟、电路模拟与版图设计及版图验证是分别进行的,人们需要对结果进行多次比较和修改才能得到正确的设计。第二代 EDA 系统称为计算机辅助工程 CAE (Computer Aided Engineering) 系统,时间大致为 20 世纪 80 年代至 90 年代初。它以 32 位工作站为硬件平台。它集逻辑图输入、逻辑模拟、测试码生成、电路模拟、版图设计、版图验证等工具于一体,构成了一个较完整的设计系统。进入 20 世纪 90 年代,芯片的复杂程度越来越高,数万门以至数十万门的电路设计的需求越来越多。单是依靠原理图输入方式已不堪承受,对于数字集成电路采用硬件描述语言 HDL (Hardware Description Language) 的设计方式就应运而生。开始时,HDL 主要用于电路仿真,后来设计工作也逐渐从功能级向行为级发展,EDA 向设计的高层次发展。第三代 EDA 系统的特点是高层次设计的自动化 HLDA (High Level Design Automation)。在第三代 EDA 系统中,引入了硬件描述语言,一般采用两种语言,即 VHDL 语言和 Verilog HDL 语言。此外还引入了行为综合和逻辑综合工具,采用较高的抽象层次进行设计,并按层次式方法进行管理,可大大提高处理复杂设计的能力,设计所需的周期也大幅度缩短。综合优化工具的采用使芯片的品质如面积、速度、功耗等获得了优化,因而第三代 EDA 系统迅速得到了推广应用。目前,国际上较著名的四大 EDA 供应商为 Cadence、Synopsys、Mentor Graphics 和 Avent。

(4) 随着半导体工艺技术的不断进步,芯片的设计规模越来越大,进入 $0.18\text{ }\mu\text{m}$ 后,已经可以在一个芯片上实现 1 亿个门的设计规模。这样的规模完全可以将一个完整的电子系统在一个芯片上得以设计实现,即所谓的片上系统 (System On a Chip, SOC)。在 SOC 设计中 IP (Intellectual Property) 核得到了广泛应用,IC 设计成果的可重用性得到了很大的发展,设计规模也越来越大。对于 SOC 这样一个规模巨大、功能复杂的电子系统,如果仍用人工手段进行功能分析与设计,直至完成 HDL 描述后再移交给 EDA 工具完成芯片设计,同

样是相当困难的。正是这种需求,推动着设计技术向电子系统设计自动化(Electronic System Design Automation, ESDA)的方向发展。ESDA 的目标就是为设计人员提供进行系统级设计的分析手段,进而完成系统级自动化设计。ESDA 设计工具需要解决的关键问题包括:一是建立系统级仿真库,二是实现不同仿真工具的协同模拟。借助于 ESDA 工具完成功能分析后,再利用行为级综合工具将其自动转化为可综合的 RTL(寄存器传输级)HDL 描述,然后交给 EDA 工具完成最后的芯片设计。

(5) 随着时代的发展,VLSI 产品的开发重点已逐渐由通用的 IC 产品向着专用 IC 产品转化,针对批量不大、用途众多、性能各异的专用集成电路(ASIC)的需求,又在两个方面向 VLSI 设计领域提出更进一步的要求。第一,重申版图设计必须要有一种规则化、规范化的形式,以使计算机对各种电路都能方便地实现全自动设计。这种规范化由于门阵列具有的半定制特点而逐渐向门阵列母片形式归一。第二,用户可自己编程的通用半导体器件日益为广大系统设计人员所青睐,从需要半导体厂家协助实现的版图可编程器件 ROM、PLA 等(仅对引线孔掩模版进行编程即可实现不同功能),到用户可自己直接编程但规模较小的 EPROM、PAL、GAL 器件,芯片功能逐渐完善,复杂度日益提高,芯片内容量也几十、上百倍地增加。20 世纪 90 年代初,集前人技术于一身的 ASIC 计算机全自动开发系统——现场可编程门阵列(FPGA)问世了。研制人员无须半导体厂家的生产合作,甚至也无须任何与半导体芯片加工有关的技术与设备,自己在一台计算机开发系统的帮助下,即可实现实地编程(现场编程),在商品化的特制芯片(母片)上,开发出具有各种功能、各种用途的 ASIC 样片,其成本之低、周期之短,已堪称进入非常理想的境界了。目前 FPGA 方法已大量应用于某些样片或样机中专用芯片的研制过程,这些电路规模不是十分巨大(数万门数量级以内),批量小,设计周期要求短,从时间与经费角度都不适于制版流片。当用这种方法最终研制成功,需要进一步大批量生产电路时,FPGA 还有自动转换成门阵列版图数据的能力。如果说从手工设计到 EDA、ESDA 技术的出现,反映了 IC 设计技术的发展过程,FPGA 技术并不构成一个独立的发展过程,事实上,各类 EDA 工具中一般都提供了与 FPGA 开发系统的接口,FPGA 为 ASIC 设计提供了一种可能的实现方式。由于 EDA 中的前端设计与工艺无关,因而可以依据实际需要进行选择,如果调用 FPGA 库进行综合,则可完成 FPGA 设计,而如果调用的是其他工艺库,则可以获得相应的产品实现。

1.2 自顶向下的系统设计步骤

芯片设计通常分为正向设计与反向设计两大类。正向设计一般用来实现一个新的设计,而逆向设计则在解剖别人设计的基础上进行某种修改或改进。在这两大类中又可分为“自顶向下”(TOP-DOWN)和“自底向上”(BOTTOM-UP)的设计步骤。自底向上设计是指在系统划分和分解的基础上,先进行基本单元设计,然后逐级向上完成功能模块、子系统设计,直到设计出满足需要的系统为止。而基于 EDA 技术的 IC 设计主要是自顶向下(TOP-DOWN)的设计方法,其设计步骤如图 1.1 所示。首先从系统设计入手,在顶层采用可完全独立于目标器件芯片物理结构的硬件描述语言(HDL),在系统的基本功能或行为级上对设计的产品进行描述和定义,结合多层次的仿真技术,在确保设计的可行性与正确性的前提下,完成功能确认。然后利用 EDA 工具的逻辑综合功能,把功能描述转换成某一具体目标

芯片的网表文件,输出给该器件厂商的布局布线适配器,进行逻辑映射及布局布线。再利用产生的仿真文件进行功能和时序验证,以确保实际系统的性能。也就是说,对系统的结构构成方式与系统的行为或算法方式相混合的描述(称为混合层次描述),由于 HDL 具有这种描述能力,设计者就可以在抽象度相当高的层次上描述系统的基本结构。自顶向下设计方法的优越性表现在:(1)由于顶层的功能描述可以完全独立于目标器件的结构,在设计的最初阶段,设计人员可不受芯片结构的约束,集中精力对产品进行最适应市场需求的设计,从而避免了传统设计方法中的再设计风险,缩短了产品的上市周期。(2)设计成果的再利用得到保证。就这方面而言,单片机系统的设计成果难以得到再利用。现代的电子应用系统以及电子产品的开发与生产正向模块化发展,或者说向软硬核组合的方向发展。对于以往成功的设计成果稍做修改、组合就能投入再利用,从而产生全新的或派生的设计模块,同时还可以以一种 IP 核的方式进行存档。(3)由于采用的是结构化开发手段,一旦主系统基本功能结构得到确认,即可实现多人多任务的并行工作方式,使系统的设计规模和效率大幅度提高。(4)在选择实现系统的目标器件的类型、规模、硬件结构等方面具有更大的自由度。

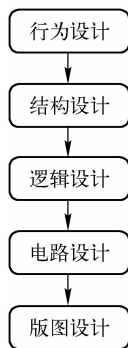


图 1.1 正向设计流程

1.3 FPGA/CPLD 的特点及优势

高集成度、高速和高可靠性是 FPGA/CPLD (现场可编程门阵列/复杂可编程逻辑器件) 最明显的特点,其时钟延迟可达纳秒级,结合其并行工作方式,在超高速应用领域和实时测控方面有非常广阔的应用前景。在高可靠应用领域,如果设计得当,将不会存在类似于 MCU 的复位不可靠等问题。CPLD/FPGA 的高可靠性还表现在,几乎可将整个系统下载于同一芯片中,实现所谓片上系统,从而大大缩小了体积,易于管理和屏蔽。

随着集成电路制作工艺的提高,FPGA 在性能、集成规模方面取得了显著提升,可利用先进的 EDA 工具进行更加复杂的数字电子系统设计和产品开发。由于开发工具的通用性、设计语言的标准化以及设计过程几乎与所用器件的硬件结构没有关系,因此设计成功的各类逻辑功能电路有很好的兼容性和可移植性,它几乎可用于任何型号和规模的 FPGA/CPLD 中,从而使得产品设计效率大幅度提高。可以在很短时间内完成十分复杂的系统设计,这正是产品快速进入市场最宝贵的特征。美国 TI 公司认为,一个 ASIC 80% 的功能可用 IP 核等现成逻辑合成。而未来大系统的 CPLD/FPGA 设计仅仅是各类再应用逻辑与 IP 核的拼装,其设计周期将更短。

与 ASIC 设计相比,FPGA/CPLD 显著的优势是开发周期短,投资风险小,产品上市速度快,市场适应能力强,以及硬件升级回旋余地大,而且当产品定型和产量扩大后,可将在生产中得到充分检验的 VHDL 设计迅速实现 ASIC 投产。随着社会经济延伸,各类新型电子产品的开发为我们提出了许多全新的课题和更高的要求。FPGA/CPLD 在 EDA 基础上的广泛应用,从某种意义上说,新的电子系统运转的物理机制又将回到原来的纯数字电路结构,但这是一种更高层次的循环,应是一次否定之否定的运动,它在更高层次上容纳了过去数字技术的优秀部分,对 MCU 系统将是一种扬弃,但在电子设计的技术操作和系统构成的整体上却发生了质的飞跃。如果说 MCU 在逻辑的实现上是无限的,那么高速发展的 FPGA/

CPLD 不仅包括了 MCU 这一特点, 并兼有串、并行工作方式和高速、高可靠性以及宽口径适用性等诸多方面的特点。不仅如此, 随着 EDA 技术的发展和 FPGA/CPLD 在深亚微米领域的进军, 它们与 MCU、MPU、DSP、ADC、DAC、RAM 和 ROM 等独立器件间的物理与功能界限正日趋模糊。特别是软 IP 核产业的迅猛发展, 内嵌处理器 FPGA 的出现, 片上系统已近在咫尺。以大规模集成电路为物质基础的 EDA 技术终将打破软硬件之间最后的屏障, 使软硬件工程师们有了共同的语言。

1.4 数字集成电路 EDA 设计流程

在电子设计技术领域, 可编程逻辑器件的广泛应用为数字系统的设计带来了极大的灵活性。由于该器件可以通过软件编程的方式对其硬件的结构和工作方式进行重构, 使得硬件的设计可以如同软件设计那样方便快捷。这一切极大地改变了传统的数字系统设计方法、设计过程, 乃至设计观念。在传统的数字系统设计中, 用户通过编程方式实现逻辑功能只有两种途径, 即微处理器的软件编程 (如单片机) 和特定器件的控制字配置 (如 8255)。在传统的设计概念中, 器件引脚功能的硬件方式的任意确定是不可能的。而对于系统构成的设计过程, 只能对器件功能和电路版图分别进行设计和确定, 通过设计电路板来规划系统功能。在此期间, 大量的时间和精力花在元件选配和系统结构的可行性定位上。但若采用可编程逻辑器件, 便可利用计算机软件的方式对目标器件进行设计, 而以硬件的形式实现既定的系统功能。在设计过程中, 设计者可根据需要, 随时改变器件的内部逻辑功能和引脚的信号方式。借助于大规模集成的可编程逻辑器件和高效的设计软件, 用户不仅可通过直接对芯片结构的设计实现多种数字逻辑系统功能, 而且由于引脚定义的灵活性, 大大减轻了电路图设计和电路板设计的工作量和难度; 同时, 这种基于可编程逻辑器件芯片的设计大大减少了系统芯片的数量, 缩小了系统的体积, 提高了系统的可靠性。

现代的 EDA 工具软件已突破了早期仅能进行 PCB 版图设计, 或类似某些仅限于电路功能模拟的、纯软件范围的局限, 以最终实现可靠的硬件系统为目标, 配备了系统设计自动化的全部工具。例如, 配置了各种常用的硬件描述语言平台 VHDL、Verilog HDL、ABEL、System C 等; 配置了多种能兼用和混合使用的逻辑描述输入工具, 如硬件描述语言文本输入法 (其中包括布尔方程描述方式、原理图描述方式、状态图描述方式等) 以及原理图输入法、波形输入法等; 同时还配置了高性能的逻辑综合、优化和仿真模拟工具。所有这一切都为今天的电子设计工程技术人员提供了强有力的工具。在过去令人难以置信的事, 今天已成为平常之事, 利用一台计算机、一套 EDA 软件和一片 CPLD 或 FPGA 芯片, 就能在家中完成大规模数字集成电路设计。基于可编程逻辑器件进行数字集成电路 EDA 设计的典型流程如图 1.2 所示, 主要由设计输入、功能仿真、逻辑综合、布局布线、时序仿真、器件编程下载六步组成。

(1) 设计输入的方式通常有两种: 一种是 HDL (Hardware Description Language) 硬件描述语言输入。现在 EDA 界使用较为广泛的 HDL 是 VHDL 和 Verilog HDL, 几乎所有

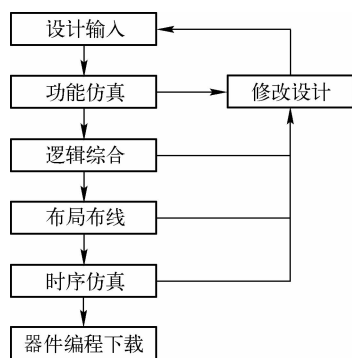


图 1.2 数字集成电路 EDA 设计典型流程

的设计软件都支持这两种语言的设计输入。其他还有如 ABEL-HDL、AHDL、System C 语言等。HDL 输入可移植性好，通用性好。但对于初学者来说，很难编写出恰当的语句来准确反映设计意图。另一种常用的输入方式称为原理图输入，它根据设计要求，选用器件、绘制原理图、完成输入过程。原理图输入相对 HDL 输入直观，便于理解，元件库资源丰富。但移植性差，尤其在设计大规模电路时，这种方法的可维护性较差。

以上两种设计输入方法各有利弊，所以通常建议采用原理图和文本输入相结合的方法来进行设计，对于设计不同的部分，灵活选用合适的输入方法。

(2) 功能仿真是在不考虑器件延时的理想情况下仿真设计项目，以验证其逻辑功能的正确性，也称前仿真。通过功能仿真能及时发现设计中的错误，加快设计进度，提高设计的可靠性，但对于简单的设计，可以跳过这一步，只在布线完成以后进行时序仿真就可以了。

(3) 逻辑综合是一个将高层次系统描述向低层次描述转化和优化的过程，即把设计输入的高级语言或原理图综合成底层软件可以识别的网表文件。网表文件中只包含了最简的布尔表达式和信号的连接关系以及其他一些电路设计参数，与具体工艺无关。现在使用较广泛的是 EDIF (Electronic Design Interchange Format, 电子设计交换格式) 网表文件。

通常来说，直接根据高级语言逻辑综合生成的网表文件并不是最简的，还要对其进行优化。优化是根据布尔方程功能等效的原则，用更小、更快的综合结果代替一些复杂单元，并与指定的库映射生成新的网表。

(4) 布局布线。在设计通过功能仿真被初步验证之后，根据所选用 PLD 的规格，将综合生成的网表文件转换为器件内部的宏单元、逻辑门之间的连线关系。

(5) 时序仿真。在布局布线中可以获得比前仿真时更精确的 RC 参数，根据这些参数，在考虑具体适配器件的各种延时的情况下，用仿真软件再次验证电路的功能和时序，以确保在各种可能的条件下都能正确响应，这一步骤也称后仿真。

上述任何一步出错，均需回到设计输入阶段，改正错误，重新按设计流程进行设计。

(6) 器件编程下载。通过仿真确认设计无误后，将文件编译成器件可以识别的二进制码并下载到芯片中。

一个集成的 EDA 开发工具，如 Quartus II、MAX+PLUS II、Xilinx ISE 等，应该能完成上述所有的流程，并能使用第三方软件（如 ModelSim）帮助设计。