

第一篇



基础篇



第 1 章 数字系统设计与 EDA 技术

传统的数字系统设计是基于电路板的，需选用大量的固定功能器件，再通过器件的配合，设计模拟系统功能，工作集中在器件的选用及电路板的设计上。随着计算机性价比的提高及可编程逻辑器件的出现，现代数字系统的设计，设计师可以通过设计芯片来实现电子系统的功能，将传统的固件选用及电路板设计工作放在芯片设计中进行。

20 世纪 90 年代初开始，电子产品设计系统日趋数字化、复杂化和大规模集成化，各种电子系统的设计软件应运而生。其中，EDA（电子设计自动化）有一定的代表性。它是基于芯片的设计，优势在于能运用 HDL（硬件描述语言）进行输入，基于 PLD（可编程器件）进行系统设计与仿真，实现系统设计自动化。EDA 技术一出现就显示出极大的优势，现在已经成为数字系统设计的主流技术。

1.1 数字系统概念

在电子技术飞速发展的今天，人类正跨入信息时代。从计算机到 GSM 移动电路，从家用娱乐使用的 VCD、HDTV 到军用雷达、医用 CT 仪器等设备，数字化技术比比皆是，涉及通信、国防、航天、医学、工业自动化、计算机应用、仪器仪表等领域。数字系统的使用已经成为构成现代电子系统的重要标志。

1. 基本概念

数字系统是指对数字信息进行存储、传输、处理的电子系统，它的输入和输出都是数字量。在结构上分为数据处理单元和控制单元，如图 1-1 所示。

符合上述结构的系统都可视为数字系统，从目前来看，数字系统的实现可以有多种方法，早期的数字电路是用中小规模元件构成的。随着数字系统复杂度提高，中小规模元件已经很难满足要求，芯片技术的发展提供了两种可能：微处理器（Micro Process Unit, MPU）和可编程逻辑器件（Programmable Logic Device, PLD）。

微处理器是具有运算器和控制器功能的大规模集成电路的芯片，主要包括嵌入式、单片机、DSP，具有体积小、开发方便、成本低的特点，但微处理器是通过执行程序来实现逻辑功能控制的，所以速度较慢；可编程逻辑器件虽然硬件成本和开发门槛较高，但因为用可编程逻辑实现的是硬件电路，所以非常适合于需高速处理的专用环境，如 3G 通信的基带处理。同时，数字系统用可编程逻辑器件实现后，很容易过渡到专用芯片，这样可以大大缩短芯片的开发周期和开发成本。

随着系统复杂性的进一步提高以及对开发成本的考虑，现在很多数字系统的实现往往既用

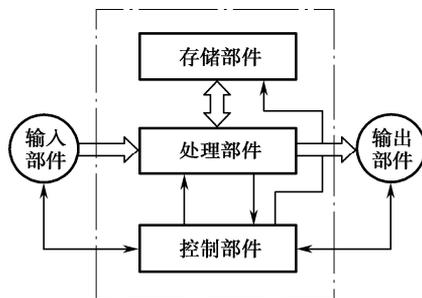


图 1-1 数字系统结构

微处理器又用可编程逻辑器件，而且随着可编程逻辑器件芯片的容量日益增大，使得在可编程逻辑芯片中实现微处理器成为可能(例如，Altium 有限公司对 FPGA 设计提供了丰富的 IP 内核，包括了各种处理器、存储器、外设、接口以及虚拟仪器)。因篇幅所限，本书只讨论用 VHDL 语言在常规的可编程器件设计数字系统的理论和方法。

2. 设计方法

传统的数字系统设计是自下向上的，首先确定系统最底层的电路模块或元件的结构和功能，建立相应的数学模型，数值计算各项参数，在与设计目标反复比较过程中修改或完善模型，按要求写出输入、输出表达式或状态图，用真值表、卡诺图进行化简。然后根据主系统的功能要求，将它们组合成更大的功能模块，直到完成整个目标系统的设计。因此，只有在设计完成后才能进行仿真，存在的问题才能被发现。

同时，在系统进行细分时，必须考虑现有并能获得的器件(往往是标准的器件)，而且必须对各种具体器件的功能、性能指标及连接方式非常熟悉。设计者往往需要较长时间的训练和经验积累，采用试凑的方法才能设计出满足要求的数字系统，有时甚至达不到系统设计的某些要求，所以适用于小规模集成电路系统设计。

现代数字系统设计可以直接面向用户需求，根据系统的行为和功能要求，自上至下地逐步完成相应的描述、综合、优化、仿真与验证，直到把设计结果下载到器件中。上述设计过程除了系统行为和功能描述以外，其余所有的设计过程几乎都可以用计算机自动完成，即电子设计自动化(EDA)。这些设计方法大大缩短了系统的设计周期，适应当今电子市场品种多、批量小的需求，提高了产品的竞争能力。设计步骤如图 1-2 所示。

图 1-2 中，行为设计确定系统的功能、性能及允许的芯片面积和成本等；结构设计根据系统或芯片特点，将其分解为接口清晰、关系明确、尽可能简单的子系统，包括算术运算单元、控制单元、数据通道等；逻辑设计把结构转换成逻辑图，尽可能采用规则的单元或模块；电路设计将逻辑图转换成电路图，需仿真确定逻辑图的正确性。版图设计即芯片设计，把设计完的电路转换成集成电路制造厂家所需的相关物理信息数据。

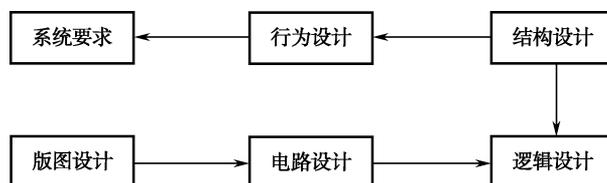


图 1-2 自上至下的设计步骤

1.2 电子设计发展历史

电子产品发展迅速，向着功能多样化、体积最小化、功耗最低化的方向前进，同时价格也呈下降趋势，主要原因是生产制造技术和电子设计技术的发展。前者以微电子加工技术为代表，已经达到了深亚微米的工艺水平，可以在几平方厘米的芯片上集成数千万个晶体管；后者的核心是电子设计自动化(Electronic Design Automation, EDA)技术。

根据电子设计的发展特征，EDA 的发展可分为三个阶段：

20 世纪 70 年代 CAD (Computer Assist Design, 计算机辅助设计) 的诞生，使计算机设计

印制电路板（Printed Circuit Board, PCB）取代了纯手工操作，使设计简单易行，但成本高，功能有限，易仿制，可制造性差，数据不可重复。

20 世纪 80 年代 CAM（计算机辅助制造）、CAT（计算机辅助测试）、CAE（计算机辅助工程）的产生，主要用于电气原理图的输入、逻辑仿真、电路分析、布局布线和 PCB 设计。这些技术编程灵活，可制造性好，可重复使用数据。缺点是开发成本高，保密性差，不适用于高速和实时处理系统的应用。

20 世纪 90 年代开始，各类可编程半导体芯片的生产推动了芯片设计技术的发展，硬件描述语言的产生和完善使得大规模专用集成电路的设计和仿真得到保证，包括算法设计、芯片设计和电路设计。其开发周期短，保密性好，系统的总成本低。

集成电路设计技术和工艺水平的大大提高，使单片集成片能含上亿个晶体管，使得将原来由许多 IC 组成的电子系统集成在一个单片硅片上成为可能，构成所谓的片上系统（System on Chip, SoC）。它将信号采集、处理和输入/输出等完整的系统功能集成在一起，成为一个专用的电子系统芯片。随后出现了 SoPC（片上可编程系统），它是用 PLD 取代 ASIC 的更灵活、更高效的 SoC 技术，特点在于可编程性，所设计的电路系统在规模、可靠性、体积、功能、开发成本等方面实现了最优化。

例如，2000 年 Altera 发布了 Nios 处理器，这是 Altera Excalibur 嵌入处理器计划中的第一个产品，它成为业界第一款为可编程逻辑优化的可配置处理器。Alter 很清楚地意识到，如果把可编程逻辑的固有优势集成到嵌入处理器的开发流程中，就会拥有非常成功的产品。一旦定义了处理器，设计者就“具备”了某种体系机构，可马上开始设计软件原型。CPU 周边的专用硬件逻辑可以慢慢地集成进去，每个阶段软件都能够进行测试。这款芯片集成了传统的可编程逻辑器件的优势，又融合了微处理器的优点，能真正实现 SoPC 设计。

经过几十年的发展，EDA 技术如今已取得了巨大的进展。SoPC 已经进入了大规模应用阶段，嵌入 ARM 核已成为现实，使得可重构的嵌入式系统变得更加强大，同时 IP 核被广泛使用，使得设计开发进程进一步加快；基于 FPGA 的 DSP 已用于高速数字信号处理算法的实现，与传统的 DSP 相比具有独特的优势；系统级、行为验证级硬件描述语言（如 System C、SystemVerilog 等）的出现大大简化了复杂电子系统的设计与验证。

1.3 EDA 技术介绍

1.3.1 基本特征

电子设计自动化（EDA）汇集了计算机应用科学、电子系统科学、微电子科学等多学科的内容，它以计算机为工具，以 EDA 软件为开发环境，以硬件描述语言为设计语言，以可编程器件为实验载体，以专用集成电路（Application Specific Integrated Circuits, ASIC）、片上系统（SoC）芯片为目标器件，自动完成逻辑编译、逻辑化简、逻辑综合、结构综合（布局布线），以及逻辑优化和仿真测试，直至实现既定的电子系统功能。

利用 EDA 设计数字系统具有以下几个特点：①用软件的方法设计硬件；②用软件方式设计的系统到硬件系统的转换是由有关的开发软件自动完成的；③采用自顶向下的设计方法；④设计过程中可用有关软件进行各种仿真；⑤系统可现场编程，在线升级；⑥整个系统可集成在一个芯片上，体积小、功耗低、可靠性高。

1.3.2 主要内容

1. 大规模可编程逻辑器件

可编程逻辑器件（Programmable Logic Device, PLD）可直接从市场上购得，用户只要通过对器件编程就可实现所需要的逻辑功能。这种设计方法成本低、使用灵活、设计周期短、可靠性高、承担风险小。可编程逻辑器件发展到现在，规模越来越大，功能越来越强，价格越来越低，相配套的 EDA 软件越来越完善，因而受到广大设计人员的喜爱。目前，在电子系统开发阶段的硬件验证过程中，一般都采用可编程逻辑器件，以期尽快开发新产品。

随着可编程逻辑器件应用的日益广泛，许多 IC 制造厂家涉足 PLD/FPGA 领域。目前世界上有十几家生产 CPLD/FPGA 的公司，最大的三家是 Altera, Xilinx 和 Lattice，其中 Altera 和 Xilinx 占了 60% 以上的市场份额。

随着微电子技术的发展，设计与制造集成电路的任务已不完全由半导体厂商来独立承担。系统设计师更愿意自己设计专用集成电路（ASIC）芯片，而且希望 ASIC 的设计周期尽可能短，最好是在实验室里就能设计出合适的 ASIC 芯片，并且立即投入实际应用之中，因而出现了现场可编程逻辑器件（Field Programmable Logic Device, FPLD），其中应用最广泛的当属现场可编程门阵列（Field Programmable Gate Array, FPGA）和复杂可编程逻辑器件（Complex Programmable Logic Device, CPLD）。

例如，Altera 公司的主流 FPGA 分为两大类：一类侧重于成本低，容量中等，性能可以满足一般的逻辑设计要求，如 Cyclone、Cyclone II；另一类侧重于高性能，容量大，性能能满足各类高端应用，如 Startix、Stratix II 等，用户可以根据自己的实际应用要求进行选择。在性能可以满足要求的情况下，优先选择低成本器件。Xilinx 的主流 FPGA 也分为两大类，代表产品分别为 Spartan 系列和 Virtex 系列，其中 Spartan 系列主要应用于低成本设计，Virtex 系列主要应用于高端设计。

Lattice 在 PLD 领域发展多年，拥有众多产品系列，目前主流的产品是 ispMACH4000、MachXO 系列 CPLD 和 LatticeEC/ECP 系列 FPGA，此外，在混合信号芯片上，也有诸多建树，如可编程模拟芯片 ispPAC、可编程电源管理、时钟管理等。

当前电子产品市场需求以及生产制造技术的不断提高，标志着 EDA 技术发展成果的最新器件不断涌现，并且向着大规模、低功耗、多功能方向发展。例如，采用系统级性能复杂可编程逻辑技术（CPLD）和现场可编程门阵列（FPGA）实现可编程 SoC 已成为今后的一个发展方向。

2. 硬件描述语言

EDA 技术中多采用硬件描述语言（Hardware Description Language, HDL）描述电子系统的逻辑功能、电路结构和连接形式。HDL 可以在三个层次上进行电路描述，由高到低为系统行为级、寄存器传输级和逻辑门级，支持结构、数据流、行为三种描述形式的混合描述。常用的 HDL 有 VHDL、Verilog 和 AHDL 语言。VHDL 适用于行为级和寄存器传输级；Verilog 和 AHDL 适用于寄存器级和门电路级。现在 VHDL 和 Verilog 作为工业标准硬件描述语言，在电子工程领域已成为通用的 HDL，承担绝大部分的数字系统的设计任务。

用 VHDL 设计电子系统有以下优点：①更强的行为描述能力，避开具体的器件结构，从逻辑行为上描述和设计大规模电子系统；②具有丰富的仿真语句和库函数，使得在设计早期就能检查设计系统的功能可行性，并可以随时对系统仿真；③用 VHDL 完成的设计，可以用 EDA 工

具进行逻辑综合和优化，根据不同的目标芯片自动把描述设计转化成门级网表，从而极大地减少了设计时间和可能发生的错误；④设计描述有相对独立性，可以在不懂硬件结构的情况下进行设计；⑤可以在不改变源程序的前提下，只改变类属参量或函数，就能很容易地改变设计规模和结构。

3. 软件开发工具

集成的 PLD/FPGA 开发软件见表 1-1，这类软件一般由芯片厂家提供，基本可以完成所有的设计输入、仿真、综合、布线、下载等工作。

Altera 公司的集成开发环境 Quartus II 提供了与结构无关的设计环境，能方便地进行设计输入、快速处理和器件编程。同时，Quartus II 还提供了可编程片上系统（SoPC）设计的一个综合开发环境，是进行 SoPC 设计的基础。新近推出的 Quartus II 13.0 版支持面向 Stratix V 系列的设计，同时还增强了包括基于 C 的开发套件、基于系统 IP 以及基于模型的设计流程。

Xilinx 是 FPGA 的发明者，产品种类较全，主要有 XC9500, Coolrunner, Spartan, Virtex 等。其推出的 ISE 系列软件支持公司的所有 CPLD/FPGA 产品。通常来说，全球 60% 以上的 PLD/FPGA 产品是由 Altera 和 Xilinx 提供的，可以说它们共同决定了 PLD 技术的发展方向。

表 1-1 PLD/FPGA 开发软件

供 应 商	开 发 软 件	简 介
Altera	Maxplus II	曾经是最优秀的 PLD 开发平台之一，适合开发早期的中小规模 PLD/FPGA，使用者众多
	Quartus II	新一代 PLD 开发软件，适合大规模 FPGA 的开发
	SOPC Builder	配合 Quartus II，完成集成 CPU 的 FPGA 芯片的开发工作
	DSP Builder	Quartus II 与 MATLAB 的接口，利用 IP 核在 MATLAB 中快速完成数字信号处理的仿真和最终 FPGA 的实现
Xilinx	Foundation	早期开发软件，目前已停止开发，转向 ISE
	ISE	新一代 FPGA/PLD 开发软件
	ISE Webpack	免费软件，可从公司网站下载
	System Generator For DSP	配合 MATLAB，在 FPGA 中完成数字信号处理的工具
Lattice	Isp Design EXPERT	早期的 PLD 开发软件
	Isp LEVER	取代 Isp EXPERT，成为 FPGA 和 PLD 设计的主要工具

Lattice 是 ISP（在系统编程）技术的发明者，ISP 技术极大地促进了 PLD 产品的发展，与 Altera 和 Xilinx 相比，其开发工具略逊一筹，中小规模的 PLD 比较有特色。其他常见的 EDA 开发软件还有 orCAD/PSPICE、Multisim、Protel 等。

4. 实验开发系统

提供芯片下载电路及 EDA 实验/开发的外围资源（类似于用于单片机开发的仿真器），供硬件验证用。一般包括：实验或开发所需的各类基本信号发生模块，如时钟、脉冲、高低电平等；FPGA/CPLD 输出信息显示模块，如数据显示、发光管显示、声响指示等；监控程序模块，提供“电路重构软配置”；目标芯片适配座以及上面的芯片和编程下载电路。

1.3.3 EDA 设计流程

EDA 设计流程图如图 1-3 所示。

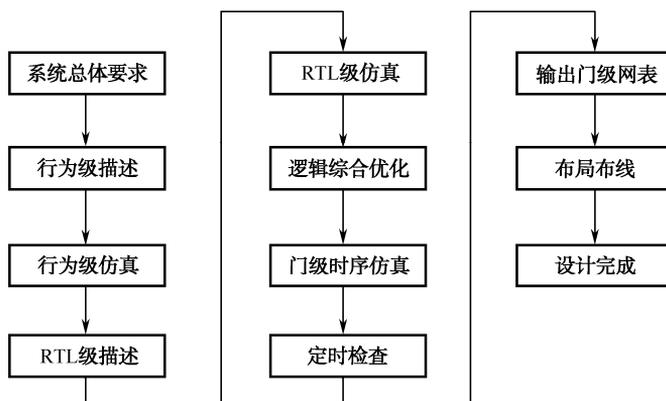


图 1-3 EDA 设计流程

首先从系统设计入手，在顶层进行功能框图的划分和结构设计，在框图一级进行仿真、纠错，并用硬件描述语言（HDL）对高层次的系统行为进行描述，在系统一级进行验证。然后用综合优化工具生成具体门电路的网表，其对应的物理实现可以是印制电路板或专用集成电路（ASIC）。由于设计的仿真和调试过程是在高层次上完成的，这不仅有利于早期发现结构设计的错误，避免设计工作中的浪费，而且也减少了逻辑功能仿真的工作量，提高了设计的成功率。设计流程主要分为 3 个步骤。

1. 行为描述

目的是在系统设计的初始阶段，通过对行为描述的仿真发现设计中存在的问题。主要是考虑系统的结构及其工作过程是否能达到系统设计规格书的要求，并不考虑实际操作和算法的实现。它是对整个系统的数学建模的描述，与器件工艺无关。

2. 寄存器传输描述 RTL（又称数据流描述）

描述行为方式的 HDL 程序，采用 RTL 方式，导出系统的逻辑表达式，再用仿真工具对 RTL 级描述进行仿真。

3. 逻辑综合优化

利用逻辑综合工具，将 RTL 方式描述的程序转换成用基本逻辑元件表示的文件（门级网络表），也可以用逻辑原理图的方式输出。对逻辑综合结果在门电路级上仿真，并检查定时关系。

如果在某一层仿真发现问题，应该返回上一层，寻找和修改相应错误，再向下继续。输出网表后，有两种选择：一种是由自动布线程序将网表转换成相应的 ASIC 芯片的制造工艺，定制 ASIC 芯片；另一种是将网表转换成相应的 PLD 编程码点，利用 PLD 完成硬件电路的设计。

1.4 IP 核

如今集成电路的规模已经非常庞大，从头开始完完整整设计一块芯片需要花费越来越多的时间和精力，因此可重用设计变得越来越重要。IP 核，即知识产权核或知识产权模块，就是一种可重用设计的模块，在今天集成电路的开发中占据着非常重要的角色。根据美国 Dataquest 公司的定义，IP 核本质上是用于 ASIC 或 FPGA 的已预先设计的电路功能模块。设计人员在 IP 核的基础上进行开发，可以缩短设计周期。IP 核分为软 IP、固 IP 和硬 IP。

1.4.1 软 IP

软 IP 只是用 HDL 等硬件描述语言代码形式存在的电路功能块，只经过 RTL 级设计优化和功能验证，不包含实现这些功能的具体电路元件的信息。软 IP 通常以硬件描述语言 HDL 源文件或其他格式文件的形式出现，而且应用开发过程与普通 HDL 设计十分相似，只是需要更加昂贵的开发硬、软件环境。软 IP 的设计周期比其他两种形式的周期更短，而且设计投入少。因为不涉及物理实现，可以为后续设计留下巨大的设计空间，从而增加了它的灵活性和适应性。但也因此在某种程度上存在使后续工序无法适应整体设计的缺点，为了提高整体设计的性能，往往需要对软 IP 进行一定程度的修正，但仍然不可能在性能上获得全面的优化。Altera 和 Xilinx 分别提供了 Nios II 和 MicroBlaze 两种软核，可以在某种程度上满足系统的需求。

1.4.2 固 IP

比起软 IP 来说，固 IP 还包含了门级电路综合和时序仿真等设计环节，灵活性稍差。比起硬 IP 来说，它仍有较大的设计空间。固 IP 一般以 RTL 代码和对应具体工艺网表的混合形式提供给客户使用。从某种程度上看，固 IP 是软 IP 和硬 IP 的折中，也是 IP 核的主流形式之一。

1.4.3 硬 IP

硬 IP 核是基于半导体工艺的物理设计，具有固定的拓扑布局 and 具体工艺，并经过了工艺验证，能够提供设计最终阶段的产品掩模，性能有保障。硬 IP 通常是以电路物理结构掩模版图和全套工艺文件形式提供给客户，是一种拿来即用的技术手段，进一步缩短了后续的设计周期。因为是以经过完全布局布线的网表形式提供的，所以该种硬核既具有可预见性，同时还可以有针对性地进行功耗和尺寸的优化。尽管硬核由于缺乏灵活性而可移植性差，但也易于实现 IP 保护。Xilinx 和 Altera 都已经推出了具有 ARM 硬核的 FPGA，从而提供了比软核更高的性能。

1.5 EDA 应用与发展趋势

EDA 在教学、科研、产品设计与制造等方面都发挥着巨大的作用。几乎所有理工科（特别是电子信息类）的高校都开设了 EDA 课程，目的是培养学生使用 HDL 语言、EDA 工具设计简单的系统。从应用领域看，EDA 已渗透到各行各业，包括在机械、电子、通信、航空航天、化工、矿产、生物、医学、军事等。从应用对象看，EDA 技术主要用于印制电路板（PCB）或集成电路的设计与实现。

随着 EDA 技术的迅猛发展，逐渐出现了如下几个发展趋势：

(1) 硬件设计和软件设计的界限越来越模糊，这表现在软件设计才用到的 C 语言已经应用于硬件设计领域，甚至出现了 SystemC、SystemVerilog 等高级硬件描述语言，这些高级语言广泛应用于模块的仿真和验证。虽然现在还不能将这些高级语言自动转成 HDL 语言进行电路功能直接开发，但是已经成为各供应商努力的方向，比如 Altera 公司和 Xilinx 公司都提供了基于 C 的 IP 库支持，大大简化了系统的构建。

(2) ASIC 与 FPGA 逐渐融合，这是因为工艺水平的提高伴随着设计成本的提高，同时工艺线宽不断减少，进一步给 ASIC 的设计带来挑战，从而刺激了 FPGA 的应用持续提升。但是 FPGA 体积大、功耗高、功能有限。因此越来越多的集成电路商提供了介于 FPGA 和 ASIC 的电路产品，从而提供更具灵活性和功能性的产品。

(3) 模拟与数字芯片逐渐融合，SoC (System on Chip) 被大规模运用，同时也刺激了 SoPC 被大规模应用。SoC 的出现是集成电路发展的必然结果，使得电路系统的芯片减少，从而提高设计效率，事实上，英特尔移动芯片的一个弱点就是集成功能太少。SoPC 就是 ASIC 和 FPGA 的融合体，在嵌入式领域具有很好的应用前景。

(4) 随着工艺水平的不断提高，工艺线宽的不断减少，对 EDA 软件的要求越来越高。同时设计开发的成本更高，这要求一次性流片成功的同时还要提高设计效率，这进一步说明了 EDA 软件的重要性，同时也促进了 IP 核的广泛应用。IP 核能大大提高芯片设计的效率，在如今的芯片设计业中占的比重也越来越高。以中国白牌平板电脑全志芯片系列为例，CPU 采用 ARM 核，GPU 采用 Imagination 核，三星猎户座芯片的 CPU、GPU 也采用了 ARM 提供的 IP 核。