

第 1 章 信号完整性分析概论

“设计师可以分成两类，一类已经遇到了信号完整性问题，另一类即将遇到信号完整性问题。”

——某公司的一条警句

当今，随着时钟频率的日益提高，信号完整性问题变得日趋严重。设计人员用以解决信号完整性问题和设计新产品的时间也日益缩短。产品设计人员将一个产品投入市场只有一次机会，所以该产品必须第一次就能成功运行。如果在产品设计周期中不能尽早确定和消除信号完整性问题，产品的研制就可能失败。

提示 随着时钟频率的提高，发现并解决信号完整性问题成为产品开发的关键。成功的秘诀是精通信号完整性分析技术，并能采取高效设计过程消除这些问题。只有娴熟地运用新的设计规则、新的技术和新的分析工具，才能实现高性能设计，并日益缩短研发周期。

在高速产品中，物理设计和机械设计都将导致信号完整性问题。图 1.1 表明了印制电路板 (printed circuit board, PCB) 上一段简单的 2 in 长的线条如何影响典型驱动器的信号完整性。

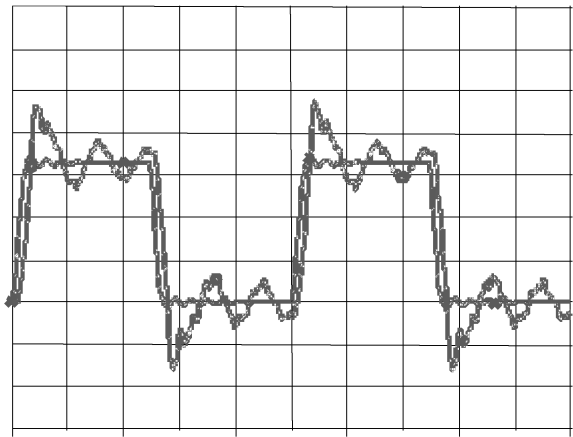


图 1.1 100 MHz 时钟产生后，从信号驱动器芯片输出的两种波形：没有外加引出连线(平滑曲线)的情况和输出端连接有一段 2 in 长的 PCB 线条(振铃曲线)的情况。其中，纵轴每格表示 1 V，横轴每格表示 2 ns。本图由 Mentor Graphics 的 Hyperlynx 仿真得出

通常，设计过程是极富直觉和创造性的。要想尽快完成合格的设计，激发关于信号完整性的设计直觉是至关重要的。所有涉及产品的设计师们都应该了解信号完整性如何影响整个产品的性能。通过在直觉和工程实践的层次上理解信号完整性的基本原理，参与设计过程的每个设计师就能体会到他们的决定对系统性能所产生的影响。本书主要介绍理解和解决信号完整性问题的基本原理，直观定量地给出信号完整性问题的工程背景知识。

1.1 信号完整性的含义

在时钟频率只有 10 MHz 的年代, 电路板或封装设计的主要挑战就是如何在双层板上布通所有信号线, 以及如何在组装时不破坏封装。由于互连线并未影响过系统性能, 所以互连线本身的电气特性并不重要。在这种意义下, 可以说“对信号而言, 过去的互连线是畅通透明的”。

例如, 如果一个器件输出一个上升边约为 10 ns 且时钟频率为 10 MHz 的信号, 那么即使是最粗糙的互连线, 电路也可以正常工作。由手工连线而成的样机与最终规范布线的印制板产品一样都能正常工作。

但是, 现在的时钟频率提高了, 信号上升边也已普遍变短。对于大多数电子产品而言, 当时钟频率超过 100 MHz 或上升边小于 1 ns 时, 信号完整性效应就变得重要了, 通常将这种情况称为高频领域或高速领域。这些术语意味着在互连线对信号不再透明的产品与系统中, 如果不小心就可能出现一种或多种信号完整性问题。

从广义上讲, 信号完整性指的是在高速产品中由互连线引起的所有问题。它主要研究当互连线与数字信号的电压电流波形相互作用时, 其电气特性如何影响产品的性能。

所有这些问题分为以下 3 种情况:

1. 时序;
2. 噪声;
3. 电磁干扰(electromagnetic interference, EMI)。

时序本身就是一个复杂的研究领域。在一个时钟周期内, 必然发生一定数量的操作, 必须在预算中划分某段较短的时间, 并分配给各种不同的操作。例如, 分配一些时间给门翻转、将信号传送至输出门、等待时钟进入下一级门、等待门读出输入端的数据等。尽管互连线严重影响时序预算, 但本书不讨论时序问题。关于这一主题的更多信息, 本书在附录中为感兴趣的读者列出了一些参考书。本书重点讨论互连线对其他一般高速问题的影响, 其中大部分为噪声问题。

我们听到过许多信号完整性噪声问题, 如振铃、反射、近端串扰、开关噪声、非单调性、地弹、电源弹、衰减和容性负载等。这些都是互连线的电气特性对数字信号波形造成的不同影响。

乍看起来, 要考虑的新问题似乎无穷无尽, 非常混乱, 这一点反映在图 1.2 中。数字系统设计师或电路板设计师中很少有人熟悉所有这些术语, 他们仅仅将这些问题标记为早期产品设计雷区中的弹坑, 发现一个算一个。怎样才能弄清所有这些信号完整性问题呢? 难道仅仅列一个不断增加的清单并定期进行补充吗?

以上列出的所有与信号完整性噪声问题有关的效应, 都与下面 4 类特定噪声源之一有关:

1. 单一网络的信号完整性;
2. 两个或多个网络间的串扰;
3. 电源和地分配中的轨道塌陷;
4. 来自整个系统的电磁干扰和辐射。

这 4 种类型如图 1.3 所示。一旦知道 4 种问题中的每种噪声的来源, 找出和解决这种问题的一般方案就很清楚了。这就是能把各种信号完整性噪声问题分为以上 4 种类型的原因。

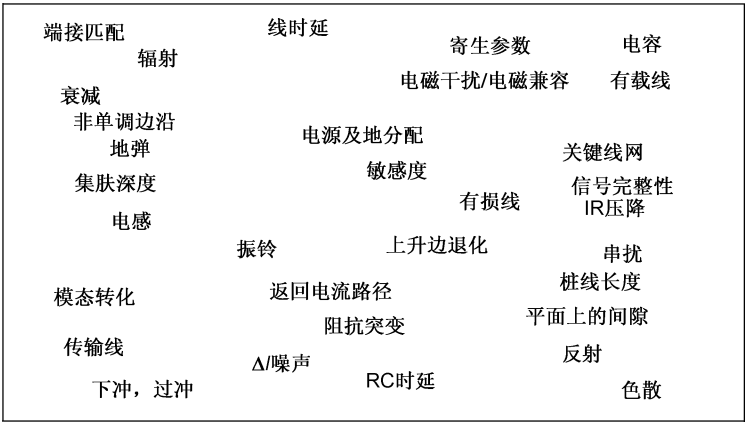


图 1.2 信号完整性效应的组合列表看似是由这些术语组成的随机集合，没有固定模式

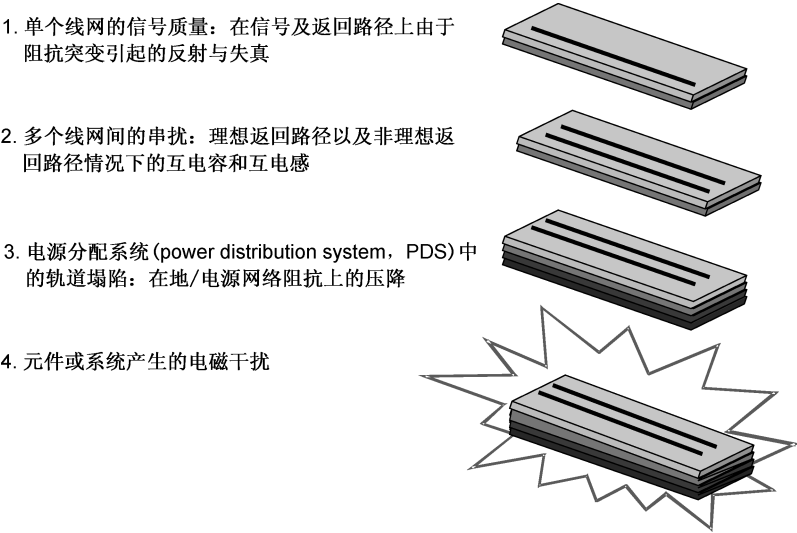


图 1.3 4 种信号完整性问题

这些问题在所有互连线中都起作用，小到芯片中的连线，大到板级连接电缆及任何位置之间的互连线。原理和效应是一样的，各个物理结构的不同之处是具体的几何特征尺寸和材料特性。

1.2 单一网络的信号质量

网络由系统中所有连接在一起的金属组成。例如，从时钟芯片的输出引脚引出的线条与其他 3 个芯片相连，连接这 4 个引脚的每条金属就可以看成属于同一个网络。另外，网络不仅包括信号路径，还包括信号电流的返回路径。单一网络的信号质量和信号路径与返回路径的物理特征都有很大的关系。图 1.4 给出了电路板上的两个不同网络。

当信号从信号驱动器输出时，构成信号的电流和电压将互连线看成一个阻抗网络。当信号沿着网络传播时，它不断感受到互连线引起的瞬态阻抗变化。如果信号感受到的阻抗保持不变，则信号保持不失真。然而，一旦阻抗发生变化，信号则在变化处产生反射，并在通过互连线的剩余部分时继续失真。如果阻抗改变程度足够大，那么失真将导致误触发。

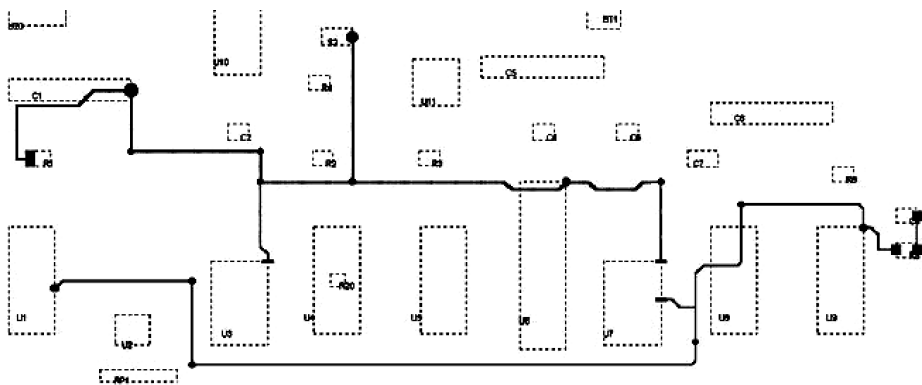


图 1.4 一块电路板上的两个网络。所有连接在一起的金属可看成一个网络。注意，其中一个网络有一个串联的贴片电阻器。本图由Mentor Graphics的Hyperlynx布线得到

任何改变横截面或网络几何形状的特征都会改变信号所感受到的阻抗。引起阻抗变化的所有特征称为突变，每个突变将导致信号原始的纯净形状在某种程度上发生失真。使信号所感受到的阻抗发生改变的情况来自如下几点：

- 1. 线宽变化；
- 2. 层转换；
- 3. 返回路径平面上的间隙；
- 4. 接插件；
- 5. 分支线、T形线或桩线；
- 6. 网络末端。

这些阻抗突变是由横截面、布线拓扑结构或附加元件产生的。最常见的突变发生在线条的末端处，通常遇到的是接收器的开路高输入阻抗或驱动器的低输出阻抗。

提示 减小阻抗突变问题的方法是让整个网络中的信号所感受到的阻抗保持不变。

这个方法一般通过 3 个步骤实现。首先，使用线条阻抗为常量或称“可控”的电路板，这通常意味着使用均匀的传输线。其次，提供使沿线阻抗保持不变的拓扑结构布线规则。最后，在关键地方放置电阻形成匹配，以控制反射并设法使接收到的信号更干净。

图 1.5 分别给出了同一网络中由阻抗突变引起的信号质量(产生振铃)和使用端接电阻器控制阻抗突变时的信号质量(极佳)。通常认为“振铃现象”实际上是由阻抗突变产生的反射而引起的。

即使是端接完善的精密电路板布局，也能严重地影响信号质量。例如，当线条分成两路时，节点处的阻抗发生变化。一部分信号反射回信号源，一部分信号继续沿着分支传播，但产生衰减和失真。如果以菊花链方式重新布线，则能使信号沿着路径所感受到的阻抗保持不变，信号质量也得以恢复。

任何突变对信号产生的影响与信号的上升边有关。随着上升边变短，失真的幅度增大。也就是说，在 33 MHz 时钟设计中，突变不算问题，但在 100 MHz 时钟设计中就可能造成问题，如图 1.6 所示。

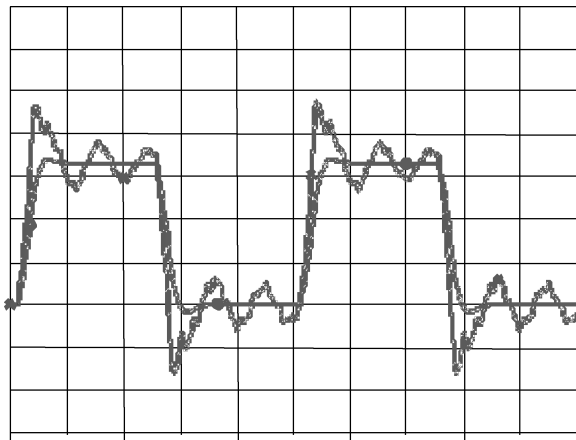


图 1.5 无端接时,互连线上出现振铃;当源端有串联端接时,互连线上的信号质量极好。在两种情况下,PCB线条仅2 in长。横轴每格表示2 ns,纵轴每格表示1 V。本图由Mentor Graphics的Hyperlynx仿真得到

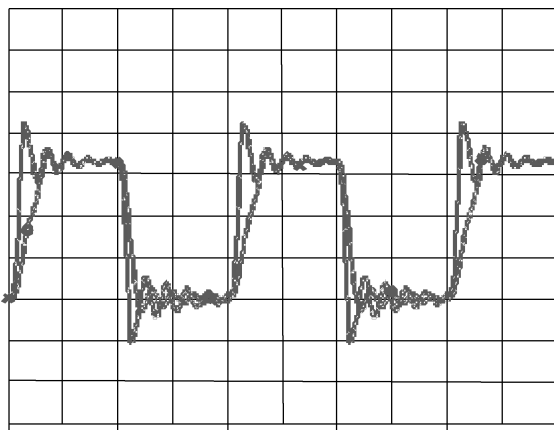


图 1.6 PCB 板上长为6 in 的无端接线条上的25 MHz时钟波形。较慢的上升边为3 ns,无振铃现象发生;振铃在上升边为1ns的信号中发生。在某个上升边时不产生问题,但在较短上升边时可能会造成问题。横轴每格表示5 ns,纵轴每格表示1 V。本图由Mentor Graphics的Hyperlynx仿真得到

随着频率升高和上升边缩短,使信号所感受到的阻抗保持不变越来越重要。达到这一要求的一种方法是使用可控阻抗互连线,甚至在封装时也一样,如多层球栅阵列(ball grid arrays, BGA)。当封装没有采用可控阻抗(如引线架)时,使引线尽量短也很有效,如使用芯片最小尺寸封装(chip-scale package, CSP)。

单一网络中还存在另外两方面的信号质量问题。由于线上导体和介质的频率相关损耗,使高频信号成分要比低频信号成分衰减更多。其结果是,在传播过程中信号的上升边将变长。当这个上升边退化到接近1 bit 周期时,信号的数字信息将失真,这就是符号间干扰(inter-symbol Interference, ISI)。在数据传输率等于1 Gbps 或更高时,它将是引起问题的主要原因。

单一网络中影响信号质量的第三个方面就是时序。两个或者多个信号路径之间的时延差称为错位(skew)。当信号线和时钟线之间存在超出预期的错位时,就可能产生误触发和逻辑

错误。当差分对的两条线之间存在错位时，部分差分信号会转变为共模信号，并造成差分信号失真。这也可能引起 ISI 或者误触发。

错位是一个时序问题，多数是由于互连线的电气特性引起的。互连线的总长度对错位影响最大，只要在版图设计时仔细匹配互连线之间的长度，就能比较容易地解决。然而，时延也与每个信号感受到的局部介电常数有关，这个问题通常比较难以解决。

提示 错位是两条或者多条网络之间的时延。为了控制错位，主要依靠匹配网络之间的长度。另外，网络之间的介电常数发生局部变化也会影响时延，这个问题比较难以控制。

1.3 串扰

当网络传播信号时，有些电压和电流能传递到邻近的静态网络上，而这个网络正在那里忙于自己的事务。即使第一个网络(动态网络)上的信号质量非常好，一些信号也会以有害的噪声形式耦合到第二个静态网络上

提示 正是网络间的容性耦合和感性耦合，为有害噪声从一个网络到达另一个网络提供了路径。

在两种不同的情况下会发生串扰。一种情况是互连线为均匀传输线，电路板上的大多数线条属于这种情况；另一种情况是互连线为非均匀传输线，如接插件和封装的场合。在可控阻抗传输线上，线条有很宽的均匀返回路径，其容性耦合与感性耦合的程度大致相当。在这种情况下，这两种效应在静态线的近端和远端的叠加方式是不一样的。图 1.7 为电路板上的两个网络之间的近端和远端的串扰。

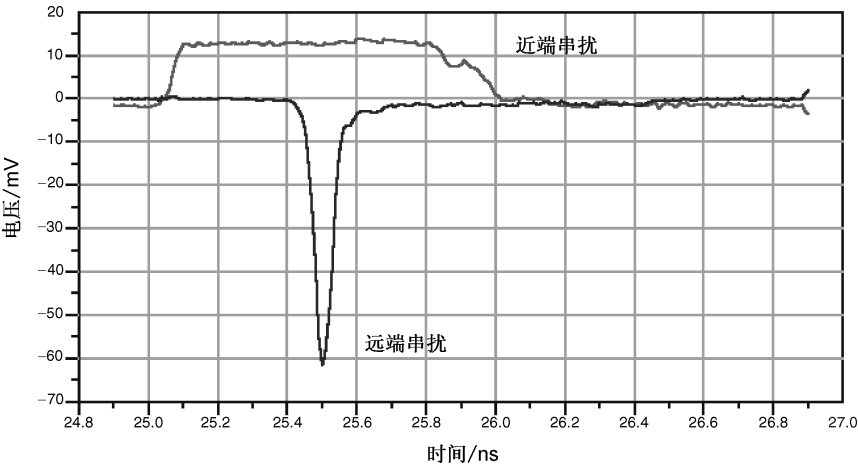


图 1.7 当动态线条上输入 200 mV 的信号时，在静态线近端和远端测得的电压噪声。注意，近端噪声约为信号的7%，远端噪声几乎达到30%。该结果由安捷伦 DCA86100 和插入式时域反射计(time domain reflectometer, TDR)测量得到

返回路径为均匀平面时，是实现最低串扰的结构，一旦使返回路径的均匀平面发生变化，就会增加两个传输线之间的耦合噪声。发生这种情况时，例如当信号经过接插件且多个信号

共用的返回路径是一个引脚而不是一个平面时,感性耦合噪声比容性耦合噪声增加得更多。

当感性耦合噪声处于主导地位时,通常把这种串扰归为开关噪声、 ΔI 噪声、 dI/dt 噪声、地弹、同时开关噪声(simultaneous switching noise, SSN)或同时开关输出(simultaneous switching output, SSO)噪声。这类噪声是由耦合电感(即所谓的互感)产生的。开关噪声大多发生在接插件、封装和过孔处。在这些结构中,电流返回路径的导体不是一个大的均匀平面。本书后面将会讲到,地弹实际上是同一个导体上返回电流重叠而出现的一种特殊情况,这些路径之间的互感非常大。图 1.8 为封装中邻近信号路径和返回路径之间的大互感产生的同时开关输出噪声。



图 1.8 上图对多总线中动态线上测得的电压。下图为两条静态线上测得的噪声,它给出了封装中的动态网络和静态网络之间的互感而产生的开关噪声

提示 由耦合电感即互感主导的 SSO 噪声,逐渐变为接插件和封装设计中最重要问题之一,它在下一代产品中将会更严重。解决办法在于谨慎地设计路径的几何结构,使耦合电感(即互感)最小。

了解容性耦合与感性耦合的本质,就可以通过优化相邻信号线的物理设计而减小耦合,通常这与把线条远远分开一样简单。另外,对于特性阻抗相同的导线,使用介电常数较小的材料将会减少串扰。串扰的某些方面,特别是开关噪声,随着互连线长度的增加和上升边的变短而增加。上升边越短,信号产生的串扰越严重。另一方面,使互连线尽可能短,如使用芯片最小尺寸封装和高密度互连线(high-density interconnects, HDI),有助于减小串扰。

1.4 轨道塌陷噪声

噪声这个问题不仅在信号路径中产生,它在电源分配网络和地分配网络(给芯片提供电源)中也是一个致命的问题。当通过电源路径和地路径的电流发生变化时,如芯片输出翻转或内核中的门翻转时,在电源路径和地路径之间的阻抗上将产生一个压降。这个压降意味着供给芯片的电压减小了,称为电源与地之间的电压降低或塌陷。图 1.9 给出了微处理器上的电压变化。

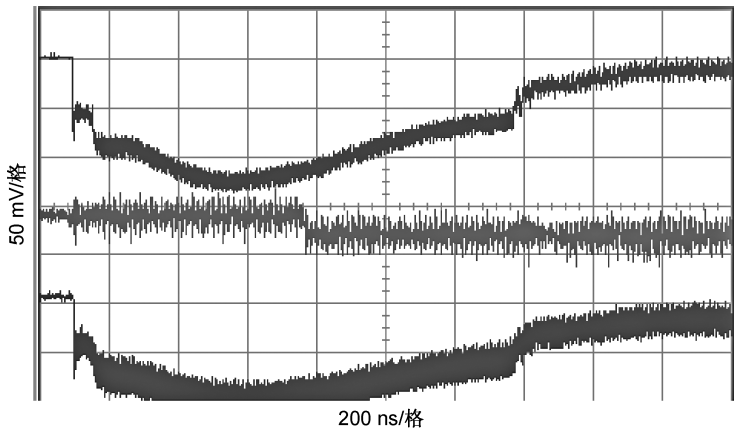


图 1.9 从“停止时钟”状态起始,在微处理器封装的 3 个引脚位置上测得的 V_{cc} 电压。正常电压应该为 2.5 V,但是由于电源分配系统中的压降,配送电压的塌陷几乎达到 125 mV

高性能处理器和一些专用集成电路中的一种趋势是低电压源供电,高功率消耗。其内在原因是,每个门在每个周期都要消耗一定的能量,而芯片上的门数越来越多,开关切换速度又越来越快。假设每周期消耗同样的能量,如果切换变得更频繁,那么平均功率消耗就会变得更高。

这些因素结合起来就意味着在更短的时间内有更大的开关电流,从而使可容忍的噪声量值将会变得更小。随着驱动电压减小和电流量级升高,任何与轨道塌陷有关的压降将成为一个越来越严重的问题。

提示 设计电源和地分配的目标是使电源分配系统(power-distribution system, PDS)的阻抗最小。PDS 有时又称为电源配送网络(power delivery network, PDN)。

在电源分配系统低阻抗的前提下,即使其中存在电流的开关和切换,较低阻抗上的压降也可以保持在能容忍的水平之内。电源分配系统的阻抗要求已被 Sun 公司评估为对高端处理器的要求。图 1.10 显示了对电源分配系统所要求阻抗的评测结果,其中的低阻抗要求越来越重要,而实现却越来越难。

如果知道互连线的物理设计如何影响它们的阻抗,就能使低阻抗的电源分配系统设计更完善。设计一个低阻抗电源分配系统应考虑以下特性。

1. 相邻的电源和地分配层平面的介质应尽可能薄,以使它们更紧密贴近;
2. 加装多个低电感去耦电容器;
3. 封装时安排多个很短的电源和地引脚;
4. 片内加去耦电容。

电源层和地层之间使用超薄的高介电常数的叠层,这种创新技术有助于将轨道塌陷减到最小。例如 3M 公司的 C-Ply,这种材料厚度为 8 μm ,介电常数为 20。当用这种材料制作特殊电路板上的电源层和地层时,它的超低回路电感和大分布电容明显地减小了电源和地分配阻抗。图 1.11 为普通板层的小型测试电路板和使用新材料 C-Ply 时电路板上的轨道塌陷噪声。

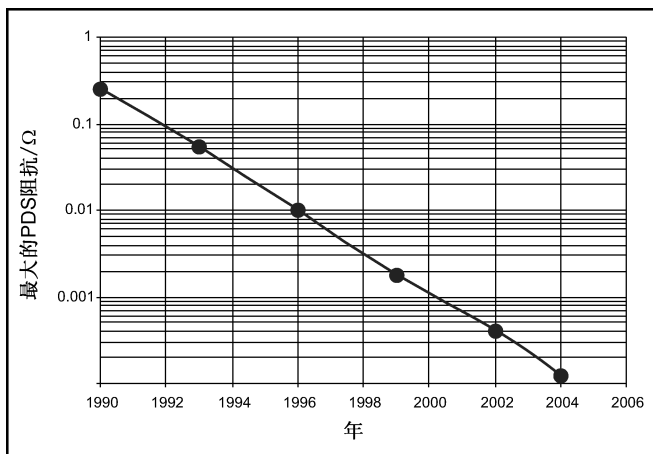


图 1.10 高端处理器中电源分配系统的最大允许阻抗的趋势

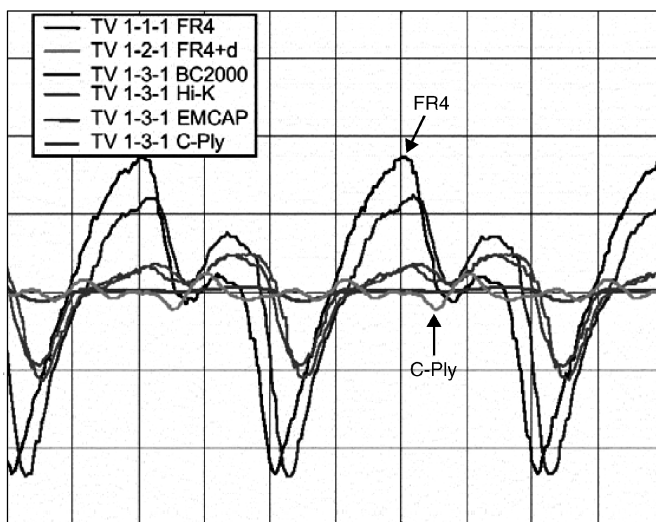


图 1.11 在小型数字电路板上使用各种去耦方法后测得的轨道电压噪声。最坏情况是 FR4 板上没有去耦电容,最好的情况是 3M C-Ply 材料,几乎没有电压噪声。纵轴每格表示 0.5 V, 横轴每格表示 5 ns。本图由 National Center for Manufacturing Science 提供

1.5 电磁干扰

当板级时钟频率在 100 ~ 500 MHz 范围内时,这一频段的前几次谐波在电视、调频广播、移动电话和个人通信服务 (PCS) 这些普通通信波段内。这就意味着电子产品极有可能干扰通信,所以这些电子产品的电磁辐射必须低于容许的程度。遗憾的是,如果不进行特殊设计,较高频率时的电磁干扰就会更严重。共模电流的辐射远场强度随着频率而线性增加,而差分电流的辐射远场强度与频率的平方成正比。随着时钟频率的提高,对辐射的要求必然也会提高。

电磁干扰问题包括 3 方面: 噪声源、辐射传播路径和天线。前面提到的每个信号完整性问题的根源也是电磁干扰的根源。电磁干扰之所以这么复杂,是因为即使噪声远远低于信号完整性噪声预算,它仍然大到足以引起严重的辐射。

提示 两种最常见的电磁干扰源如下所示。(1)一部分差分信号转换成共模信号,最终在外部的双绞电缆线上输出;(2)电路板上的地弹在外部单端屏蔽线上产生共模电流。附加的噪声可以由内部产生的辐射泄漏逸出屏蔽罩而引起。

产生辐射的大多数电压源来自电源和地分配网络。通常,减小轨道塌陷噪声的物理设计同时也能降低辐射。

尽管电压噪声源可以产生辐射,仍能将电路板的高速部分与噪声可能要逃逸的地方加以隔离。屏蔽盒使泄漏到某天线上的噪声大为减少,许多设计较差的电路板可由一个良好的屏蔽来弥补。

为了与外部通信设施、外围设备或接口进行通信,屏蔽较好的产品仍需用电缆将它连到外面。通常,电缆延伸到屏蔽罩的外部,起到天线的作用,并能产生辐射。在所有连接电缆(特别是双绞线)上正确地使用铁氧体,将明显地减小天线效应。图 1.12 是包裹电缆的铁氧体剖视图。

I/O 接头的阻抗,特别是返回路径连接件的阻抗,会严重影响能产生辐射电流的噪声电压。使用低阻抗连接的屏蔽电缆将是减小电磁干扰问题的有效办法。

遗憾的是,对于同样的物理系统,提高时钟频率一般也会提高辐射等级,或者说随着时钟频率的提高,电磁干扰问题将更难解决。

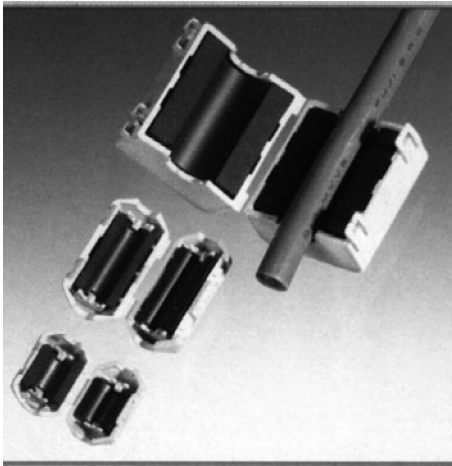


图 1.12 铁氧体扼流圈的剖视图。铁氧体通常用在电缆周围,以减小类似共模电流这种主要的辐射源。本图由IM Intermark公司(USA)提供

1.6 信号完整性的两个重要推论

从前述 4 个信号完整性问题的讨论中,能够很清楚地得出两个重要推论。

第一个重要推论是,随着上升边的减小,这 4 种问题都会变得更严重。前述所有信号完整性问题都是以电流或电压的变化速度来衡量的,通常指的是 dI/dt 或 dV/dt ,上升边越短意味着 dI/dt 或 dV/dt 越大。

随着上升边减小,噪声问题必然增加,并且更难以解决。而且,所有电子产品中的上升边将持续缩短,这是电子产业的一般趋势。当前没有问题的同一个设计,在下一代设计中(例如采用下一代工艺的芯片,其指令操作的上升边更短)就可能出现致命的问题。所以说“设计师可以分成两类,一类已经遇到了信号完整性问题,另一类即将遇到信号完整性问题。”

第二个重要推论是,解决信号完整性的有效办法在很大程度上基于对互连线阻抗的理解。如果对阻抗有清晰的直觉认识,而且能把互连线的物理设计与互连线阻抗联系起来,那么在设计过程中就能消除许多信号完整性问题。

因此,本书单辟一章,重点从直觉的和工程的角度来理解阻抗的含义。还有许多其他章节讲述互连线的物理设计如何影响信号和电源分配系统感受到的阻抗。

1.7 电子产品的趋势

对过去十多年的当地计算机销售情况加以调查,就会对计算机性能的飞速进步有很深刻的印象。衡量性能的一个指标是处理器芯片的时钟频率。图 1.13 说明了 Intel 处理器芯片的发展趋势:时钟频率大约每两年翻一番。

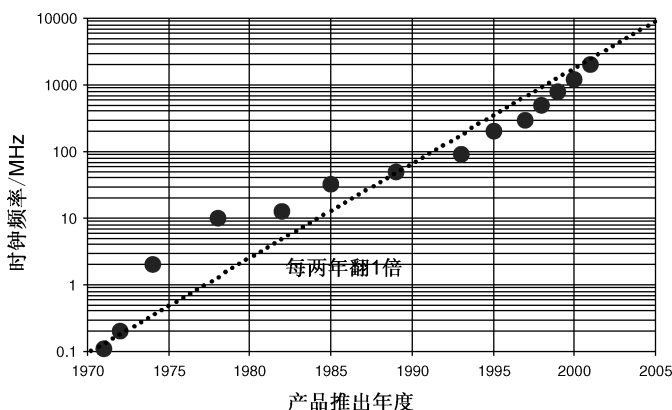


图 1.13 Intel 处理器时钟频率基于产品推出年度的历史趋势:时钟频率每两年翻一番

与半导体革命的趋势一样,时钟频率越来越高的趋势都是由同一种技术——光刻法所引起的。由于能够生产更小尺寸的晶体管门沟道长度,晶体管的开关速度提高了。沟道长度越短,电子与空穴移动距离就越短,且能在更短时间内通过门并引起状态转变。

当提到 $0.18\ \mu\text{m}$ 或 $0.13\ \mu\text{m}$ 的技术阶段时,实际上是指能够制造的最小沟道长度。晶体管沟道长度越小,开关时间就越短,这给信号完整性带来两个重要的影响。

一个时钟周期所需的最小时间受在这个周期里需要执行的所有操作的限制。通常制约最小时间的主要因素有 3 个:所有开关门必要的固有开关时间;信号经系统互连线传播到所有开关门的时间;所有门读取输入信号所需的建立和保持时间。

在基于单芯片微处理器的系统中(如个人电脑),影响系统最小周期时间的主导因素是晶体管的开关速度。如果开关时间减小,那么最小周期就会减少。这是系统时钟频率随芯片特征尺寸的减小而不断提高的主要原因。

提示 随着晶体管特征尺寸持续缩小,上升边必然持续减小,并且时钟频率也必然持续提高。

基于预计的特征尺寸缩减,从 2001 年起,半导体工业协会(Semiconductor Industry Association, SIA)对未来的片上时钟频率进行了规划,即半导体国际技术发展蓝图(International Technology Roadmap for Semiconductors, ITRS),图 1.14 将这个蓝图与 Intel 处理器的发展趋势图进行了比较。从图中可以看出,未来 15 年间,时钟频率的增长速率有轻微下降,但时钟频率仍持续增长。

由于时钟频率的提高,信号的上升边必须减小。这是因为,读取数据线或时钟线的门,需要足够的时间读出信号,以正确判断信号处于高电平还是低电平状态。

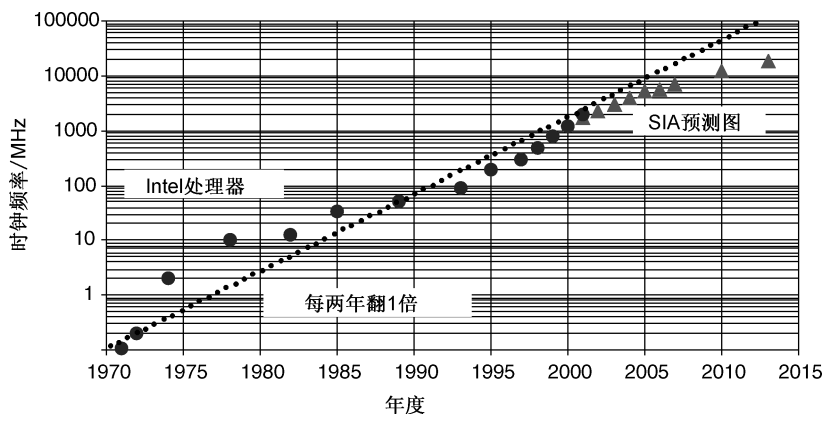


图 1.14 Intel 处理器时钟频率基于推出年度的历史趋势：时钟频率每两年翻一番；图中也显示了SIA的发展蓝图

这就意味着只有很短的时间留给信号切换。无论是上升边还是下降边，通常测量的切换时间为终值的 10%~90% 这段时间，称为 10%~90% 上升边。一些定义中使用终值的 20%~80% 切换点，这个上升边称为 20%~80% 上升边。图 1.15 为典型的时钟波形和分配的切换时间。在大多数高速数字系统中，分配的上升边大约为时钟周期的 10%。基于这一推论，上升边与时钟频率的关系近似为

$$RT = \frac{1}{10 \times F_{\text{clock}}}$$

(1.1)

其中，RT 表示上升边(单位为 ns)， F_{clock} 表示时钟频率(单位为 GHz)。

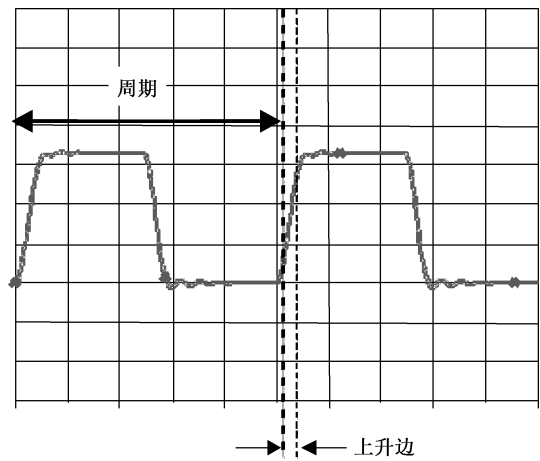


图 1.15 典型的时钟波形的 10%~90% 上升边大约为周期的 10%，横轴每格表示 2 ns，纵轴每格表示1 V。以上结果由Mentor Graphics的Hyperlynx仿真得到

例如，当时钟频率为 1 GHz 时，信号的上升边约为 0.1 ns 或 100 ps；当时钟频率为 100 MHz 时，上升时间约为 1 ns，图 1.16 显示了这种关系。

提示 时钟频率持续提高，意味着上升边不断下降，信号完整性问题变得难以解决。

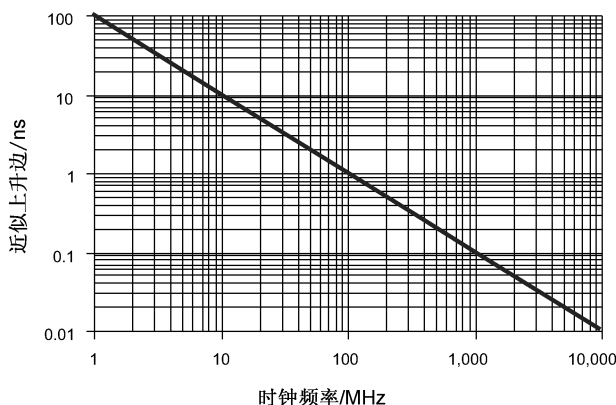


图 1.16 上升边随时钟频率的升高而降低。当上升边小于 1 ns 或时钟频率高于 100 MHz 时,通常会出现信号完整性问题

即使产品的时钟频率很低,仍然存在芯片技术发展而导致的直接后果——更短的上升边所带来的隐患。为了提高总产量,芯片制造厂(通常称为“fab”)正在努力使生产工艺中的所有硅圆片标准化。芯片尺寸越小,每个硅圆片上就能放下更多的芯片,从而使每个芯片的成本更低。即使这个芯片用于低速产品,它也可能是与先进的 ASIC 在一条生产线上制造的,与 ASIC 有同样小的特征尺寸。

这样,成本最低的芯片可能具有较短的上升边,即使芯片在具体应用中并不需要如此,这是一个出乎意料却又令人担忧的结果。如果设计了一个芯片,把它装在产品中,它的上升边为 2 ns,时钟频率为 50 MHz,这时也许没有信号完整性问题。如果芯片供应商更新芯片生产线,使生产工艺具有更好的特性,就可能给你提供成本较低的芯片。你可能认为这笔生意很合算,然而这些成本较低的芯片的上升边可能为 1 ns。这更短的上升边可能引起反射噪声、过量的串扰和轨道塌陷,这些问题可能通不过联邦通信委员会(Federal Communications Commission, FCC)的电磁干扰认证测试。虽然你的产品时钟频率没有变化,但你并不知道,由于特性更好的新的生产工艺,生产商提供的芯片的上升边已经减小了。

提示 由于所有芯片制造厂商都转而采用成本更低、特性更好的生产工艺,生产出来的芯片的上升边更短了;尽管时钟频率低于 50 MHz,但产品中仍可能发生信号完整性问题。

不仅微处理器的时钟频率日益提高及上升边日益减小,而且高速电信产品中的数据传输率和时钟频率正在超过微处理器的时钟频率。

用来定义高速串行速度的最常见规范之一是光载波,或称 OC,这实际上是指数据传输率,即 OC-1 相当于 50 Mbps 的数据传输率。OC-48 相应的数据传输率为 2.5 Gbps,已得到了广泛应用。OC-192 相当于 10 Gbps,正在推广中。在不久的将来,OC-768 即 40 Gbps 将得到广泛使用。

OC 标号是数据传输率而不是时钟频率的规范,系统的实际时钟频率可能高于或低于数据传输率,这取决于数据流中对每一位(bit)的编码情况。

例如,如果每个时钟周期编码一位数据,那么实际的时钟频率等于数据传输率;如果在一个时钟周期可以编码两位数据,那么用 1.25 GHz 的时钟就可以得到 2.5 Gbps 的数据传输率。

对于同样的时钟频率，数据流中用在纠错和数据头中的位数越多，数据传输率就越低。

为了使信号完整性问题最小，应该使用最低的时钟频率和最长的上升边。这使人们越来越倾向于使用多层信令和多信号线并行，以便在每个时钟周期内编码 4 ~ 8 位数据。这种根据幅度进行位编码的技术称为脉冲幅度调制(pulse amplitude module, PAM)。

根据这些提示，这里给出一般的经验法则：大多数高速串行链路都在一个时钟内编码两个数据位。高速串行链路的时钟频率可以近似为数据率的一半。趋势明确地朝着更高的数据率方向发展，在不久的将来，高速串行链路将普遍采用 10 GHz 的时钟传输 20 Gbps 的数据率。10 GHz 时钟信号的整个周期只有 100 ps，这就要求上升边必须远小于 20 ps。这是一个很短的上升边，需要极其细心地设计操作。

高速串行链接并不仅仅局限于电信应用中，所有高速数字总线将很快转向接近或超过 1 GHz 的时钟频率。针对一般的板级高速数字产品的数据流，已经提出了许多高速串行总线。无论其起始比特率是多少，它们都有一个三代的发展路线，在两代之间基本上是翻一番，如下所列：

- 2.5 ~ 5 Gbps 及 8 Gbps 的 PIC-express
- 2.5 ~ 5 Gbps 及 10 Gbps 的无限频段(Infiniband)
- 1.25 ~ 2.5 Gbps 及 5 Gbps 的串行 ATA
- 3.125 ~ 6.25 Gbps 的 XAUI
- 1 ~ 10 Gbps 的千兆比特以太网

1.8 新设计方法学的必要性

这里已经描绘了一幅令人担忧的未来前景，其形势分析如下：

- 信号完整性问题会阻碍高速数字产品的正确操作；
- 这些问题由较短的上升边和较高的时钟频率直接引起；
- 上升边将不可避免地继续变短，时钟频率也将继续提高；
- 即使限制时钟频率，使用低成本进行芯片制造就意味着甚至是低速系统中也会有上升边非常短的芯片；
- 生产设计周期变短，产品上市时间更快，必须首件成功。

那么我们将能做些什么？在这个新时代，应如何有效地设计出高速产品？在过去 10 MHz 时钟系统的时代里，当互连线还是透明的时候，我们没必要担心信号完整性效应。即使忽略信号完整性，也可以侥幸成功地设计出可用的产品。但在现今的产品中，忽略信号完整性会引起进度表推迟、开发费用提高并有可能永远无法制造出可用的产品。

设计一个产品，如果从一开始就有额外的投入，往往比到后来试图修改它能有更多利润。在产品的生命周期中，在市场中的前 6 个月通常是最有利润的。如果你的产品上市比别人晚，就可能失去产品生命周期利润中很重要的那部分。时间就是金钱。

提示 需要一种新的产品设计方法来确保在产品生命周期中尽早地确定并消除产品的信号完整性问题。为了满足越来越短的设计周期时间，产品必须一开始就符合性能指标。