

集成电路系列丛书·集成电路制造

三维集成电路制造技术

主 编：王文武

副主编：罗 军

霍宗亮

杨 涛

殷华湘

李俊峰

李永亮

曹立强

刘丰满

王晓磊

電子工業出版社

Publishing House of Electronics Industry

北京·BEIJING

内 容 简 介

目前, 集成电路器件特征尺寸越来越接近物理极限, 集成电路技术已朝着三维集成、提升性能/功耗比的新技术路线发展。本书立足于全球集成电路技术发展的趋势和技术路线, 结合中国科学院微电子研究所积累的研究开发经验, 系统介绍了三维集成电路制造工艺、FinFET 和纳米环栅器件、三维 NAND 闪存、新型存储器件、三维单片集成、三维封装等关键核心技术。

本书注重技术的前瞻性和内容的实用性, 可供集成电路制造领域的科研人员和工程技术人员阅读使用, 也可作为高等学校相关专业的教学用书。

未经许可, 不得以任何方式复制或抄袭本书之部分或全部内容。
版权所有, 侵权必究。

图书在版编目 (CIP) 数据

三维集成电路制造技术 / 王文武主编. —北京: 电子工业出版社, 2022. 7

(集成电路系列丛书. 集成电路制造)

ISBN 978-7-121-43902-5

I. ①三… II. ①王… III. ①集成电路工艺 IV. ①TN405

中国版本图书馆 CIP 数据核字 (2022) 第 123709 号

责任编辑: 张 剑 柴 燕 特约编辑: 田学清

印 刷:

装 订:

出版发行: 电子工业出版社

北京市海淀区万寿路 173 信箱 邮编 100036

开 本: 720×1000 1/16 印张: 23.5 字数: 489 千字

版 次: 2022 年 7 月第 1 版

印 次: 2022 年 7 月第 1 次印刷

定 价: 139.00 元

凡所购买电子工业出版社图书有缺损问题, 请向购买书店调换。若书店售缺, 请与本社发行部联系, 联系及邮购电话: (010)88254888, 88258888。

质量投诉请发邮件至 zllts@phei.com.cn, 盗版侵权举报请发邮件至 dbqq@phei.com.cn。

本书咨询联系方式: zhang@phei.com.cn。

“集成电路系列丛书”编委会

主 编：王阳元

副主编：李树深 吴汉明 周子学 刁石京

许宁生 黄 如 丁文武 魏少军

赵海军 毕克允 叶甜春 杨德仁

郝 跃 张汝京 王永文

编委会秘书处

秘 书 长：王永文（兼）

副秘书长：罗正忠 季明华 陈春章 于燮康 刘九如

秘 书：曹 健 蒋乐乐 徐小海 唐子立

出版委员会

主 任：刘九如

委 员：赵丽松 徐 静 柴 燕 张 剑

魏子钧 牛平月 刘海艳

“集成电路系列丛书·集成电路制造”编委会

主 编：赵海军

副 主 编：吴汉明 季明华 罗正忠

责任编辑：卜伟海

编 委：陈南翔 陈向东 龚 正 霍宗亮

刘英坤 邵 华 王文武 王跃林

许 军 俞少峰

电子工业出版社版权所有
盗版必究

“集成电路系列丛书” 主编序言

培根之土 润苗之泉 启智之钥 强国之基

王国维在其《蝶恋花》一词中写道：“最是人间留不住，朱颜辞镜花辞树”，这似乎是人世间不可挽回的自然规律。然而，人们还是通过各种手段，借助各种媒介，留住了人们对时光的记忆，表达了人们对未来的希冀。

图书，尤其是纸版图书，是数量最多、使用最悠久的记录思想和知识的载体。品《诗经》，我们体验了青春萌动；阅《史记》，我们听到了战马嘶鸣；读《论语》，我们学习了哲理思辨；赏《唐诗》，我们领悟了人文风情。

尽管人们现在可以把律动的声像寄驻在胶片、磁带和芯片之中，为人们的感官带来海量信息，但是图书中的文字和图像依然以它特有的魅力，擘画着发展的总纲，记录着胜负的苍黄，展现着感性的豪放，挥洒着理性的张扬，凝聚着色彩的神韵，回荡着音符的铿锵，驰骋着心灵的激越，闪烁着智慧的光芒。

《辞海》把书籍、期刊、画册、图片等出版物的总称定义为“图书”。通过林林总总的“图书”，我们知晓了电子管、晶体管、集成电路的发明，了解了集成电路科学技术、市场、应用的成长历程和发展规律。以这些知识为基础，自20世纪50年代起，我国集成电路技术和产业的开拓者踏上了筚路蓝缕的征途。进入21世纪以来，我国的集成电路产业进入了快速发展的轨道，在基础研究、设计、制造、封装、设备、材料等各个领域均有所建树，部分成果也在世界舞台上拥有一席之地。

为总结昨日经验，描绘今日景象，展望明日梦想，编撰“集成电路系列丛

书”（以下简称“丛书”）的构想成为我国广大集成电路科学技术和产业工作者共同的夙愿。

2016年，“丛书”编委会成立，开始组织全国近500名作者为“丛书”的第一部著作《集成电路产业全书》（以下简称《全书》）撰稿。2018年9月12日，《全书》首发式在北京人民大会堂举行，《全书》正式进入读者的视野，受到教育界、科研界和产业界的热切欢迎和一致好评。其后，《全书》英文版 *Handbook of Integrated Circuit Industry* 的编译工作启动，并决定由电子工业出版社和全球最大的科技图书出版机构之一——施普林格（Springer）合作出版发行。

受体量所限，《全书》对于集成电路的产品、生产、经济、市场等，采用了千余字“词条”描述方式，其优点是简洁易懂，便于查询和参考；其不足是因篇幅紧凑，不能对一个专业领域进行全方位和详尽的阐述。而“丛书”中的每部专著则因不受体量影响，可针对某个专业领域进行深度与广度兼容的、图文并茂的论述。“丛书”与《全书》在满足不同读者需求方面，互补互通，相得益彰。

为了更好地组织“丛书”的编撰工作，“丛书”编委会下设了12个分卷编委会，分别负责以下分卷：

- ☆ 集成电路系列丛书·集成电路发展史论和辩证法
- ☆ 集成电路系列丛书·集成电路产业经济学
- ☆ 集成电路系列丛书·集成电路产业管理
- ☆ 集成电路系列丛书·集成电路产业教育和人才培养
- ☆ 集成电路系列丛书·集成电路发展前沿与基础研究
- ☆ 集成电路系列丛书·集成电路产品、市场与投资
- ☆ 集成电路系列丛书·集成电路设计
- ☆ 集成电路系列丛书·集成电路制造
- ☆ 集成电路系列丛书·集成电路封装测试

- ☆ 集成电路系列丛书·集成电路产业专用装备
- ☆ 集成电路系列丛书·集成电路产业专用材料
- ☆ 集成电路系列丛书·化合物半导体的研究与应用

2021年，在业界同仁的共同努力下，约有10部“丛书”专著陆续出版发行，献给中国共产党百年华诞。以此为开端，2021年以后，每年都会有纳入“丛书”的专著面世，不断为建设我国集成电路产业的大厦添砖加瓦。到2035年，我们的愿景是，这些新版或再版的专著数量能够达到近百部，成为百花齐放、姹紫嫣红的“丛书”。

在集成电路正在改变人类生产方式和生活方式的今天，集成电路已成为世界大国竞争的重要筹码，在中华民族实现复兴伟业的征途上，集成电路正在肩负着新的、艰巨的历史使命。我们相信，无论是作为“集成电路科学与工程”一级学科的教材，还是作为科研和产业一线工作者的参考教材，“丛书”都将成为满足培养人才急需和加速产业建设的“及时雨”和“雪中炭”。

科学技术与产业的发展永无止境。当2049年中国实现第二个百年奋斗目标时，后来人可能会在21世纪20年代书写的“丛书”中发现这样或那样的不足，但是，他们仍会在“丛书”著作的严谨字句中，看到一群为中华民族自立自强做出奉献的前辈们的清晰足迹，感触到他们在质朴立言里涌动的满腔热血，聆听到他们的圆梦之心始终跳动不息的声音。

书籍是学习知识的良师，是传播思想的工具，是积淀文化的载体，是人类进步和文明的重要标志。愿“丛书”永远成为培育我国集成电路科学技术生根的沃土，成为润泽我国集成电路产业发展的甘泉，成为启迪我国集成电路人才智慧的金钥，成为实现我国集成电路产业强国之梦的基因。

编撰“丛书”是浩繁卷帙的工程，观古书中成为典籍者，成书时间跨度逾十年者有之，涉猎门类逾百种者亦不乏其例：

《史记》，西汉司马迁著，130卷，526500余字，历经14年告成；

《资治通鉴》，北宋司马光著，294卷，历时19年竣稿；

《四库全书》，36300册，约8亿字，清360位学者共同编纂，3826人抄写，耗时13年编就；

《梦溪笔谈》，北宋沈括著，30卷，17目，凡609条，涉及天文、数学、物理、化学、生物等各个门类学科，被评为“中国科学史上的里程碑”；

《天工开物》，明宋应星著，世界上第一部关于农业和手工业生产的综合性著作，3卷18篇，123幅插图，被誉为“中国17世纪的工艺百科全书”。

这些典籍中无不蕴含着“学贵心悟”的学术精神和“人贵执着”的治学态度。这正是我们这一代人在编撰“丛书”过程中应当永续继承和发扬光大的优秀传统。希望“丛书”全体编委以前人著书之风范为准绳，持之以恒地把“丛书”的编撰工作做到尽善尽美；为丰富我国集成电路的知识宝库不断奉献自己的力量；让学习、求真、探索、创新的“丛书”之风一代一代地传承下去。

王阳元

2021年7月1日于北京燕园

前 言

集成电路是电子信息产业的基础，已成为衡量一个国家或地区综合竞争力的重要标志。近 60 年来，集成电路以微缩的方式保持着晶体管集成数量大约每两年翻一番的发展速度，从而支撑着电子信息产业乃至全球经济的快速发展。在以人工智能、移动通信、大数据、物联网等为代表的新一代信息技术发展趋势中，基于新型材料与器件创新的集成电路技术仍是不可或缺的强大基石，以满足对高效能计算、大容量存储、极低功耗通信的需求。未来，集成电路技术仍将持续演进，器件尺寸微缩、三维集成以及架构创新等，将推动芯片能效比持续提高，从而带来计算能力指数级提升和网络应用爆发式增长。

为了助力我国集成电路领域的人才培养，对广大科研和产业一线工作者提供有益参考，我们撰写了本书，以期分享在三维集成电路制造技术方面积累的研究和开发经验，以及在前沿技术探索和研究生教育中的实践感悟。

本书注重技术的前瞻性和内容的实用性。首先，本书立足于全球集成电路技术发展的趋势和路线图，并结合最新的文献报道，对目前主流的逻辑和存储技术，以及未来的发展趋势做出了详细介绍。其次，结合编者前期的研发经验，本书详细介绍工艺流程和器件结构，以期打通从书本知识到工程实践的“最后一公里”。本书第 1 章对全书内容进行了概述，并提供了集成电路制造工艺与器件领域的文献资料 and 研究报告链接，以期帮助读者在本书出版后可以继续获得最新技术的更新。第 2 章全面介绍了模型仿真、图形化、薄膜、刻蚀、离子注入与热退火、清洗、化学机械平坦化等集成电路工艺技术的原理、应用和挑战。第 3 章和第 4 章分别介绍了目前主流逻辑芯片制造中使用的 FinFET 和纳米环栅器件涉及的关键工艺技术和重要挑战。第 5 章和第 6 章围绕三维 NAND 闪存和新型存储器件，分别介绍了先进存储技术中的关键工艺模块、发展现状及技术挑战。最后，面向未来集成电路三维集成发展路径，第 7 章和第 8 章中分别介绍了三维单片集成和三维封装技术，探讨了高性能、低功耗的器件级和系统级集成创新方法。

本书的编写得到了分卷主编赵海军博士、分卷责任编委卜伟海博士的关切与指导，特别是在组织编撰和沟通协调方面给予了极大支持，并对本书撰写原则和内容提出了宝贵的意见和建议。此外，还要感谢吴汉明院士、季明华博士、罗正忠教授、卜伟海博士 4 位专家的认真审查，以及提出的非常细致、有建设性的修改意见，这为本书的专业性、严谨性提供了保障。

本书由王文武担任主编，罗军、殷华湘、曹立强、霍宗亮、李俊峰、刘丰满、杨涛、李永亮和王晓磊担任副主编。本书的出版还得到了中国科学院微电子研究所集成电路先导工艺研发中心、系统封装与集成研发中心、新技术开发部等部门的大力支持，同时感谢以下同事的付出和努力：王启东、王桂磊、毛淑娟、卢一泓、白国斌、刘金彪、孙鹏、李俊杰、张欣、张永奎、张青竹、周娜、项金娟、洪培真、姚大平、贺晓彬、徐昊、高建峰、熊文娟、戴风伟。

由于集成电路发展日新月异，编者时间和水平有限，因此书中难免存在不足和疏漏之处，欢迎读者批评指正。

编 者

电子工业出版社版权所有
盗版必究

.....☆☆☆作者简介☆☆☆.....

王文武博士，现任中国科学院微电子研究所副所长、研究员、博士生导师。2006年于日本东京大学获得工学博士学位。长期致力于集成电路先进工艺与器件技术研究，带领团队参与了22nm、14nm、5nm工艺集成电路先导技术研发工作，获中国科学院杰出科技成就奖（研究集体）、北京市科学技术一等奖、中国电子信息科技创新团队奖、国务院政府特殊津贴等科技奖励和荣誉。先后主持多项国家级科研任务，包括国家科技重大专项、863计划、国家自然科学基金重大科研仪器研制/重点/面上等项目（课题）。在IEEE EDL/TED、APL等国际权威期刊、会议上发表学术论文200多篇，授权发明专利57项。担任国家“极大规模集成电路制造装备及成套工艺”科技重大专项专家组成员，国家重点研发计划“重大科学仪器设备开发”重点专项专家组成员，智能传感功能材料国家重点实验室学术委员会委员，北京集成电路装备创新中心专家委员会特聘专家等。

目 录

第 1 章 绪论	1
1.1 集成电路发展历程	1
1.1.1 晶体管的发明	1
1.1.2 集成电路	2
1.1.3 摩尔定律和 PPAC	3
1.1.4 技术代演化	6
1.2 三维集成技术发展趋势	8
1.2.1 先进制造技术	8
1.2.2 新型三维逻辑器件	9
1.2.3 新型三维存储器件	10
1.2.4 三维封装技术	10
1.3 三维集成技术面临的挑战	11
1.4 阅读指引	12
参考文献	13
第 2 章 三维集成电路制造基础	15
2.1 三维器件模型	15
2.2 三维器件光刻工艺	16
2.2.1 光刻工艺原理	16
2.2.2 先进光刻工艺在三维器件集成中的应用	22
2.2.3 光刻工艺在三维器件集成中面临的挑战	26
2.3 三维器件薄膜工艺	30
2.3.1 薄膜工艺种类及原理	30
2.3.2 薄膜工艺在三维器件集成中的应用	35
2.3.3 薄膜工艺在三维器件集成中面临的挑战	39
2.4 三维器件刻蚀工艺	41
2.4.1 刻蚀工艺原理	41
2.4.2 刻蚀工艺在三维器件集成中的应用	45
2.4.3 刻蚀工艺在三维器件集成中面临的挑战	46
2.5 三维器件离子注入与热退火工艺	49

2.5.1	离子注入与热退火原理	49
2.5.2	离子注入与热退火工艺在三维器件集成中的应用	50
2.5.3	离子注入与热退火工艺在三维器件集成中面临的挑战	55
2.6	三维器件清洗工艺	56
2.6.1	清洗及湿法刻蚀工艺原理	56
2.6.2	清洗工艺在三维器件集成中的应用	58
2.6.3	清洗工艺在三维器件集成中面临的挑战	60
2.7	三维器件化学机械平坦化工艺	61
2.7.1	化学机械平坦化工艺原理	61
2.7.2	化学机械平坦化工艺在三维器件集成中的应用	62
2.7.3	化学机械平坦化工艺在三维器件集成中面临的挑战	66
	参考文献	67
第3章	三维 FinFET 器件技术	71
3.1	三维 FinFET 器件	71
3.1.1	器件原理	72
3.1.2	结构与工艺仿真	74
3.2	三维 FinFET 关键技术模块	83
3.2.1	体硅 Fin 制备工艺	84
3.2.2	浅槽隔离	85
3.2.3	三维栅极与侧墙结构	87
3.2.4	外延与沟道应变工程	90
3.2.5	三维高 κ 金属栅技术	93
3.2.6	低阻接触技术	96
3.3	集成工艺与特性优化	99
3.3.1	工艺集成与器件特性	99
3.3.2	特性优化技术	103
3.4	新型 FinFET 器件	110
3.4.1	体硅介质隔离 FinFET 器件	110
3.4.2	S-FinFET 器件	118
	参考文献	123
第4章	纳米环栅器件技术	125
4.1	纳米环栅器件	126
4.1.1	水平堆叠纳米环栅器件	126
4.1.2	其他纳米环栅器件	129
4.2	纳米环栅器件关键技术模块	135

4.2.1	多周期叠层外延技术	135
4.2.2	内侧墙技术	136
4.2.3	沟道释放技术	141
4.2.4	沟道应变技术	145
4.2.5	源漏接触技术	147
4.2.6	自对准栅极技术	148
4.3	纳米环栅器件集成工艺	151
4.3.1	水平堆叠纳米环栅器件集成工艺	151
4.3.2	工艺波动影响	158
4.3.3	多阈值调控	161
4.3.4	高迁移率沟道纳米环栅器件集成工艺	166
4.3.5	垂直纳米环栅器件集成工艺	169
	参考文献	171
第5章	三维 NAND 闪存技术	177
5.1	三维 NAND 闪存器件及结构	179
5.1.1	NAND 闪存器件原理	179
5.1.2	平面 NAND 闪存器件发展的挑战	182
5.1.3	三维 NAND 闪存结构设计	188
5.2	集成工艺及关键技术模块	193
5.2.1	层膜沉积和台阶工艺	193
5.2.2	沟道孔模块	197
5.2.3	隔离模块	201
5.2.4	接触孔模块	206
5.2.5	三维 NAND 集成工艺	208
5.3	三维 NAND 工作特性及可靠性	210
5.3.1	三维 NAND 工作特性	210
5.3.2	三维 NAND 可靠性	218
5.4	三维 NAND 国内外进展	220
5.4.1	国外三维 NAND 存储器的研究现状	220
5.4.2	国内三维 NAND 存储器的研究现状	221
	参考文献	222
第6章	三维新型存储技术	233
6.1	三维 RRAM 集成技术	233
6.1.1	RRAM 的器件结构及工作原理	234
6.1.2	三维 RRAM 的发展现状	237

6.1.3	三维 RRAM 的技术挑战与展望	240
6.2	三维 MRAM 集成技术	243
6.2.1	MRAM 的器件结构及工作原理	243
6.2.2	三维 MRAM 的发展现状	247
6.2.3	三维 MRAM 的技术挑战与展望	248
6.3	三维 PCRAM 集成技术	249
6.3.1	三维 PCRAM 的器件结构及工作原理	249
6.3.2	三维 PCRAM 的发展现状	252
6.3.3	三维 PCRAM 的技术挑战与展望	256
6.4	三维 DRAM 集成技术	257
6.4.1	DRAM 的器件结构及工作原理	257
6.4.2	三维 DRAM 的发展现状	258
6.4.3	三维 DRAM 的技术挑战与展望	260
	参考文献	262
第 7 章	三维单片集成技术	269
7.1	三维单片集成	270
7.1.1	三维单片集成的概念	270
7.1.2	三维单片集成的发展历程	273
7.1.3	三维单片集成的技术挑战	277
7.2	三维单片同质集成技术	280
7.2.1	片上晶圆键合工艺	280
7.2.2	片上低温 CMOS 集成与热预算管理技术	282
7.2.3	三维电路设计与层间布局技术	290
7.3	三维单片异质集成技术	294
7.3.1	片上异质材料沉积工艺	294
7.3.2	片上逻辑与存储器件	300
7.3.3	片上异质集成技术	304
7.4	新型三维集成系统	306
	参考文献	311
第 8 章	三维封装技术	317
8.1	Si 基转接板及 2.5D/3D 封装技术	318
8.1.1	2.5D TSV 转接板制造技术	320
8.1.2	有源 TSV 转接板技术	327
8.1.3	CoWoS 技术	330
8.1.4	Foveros 封装技术	331

8.1.5 SoIC 技术	332
8.2 晶圆级扇外型封装技术	335
8.2.1 晶圆级扇外型封装技术的形成与发展	335
8.2.2 晶圆级扇外型封装的技术挑战	336
8.2.3 嵌入式晶圆级球栅阵列封装技术	342
8.2.4 集成晶圆级扇外型封装技术	344
8.2.5 Si 基埋入式扇外型封装技术	345
8.2.6 异质集成扇外型封装技术	346
8.3 基板及埋入封装技术	347
8.3.1 细线路基板技术	348
8.3.2 基板埋入技术	351
8.3.3 基板扇出技术	356
参考文献	359

电子工业出版社版权所有
盗版必究

第 1 章

绪 论

集成电路是电子信息产业的基础，自 20 世纪 50 年代诞生以来，已经逐渐成为衡量一个国家或地区综合竞争力的重要标志。目前，以美国、韩国、中国台湾等国家和地区的企业为代表的集成电路先进技术节点已经发展到 5nm 及以下，相比之下，我国大陆地区最先进的芯片制造技术是 14nm 技术节点，较国际顶尖水平落后 3 代。为了促进我国集成电路技术的发展，我们编写了本书，期望可以为集成电路领域的科研人员、专业技术人员和研究生提供借鉴和参考。据此，绪论部分将从集成电路发展历程、三维集成技术发展趋势，以及面临的挑战予以综述，并在最后对本书的整体内容进行概述。

1.1 集成电路发展历程

1.1.1 晶体管的发明

晶体管是集成电路的基础，在集成电路发展史中发挥了重要作用。晶体管是一种可以放大电子信号的半导体器件，其命名人是贝尔实验室（Bell Telephone Laboratories）的皮尔逊（Gerald Pearson），其英文名来源于跨导和变阻器的英文缩写组合。

历史上第一个关于晶体管的专利，是由物理学家林费尔德（Julius Edgar Lilienfeld）于 1925 年 10 月 22 日在加拿大申请的^[1]，但他并没有发表过与该器件相关的论文，因此，该专利也没有得到工业界的广泛关注。

第一个晶体管是由贝尔实验室的科学家们发明的^[2]。在 20 世纪 30 年代，贝尔实验室的科学家们尝试将超高频波应用于电话通信，而当时作为探测元件的真空管无法在高频下工作，因此，他们开始探索半导体材料 Si 的特性。巴丁（John Bardeen）、布拉顿（Walter Houser Brattain）和肖克利（William Shockley）在贝

尔实验室发明了一种新的信号放大方法：在半导体探测器上增加第三个电极，用来控制通过 Si 的电流。该器件可以实现与真空管相同的放大作用，并且只需要极低的功耗和极小的器件尺寸。

最初，为了抑制 Si 的凝结过程，布拉顿在水中进行了实验，意外地实现了很高的放大效果；但是在使用蒸馏水替代水后，观察到的放大效果却又变得很小。巴丁和布拉顿在此鼓舞下，又对不同的材料和条件进行了实验，发现在 Ge 中可以实现更高的放大效果。但是，Ge 只适用于极低频率，不能满足电话通信应用的需要。此后，他们尝试用 Ge 氧化物代替液体进行实验，又是一次意外的发现，当他们不小心去除氧化层后，实现了电压放大效果，这是因为接触电极穿透 Ge 后消除了表面电子的阻碍效果。1947 年 12 月 16 日，布拉顿和巴丁实验成功点接触型 Ge 三极管，这是世界上第一个晶体管。

1956 年，贝尔实验室的巴丁、布拉顿和肖克利被授予诺贝尔物理学奖，以向“their researches on semiconductors and their discovery of the transistor effect”致敬^[3]。此外，基于上述工作，巴丁建立了量子力学的重要分支——表面物理的研究。

肖克利等人也曾尝试通过调制半导体的导电性能制造场效应控制的放大器件，但是由于表面态等问题而放弃。后来，贝尔实验室的阿特拉（Mohamed Atalla）和康（Dawon Kahng）在 1959 年发明了金属-氧化物-半导体（Metal-Oxide-Semiconductor, MOS）结构，促使场效应晶体管在集成电路制造中广泛应用^[4]。

1.1.2 集成电路

通过在单片半导体衬底上集成制造大量的晶体管、二极管、电阻器、电容器等元器件，可以实现完整功能的复杂电路，即集成电路。与分立元件的形成电路相比，集成电路能够极大地降低成本、提升可靠性，因此，其获得了显著的应用优势，已经成为电子信息产业的基础。

将几个元器件集成为一个特定功能器件的方法最早可以追溯到 1920 年的一种真空管，但是其设计初衷并不是电路的集成化，而是由于当时德国的无线接收器是按照真空管的数量来收取税费的，集成在一个真空管中可以实现“避税”。最早的集成电路的概念是在 1949 年提出的，德国工程师雅各比（Werner Jacobi）申请了一项半导体放大器专利^[5]，采用电路集成的理念设计了一种包含 5 个晶体管的三级放大器。雅各比在专利中提出该放大器可以用于制造小型、低价的助听器，但是这个设计并没有很快得到应用。

集成电路早期概念的另一位提出者是英国的雷达科学家杜莫（Geoffrey Dum-

mer)。自1952年起，杜莫公开提出宣传集成电路的想法，并于1956年尝试制造，但是没有成功^[6]。此后，达林顿（Sidney Darlington）和樽井康夫（Yasuro Tarui）又进一步提出了类似的芯片设计，只是此时的集成电路还是非电气隔离的^[7]。

1958年7月，美国得克萨斯州达拉斯市德州仪器公司的基尔比（Jack Kilby）在单片Ge半导体衬底上制造了第一块集成电路。该集成电路包括一个Ge晶体管、电阻等，并通过导线连接在一起。2000年，基尔比因发明集成电路而获得诺贝尔物理学奖^[8]。

集成电路大规模制造的实现还要归功于早期Si工艺技术的发展。美国仙童半导体公司（Fairchild Semiconductor International, Inc.）的赫尔尼（Jean Hoerni）在1959年发明了表面钝化工艺，通过热氧化过程形成稳定的Si表面，为后续集成电路平面制造工艺奠定了基础^[9]。为了让每个晶体管互不影响地工作，贝尔实验室的阿特拉发明了隔离技术^[10]，有效地分离了二极管和晶体管，并在1959年由美国史普拉格电子公司（Sprague Electric Company）的列文虎克（Kurt Lehovec）将该技术应用到单个晶圆上的晶体管隔离^[11]。同年，仙童半导体公司的诺伊斯（Robert Noyce）申请了基于Si平面工艺的集成电路专利^[12]。他在Si表面利用Al金属互连不同的晶体管，同时利用氧化层将Si与金属隔离，这种器件制备方法成为集成电路制造的主流技术。

1959年，贝尔实验室的阿特拉和康发明的MOS场效应晶体管具有易于微缩、低功耗等优点，使高密度集成电路的制造成为可能^[4]，几乎所有现代芯片都是基于MOS场效应晶体管的集成电路。集成电路与分立电路相比，在成本和性能两个方面具有重要优势。一方面，因为芯片及其所有元器件都可以通过图形化在相同条件下批量制备，大大降低了单个元器件的成本，且具有极高的工艺稳定性。另一方面，集成电路具备体积小、开关速度快、功耗低的优点。但是，相对来讲，集成电路的设计和制造对设备要求很高，因此研发和生产的成本很高，这也决定了只有在预期产量很高时，集成电路才具有商业化的可行性。

1.1.3 摩尔定律和PPAC

1965年，时任仙童研究开发主任的摩尔（Gordon Moore）受邀在ELECTRONICS杂志35周年刊上撰文，发表了一篇题为Cramming more components onto integrated circuits的短文章^[13]，对未来十年集成电路产业发展做出了一个疯狂的预测：器件的复杂度或器件密度将随时间指数增长，到1975年，在一个 $1/4\text{in}^2$ （平方英寸 $1\text{in}^2=645.16\text{mm}^2$ ）的半导体上的元器件数量将达到65000个。

在1975年的国际电子器件会议（International Electron Devices Meeting,

IEDM) 上, 已经加入 Intel 公司 (Intel Corporation) 的摩尔对上述发展速度进行了修正^[14], 预测单位面积集成的元器件数量将继续以每年翻倍的速度持续到 1980 年, 而在此之后, 将会略微放缓, 变为每两年翻一番。基于摩尔定律和丹纳德缩放比例定律 (Dennard's Scaling Law), 时任 Intel 执行总裁的豪斯 (David House) 提出了摩尔定律的另外一种表述, 即芯片性能每 18 个月翻一番。

虽然摩尔定律不是通过严谨的逻辑证明的, 但他的预测自 1975 年以来得到了很好的延续和发展, 并被冠以定律之名, 如图 1-1 所示。也可以认为摩尔定律是一种自证预言。无论如何, 摩尔定律已经被半导体行业广泛接受, 指导产业的快速发展, 并翻天覆地地改变了人类的数字生活: 个人计算机运算速度越来越快, 芯片的价格越来越低, 内存容量不断增加, 传感器性能不断改进, 甚至数码相机中像素的数量都按照指数增多。这些信息电子技术对生产力和经济增长提供了强大的推动力, 促进了产业和社会变革。

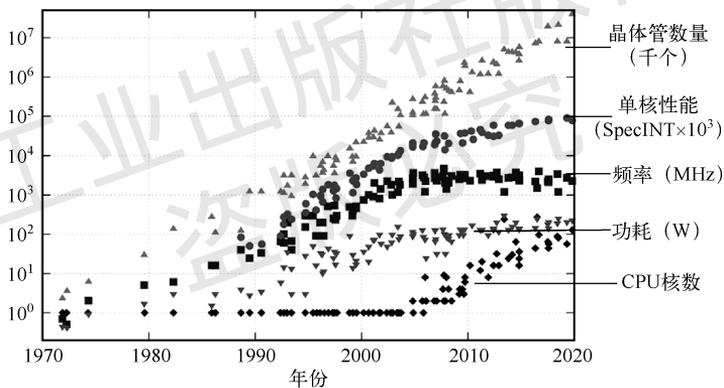


图 1-1 自 1972 年以来的集成电路集成度的发展一直符合摩尔定律^[15]

但是, 摩尔定律在发展过程中也存在危机和挑战。2005 年 4 月, 摩尔曾表示这种预测不可能无限期地持续下去, 必然会陷入“指数陷阱”。随着器件尺寸微缩, 摩尔定律面临着晶体管尺寸存在物理极限的问题。随着器件栅长缩小到 10nm 以下, 特征尺度只有几个原子的长度, 量子力学效应将导致器件功能失效。Intel 公司前首席执行官科再奇 (Brian Krzanich) 在 2015 年提出, 摩尔定律在 1975 年的修订其实就是发展减速的先例, 这是“摩尔定律在发展过程中的自然结果”。因此, 集成电路的产业模式发生了巨大的变化, 由过去自下而上 (指由基本器件性能决定系统产品设计) 的发展理念, 向以应用需求为导向的自上而下的理念转变。

但是, 从微处理器中晶体管数量的发展来看, 摩尔定律仍保持着延续发展态

势。2020年，中国台湾地区的台积电公司（Taiwan Semiconductor Manufacturing Company, TSMC）和韩国的三星电子（Samsung Electronics）公司最先进的制程已经达到5nm。根据2020年的国际器件和系统路线图（International Roadmap for Devices and Systems, IRDS）报告综述^[16]，延续摩尔定律将继续在更优的电路架构、特征尺寸的微缩、高良率和更大的单元基础上发展。报告中提出，延续摩尔定律的目标是在2~3年的时间内实现以下PPAC 4个方面的提升。

（1）性能（Performance, P）：工作频率等效提升15%以上。判断芯片性能的一种通用指标是工作频率/计算速度。器件做得越小，在芯片上放置得越紧密，芯片的速度就越高，这主要是因为通过电路的电信号传输距离变得更短了。此外，也可以通过改变沟道材料、对沟道施加应力等方法来提升计算速度。微处理器芯片性能还可以通过芯片上可执行的指令数来表示，如以每秒百万条指令测算。

（2）功率（Power, P）：在给定性能的条件下，获得30%以上开关能耗的降低。芯片性能的另一个重要方面是在器件工作过程中的功耗。根据丹纳德缩放比例定律的要求，随着器件尺寸缩小，功率密度将不断增大，为了将功率值限制在120~130W范围内，工作频率不能超过6GHz。因此，自2000年以来，集成电路的功耗已成为重要的设计约束，半导体公司将晶体管的设计工作集中于降低功耗。

（3）面积（Area, A）：实现30%以上的芯片特征面积的降低。芯片的特征尺寸可以作为定义制造复杂性的指标，从1992年开始，集成电路先进技术节点的命名通常与最紧密金属层的最小间距尺寸有关。最早的定义为最紧密金属层间距的一半。在20世纪70至90年代的大部分时间里，栅极长度和最紧密的金属层间距尺寸基本相同。因此，可以用节点数字表示其密度和性能特征，随着新一代技术的引入，这些数字减小到上一代相应尺寸的70%。在20世纪90年代末期，消费者对个人计算机的需求对集成电路的发展提出了更高要求。因此，为了响应这些消费者的需求，微处理器技术的引入由3~4年周期加速到2年周期。此外，任何新技术中的栅极长度都被系统地减少到上一代的60%，以便生产出可在更高频率下工作的晶体管。在这个竞争激烈的时期，有一些公司开始对半节距（Half-Pitch）和栅极长度（Gate Length）进行平均，以获得更小数字的技术节点，从而吸引消费者。总体来说，这一个阶段的技术节点的更迭基本符合70%的微缩规律。进入21世纪以后，栅极间距（Gate Pitch）的微缩开始成为电路集成度提升的重要限制。同时，晶体管的微缩发展速度不及90年代，因为晶体管设计的主要重点已从速度转向限制功耗。特别是近几年的发展，节点定义与实际的特征尺寸和面积微缩已经发生了明显的偏离，对于3nm的器件，最紧密的金属间距仍将保持18nm以上。表1-1所示为16nm以下器件微缩特征尺寸微缩预测。

表 1-1 16nm 以下器件微缩特征尺寸微缩预测^[17]

技术代	金属间距/nm	栅极间距/nm
16/14nm	64	90
10nm	45	64
7nm	32	45
5nm	24	30
3nm	18	20

(4) 成本 (Cost, C): 芯片成本增加不超过 30%, 也就是每个芯片单元的成本降低 15% 以上。在 1996 年之前的近 50 年中, 半导体芯片的价格持续下降。例如, 1958 年, 一个质量低劣的 Si 晶体管价值大约为 10 美元, 而现在 10 美元可以买到具有超过两千万个晶体管的芯片。首先, 特征尺寸的减小、Si 晶圆直径的增加, 都有利于将更多芯片同时制备在 Si 衬底上, 从而降低单个芯片的价格。例如, 1997 年, 在 8in Si 晶圆上将特征尺寸从 0.35 μm 减小到 0.25 μm , 芯片的数量就可以由 150 增加到 275, 而从成本的角度来看, 以几乎相同的制造成本可以生产两倍数量的芯片。其次, 价格降低的另一个原因是半导体产品市场的快速增长, 这种增长导致芯片制造公司的产量和经济规模很庞大, 从而可以忽略人员、设备、技术研发等投入在单个芯片上的成本。

为了实现上述微缩目标, 利用了新工艺、新材料、新结构创新, 如应力沟道、高 κ 金属栅、鳍式场效应管 (FinFET) 等, 未来还将通过高迁移率沟道、栅极全环绕场效应晶体管 (Gate-All-Around FET, GAAFET) 等, 进一步推动低功耗、低成本、高集成度、高性能的综合提升, 延续摩尔定律的发展。毫无疑问, 从集成电路功能和性能的综合考虑, 摩尔定律将一直有效。

1.1.4 技术代演化

从集成电路复杂度或规模来看, 早期的集成电路, 由于晶体管和晶圆尺寸的限制, 每个芯片上只有 2000 个晶体管。相比之下, 2020 年单个微处理器芯片上的晶体管数量已经达到数十亿个, 集成度升高了 7 个量级。

从晶体管尺寸微缩角度来看, Si 基平面工艺的发展为集成电路产业打下了坚实基础。自 20 世纪 60 年代以来, 整个集成电路产业在技术创新驱动下按照摩尔定律预测实现了指数级飞速发展。集成电路产业技术创新先后经历了丹纳德缩放比例定律指导的几何微缩, 利用新结构、新材料、新工艺的等效微缩, 以及三维功耗微缩等 3 个阶段。

(1) 几何微缩阶段 (1975—2002 年): 早期的晶体管微缩技术, 通过减小平

面内的器件尺寸，实现晶体管性能的提升。整个半导体电子行业主要在“自下而上”的技术驱动模式下发展，通过开发新的技术节点，提供更高性能的晶体管，从而在保持现有系统架构不变的前提下，提供更大的存储容量和更快的计算速度。在器件集成度每两年翻一番的发展速度下，系统集成的厂商根本无法做到可比拟的性能提升效果，整个行业的进步主要是由器件性能决定的。但是，几何微缩阶段面临着几个基本的限制和挑战，如短沟道效应（Short Channel Effect, SCE）、隧穿泄漏电流等。

(2) 等效微缩阶段（2003—2024年）：在只减小器件水平方向的尺寸的同时，通过引入新材料和新原理，满足摩尔定律的性能提升要求。例如，应力 Si 技术，通过在沟道材料中引入应力，调制能带结构，从而提升载流子迁移率，可以在相同器件尺寸下获得更高的驱动电流；高 κ 金属栅技术，为了解决栅介质厚度微缩带来的漏电问题，通过引入高 κ 介质材料，在相同的等效氧化层厚度（Equivalent Oxide Thickness, EOT）和栅控能力下，栅介质漏电可以降低 3 个量级，有效改善了器件功耗和可靠性；FinFET 技术，通过改变传统的平面器件结构，使用鱼鳍式的多栅结构，可以有效改善短沟道效应，在相同面积下可有效提升器件集成密度；Ge/SiGe 高迁移率沟道材料技术，通过改变沟道材料，进一步提升器件驱动电流。

同时，半导体产业的发展模式也发生了巨大的变化，纯设计和纯代工的合作模式逐渐成为主流，系统集成厂商正逐步掌握技术进步节奏。系统需求从产品设计周期开始就逐渐渗入到产品设计、开发、制造的全链条中。因此，新产品的根本驱动力不再是存储容量和计算速度，而是根据智能互连等应用需求生产出相应的存储和计算元件。

(3) 三维功耗微缩阶段（预计 2025 年及以后）：晶体管演变成完全三维（3-dimension, 3D）的器件结构，通过异质集成和功耗降低实现综合性能的提升。2020 年，器件特征尺寸已经达到几纳米的量级，水平方向的微缩已经达到极限。对器件密度要求较高的存储器件，在 2014 年开始就在垂直方向上进行集成发展。可以借鉴曼哈顿、东京、中国香港等人口密集地区的发展模式，为了解决生存空间的问题，建造高楼大厦是提升集成密度的唯一途径。在集成电路中，可以通过向垂直方向发展，对晶体管进行 3D 堆叠。此外，在 2003—2005 年，丹纳德缩放比例定律指导的集成度和工作频率的快速提升，最终导致芯片功耗超过 100W 的容限，自此转向多核处理器发展，在继续提升晶体管集成度的同时保持工作频率在几吉赫兹的范围内不再提升。这些客观因素决定了未来的集成电路将从 2D 向 3D 方向发展，同时通过优化最大工作频率降低功耗。

1.2 三维集成技术发展趋势

面向未来信息技术的深入发展，预期主要制造技术将继续向着 1nm 及以下技术节点演进，实现集成度的持续攀升和 PPAC 综合发展。通过核心器件的结构创新、三维集成等技术的突破，逐步向完全 3D 的新结构、新技术和新系统过渡，实现系统与工艺的协同优化，推动模拟、功率、感知、光电等混合信号处理的多功能扩展创新。同时，持续发挥关键材料在集成电路技术发展中的重要支柱作用，在衬底材料、关键工艺材料等领域突破创新。

1.2.1 先进制造技术

随着集成电路制造技术的进步，人们已经能制造出电路结构相当复杂、集成度很高、功能各异的集成电路，关键制造技术包括从薄膜生长到图形转移等复杂技术，如器件模拟、光刻、薄膜、刻蚀、离子注入与热退火、清洗及湿法刻蚀、化学机械平坦化（Chemical and Mechanical Planarization, CMP）等。这些工艺技术在几十年的发展过程中不断成熟完善，从微米到几十纳米的器件制备中，都得到了广泛应用，特别是面向三维集成技术的发展需要，集成电路制造技术也在不断创新发展。

- 光刻技术：为了做出尺寸更小的图形，需要不断降低曝光波长和增大光刻机的数值孔径（Numerical Aperture, NA），也可通过多次曝光等先进技术实现。利用具有更高折射系数液体的浸没式光刻技术，将系统的数值孔径增大到 1 以上。通过把一层掩模版上的图形拆分到多个掩模版中，利用多次曝光和刻蚀来实现一层设计的图形，可以实现低于光刻分辨率的更小尺寸图形化。极紫外（Extreme Ultra-violet, EUV）光刻通过形成 13.5nm 波长的极紫外光，可以在降低工艺复杂度的同时，有效提升光刻分辨率，在 7nm 及以下技术节点中将得到广泛应用。
- 薄膜工艺：化学气相沉积（Chemical Vapor Deposition, CVD）方法可以在异质表面生成所需要的薄膜并具有较好的填充性，可以制备常用的绝缘材料、半导体材料、导电材料等。原子层沉积（Atomic Layer Deposition, ALD）由于其自限制的生长特性，能为 CMOS 器件持续微缩发展伴随产生的后栅沟槽填充问题提供最佳的解决方案。外延生长工艺的 $\text{Si}_{1-x}\text{Ge}_x$ 应变技术，已经成为提升器件性能的关键工艺技术。物理气相沉积（Physical Vapor Deposition, PVD）方法仍然是 FinFET 等器件后段薄膜沉积，以及硅

穿孔 (Through Silicon Via, TSV) 技术的有效工艺方法。

- 刻蚀技术：在 FinFET 器件的栅极刻蚀，以及垂直纳米线的沟道尺寸和水平纳米线栅长控制等工艺中，原子层刻蚀 (Atomic Layer Etching, ALE) 具有很大的应用潜力。同时，随着器件进一步微缩及新材料的涌现，Ⅲ-V 族、二维材料等新型沟道材料的 ALE 方法逐渐成为新的研究热点。
- 离子注入：利用低温注入技术，可以有效解决栅诱导漏极漏电 (Gate-induced drain leakage, GIDL)、短沟道效应、带间隧穿效应 (Band To Band Tunneling, BTBT) 等器件漏电的问题。相比常规的室温或低温注入，热注入技术可以提高 Fin 非晶化的阈值，使 FinFET 沟道在注入过程中保持单晶材料的特性。
- 快速热退火技术：升温速率更快的尖峰退火 (Spike Annealing) 可以进一步降低退火过程的热预算 (Thermal Budget)，可以用于超浅结的形成。特别地，激光退火技术满足了在集成电路发展过程中不断压缩热预算的需求，将热退火的时间从秒降至毫秒、微秒甚至纳秒量级。同时作为一种局部加热技术，激光退火可以避免在快速升温过程中由于应力造成的晶圆损伤甚至破片现象。
- 清洗工艺：主要包括前端及后端光刻胶去除、干法刻蚀后聚合物去除、高选择比关键膜层与关键结构的湿法刻蚀、晶向选择性的湿法刻蚀、高深宽比及三维结构的清洗等。
- CMP 工艺：在晶体管结构从平面二维发展到立体三维的过程中，在 Fin 结构形成后，需要沉积一层较厚的非晶 Si，需要通过 CMP 工艺进行平坦化处理，以便后续制造假栅结构。

1.2.2 新型三维逻辑器件

在逻辑集成电路方面，预测将经历以下发展阶段。

(1) 2021—2023 年，晶体管尺寸持续微缩。使用 EUV 光刻实现关键尺寸减小，优化 FinFET 几何尺寸和源漏接触结构，引入 SiGe 高迁移率材料、更高电导率的互连金属材料，利用 ALD 与刻蚀工艺等先进制造技术，提升工艺稳定性、器件可靠性，并进一步发展设计工艺协同优化 (Design Technology Co-Optimization, DTCO) 技术，提升器件整体效能。上述技术是在短期内低成本实现集成电路集成度和性能提升的有效手段^[18]。

(2) 2024—2029 年，器件结构将不断发展创新。现有 2.5D 的 FinFET 将面临越来越严重的栅控和微缩挑战，完全 3D 的 GAA 器件有望在 3/2nm 技术节点引入成为主流的基础器件^[19]。首先，GAA 器件具有完全包围住的栅极结构，可

将栅极的静电控制能力发挥到极致，有效改善器件开关性能。其次，通过垂直方向堆叠的 GAA 器件，可以增大驱动电流密度，从而更高效地提升集成度。再次，通过 GAA 器件的进一步三维设计和堆叠，可以形成层叠互补晶体管和垂直晶体管等结构，最终实现三维逻辑。最后，GAA 器件和 Ge、Si 等高迁移率沟道材料结合可以实现更高能效，延伸技术生命力。

(3) 2030—2035 年，将在基础材料、器件结构、工作机理，以及三维集成技术方面取得变革性突破。以晶体管为基本单元，结合不同基础材料和不同功能器件，在垂直方向进行器件-器件三维堆叠的集成方案成为必由之路^[20]。发展单片三维集成电路或异质集成等方法，实现逻辑-逻辑、逻辑-存储、逻辑-模拟等不同堆叠方式，获得更低系统功耗和复杂电路功能，最终达成三维的器件、设计、系统融合，实现三维大规模集成（3D Very Large Scale Integration, 3D VLSI）。

1.2.3 新型三维存储器件

在集成电路存储器方面，主流的动态随机存储器（Dynamic Random Access Memory, DRAM）、非易失性存储器（Non-Volatile Memory, NVM）将通过器件微缩、垂直层数增加等技术，进一步提升存储容量。同时，为了避免由于物理尺寸减小引起的电荷随机起伏，基于非电荷控制的新兴存储技术将快速发展。其中，铁电存储器（Ferroelectric Random Access Memory, FRAM）具有高速、低功耗、高可靠性的优点，有望在低功耗、人工智能等领域得到应用^[21]；磁随机存储器（Magnetic Random Access Memory, MRAM）将发展新的工作机制^[22]，有望取代传统嵌入式闪存和逻辑电路中的三级静态缓存等；相变随机存储器（Phase Change Random Access Memory, PCRAM）^[23]、阻变随机存储器（Resistance Random Access Memory, RRAM）^[24]等也将利用结构简单等优点，在 X-Point 等新架构中得到更好的应用。此外，面向高性能计算、人工智能等应用的未来存储器技术，将结合三维 VLSI 集成方案，发展存算一体/近存计算等非冯·诺依曼的新型计算体系架构。因具备高电子迁移率、低亚阈值摆幅、低关态电流等优异特性，以及沉积工艺温度低的特点，沟道材料 IGZO（In-Ga-Zn-O）在三维存储和集成技术中具有很大发展潜力，近年来得到了广泛研究和关注。

1.2.4 三维封装技术

自 1958 年集成电路发明以来，封装作为集成电路产业的核心环节，一直被认为是辅助角色。但近年来，随着平面 SoC 工艺开发遇到瓶颈，人们开始将目光投向三维封装技术，期待其为集成电路产业注入新的发展动力。在三维集成、超高密度、超大带宽互连等方向的发展中，三维封装技术扮演着越来越重要的角

色，已经成为半导体行业的竞争焦点。为了进一步满足高性能计算、高密度存储等日益增长的带宽、密度及功能集成的需求，以 TSV 为核心的 Si 转接板及 2.5D/3D 集成技术成为实现芯片与芯片、芯片与封装基板间高密度互连的关键技术。扇出封装技术因具备高性能、低成本的优势，是三维封装技术的核心，多种类型的扇出封装技术不断涌现，以应对更加复杂的三维集成需求。封装基板是三维封装技术的重要组成部分。随着芯片 I/O 数量不断增加，封装有机基板在超细线路、叠层、埋入等方面取得了长足进步，以实现多引脚化、缩小封装产品体积、改善电性能及散热性、超高密度或多芯片互连与集成的目的。作为“超越摩尔定律”的首选方案和主要手段，三维封装技术将与集成电路设计、晶圆制造协同发展，不断助推芯片及系统集成技术的发展。

1.3 三维集成技术面临的挑战

由于云计算、物联网、信息融合系统等应用的广泛前景，系统级的功能需求和能耗限制等，器件工艺和设计的深度协同作用愈发重要^[25]。从系统级来看，处理器核数的增加仍是主要的性能提升手段，同时结合先进的散热技术，处理器的工作频率也可以适当提升。从工艺技术角度来看，集成度的提升在水平方向达到极限后，将进一步向着垂直方向的三维堆叠发展，存储容量继续成倍增长。为了实现上述技术目标，三维集成技术仍将面临诸多挑战。

在逻辑器件方面，目前 FinFET 是主流器件结构。通过减小 Fin 间距、增加 Fin 高度可以有效增大驱动电流密度，但是，伴随存在边缘电容和串联电阻等寄生效应的不利影响也不容忽视。互连结构急需同时满足高电导率和低介电常数的要求。超陡的亚阈值摆幅器件，如隧穿晶体管、负电容晶体管等是应对功耗限制的重要潜在技术。借助垂直方向的 GAA 器件的三维堆叠可以在降低光刻技术需求的前提下，进一步降低器件特征尺寸，提升集成度。在成本方面，三维集成方案将遇到严峻的散热挑战，并且需要兼顾优化复杂的制造过程，以及更加难以控制的良率和成本。此外，10nm 及以下结构的刻蚀和薄膜沉积也会成为重大挑战。

在存储器件方面，为了满足不断减小的电容尺寸，需要继续对栅介质层的 EOT 进行微缩，通过引入更高介电常数的材料缩小结构特征尺寸。为了实现更高的存储密度，金属间距需要接近光刻极限，并且要提高高深宽比、孔洞的刻蚀选择比和刻蚀速率，以及在孔洞中有效地填充不同的材料层。同时，三维闪存 (3D-NAND) 将面临更多的复杂和特殊的制造需求。为了实现更高性能的存储技术，扩展静态随机存储器 (Static Random Access Memory, SRAM) 和 NAND 功能，需要发展新兴存储器的关键元件及新型存储器和选择器，如 PCRAM、

RRAM、MRAM 等。

在材料方面，在 FinFET 和 GAA 等器件结构中引入 Ge/SiGe 等高迁移率沟道材料，同时将面临高 κ 电介质集成、减少源漏接触电阻、降低界面缺陷、掺杂和阈值调控等技术难题。Cu 互连电阻和可靠性的材料与工艺改善，在互连结构中存在着较大的尺寸效应的影响，材料表面的粗糙度会由于电子散射对电阻率产生不利影响。纳米尺寸的图形化、刻蚀和填充具有挑战性。同时，要考虑 Cu 向介质层的扩散从而影响电迁移（Electromigration, EM）寿命的问题。

在三维封装方面，需要研究与 Si 技术兼容的 TSV 材料和工艺，改进芯片堆叠的工艺以适应未来的缩小，以及密集型互连的填充。面向未来可穿戴设备的需求，还需要提升封装器件的柔性变形性能、对生物系统的兼容性等。

1.4 阅读指引

本书将围绕三维集成电路制造技术进行介绍，其中第 2 章将对三维集成电路制造基础进行概述，介绍器件物理及仿真、图形化工艺、薄膜工艺、刻蚀工艺、离子注入和热退火工艺、清洗工艺、化学机械平坦化工艺等方面。第 3~8 章将分别对三维 FinFET 器件技术、纳米环栅器件技术、三维 NAND 闪存技术、三维新型存储技术、三维单片集成技术、三维封装技术等进行详细介绍。

集成电路技术不断发展、快速迭代，为了帮助读者更好地了解相关产业的最新进展，获得前沿技术的更新，我们为读者提供了一些领域内的重要学术会议、学术期刊，以及报告资源，供读者学习参考。

1. 学术会议

IEEE International Electron Devices Meeting (IEDM);
 IEEE Symposium on VLSI Technology and Circuits (VLSI);
 IEEE International Memory Workshop (IMW);
 IEEE International Solid-State Circuits Conference (ISSCC);
 International Reliability Physics Symposium Proceedings (IRPS);
 Electronic Components and Technology Conference (ECTC)。

2. 学术期刊

IEEE Electron Device Letters;
 IEEE Transactions on Electron Devices;
 IEEE Journal of Solid-State Circuits;

Solid-State Electronics;
 ECS Journal of Solid State Science and Technology;
 Japanese Journal of Applied Physics;
 Applied Physics Letters。

3. 报告资源

IEEE International Roadmap for Devices and SystemsTM;
 IEEE Heterogeneous Integration Roadmap。

参 考 文 献

- [1] LILIENFELD J E. Method and apparatus for controlling electric currents; USA, US1745175 [P]. 1930-01-28.
- [2] AMERICAN PHYSICAL SOCIETY. Invention of the First Transistor [EB/OL]. (2000-11) [2021-02-02]. <https://www.aps.org/publications/apsnews/200011/upload/nov00.pdf>.
- [3] NOBEL MEDIA AB 2021. The Nobel Prize in Physics 1956 [EB/OL]. [2021-02-02]. <https://www.nobelprize.org/prizes/physics/1956/summary/>.
- [4] 施敏, 伍国珏. 半导体器件物理 [M]. 3版. 耿莉, 张瑞智, 译. 陕西: 西安交通大学出版社, 2008.
- [5] JACOBI W. Halbleitervverstärker; German, DE833366 [P]. 1952-05-15.
- [6] KILBY J S. Invention of the integrated circuit [J]. IEEE Transactions on Electron Devices, 1976, 23 (7): 648-654.
- [7] CHOI H, OTANI T. Failure to launch; Tarui Yasuo, the quadrupole transistor, and the meanings of the IC in postwar Japan [J]. IEEE Annals of the History of Computing, 2011, 34 (1): 48-59.
- [8] NOBEL MEDIA AB 2021. The Nobel Prize in Physics 2000 [EB/OL]. (2000-10-10) [2021-02-22]. <https://www.nobelprize.org/prizes/physics/2000/summary/>.
- [9] LOJEK B. History of semiconductor engineering [M]. New York: Springer, 2007.
- [10] WOLF S. A review of IC isolation technologies [J]. Solid State Technology, 1993, 35 (3): 97.
- [11] KURT L. Multiple semiconductor assembly; USA, US3029366A [P]. 1962-04-10.
- [12] Engineering and Technology History Wiki. Oral-History; Robert N. Noyce [DB/OL]. (2021-02-16) [2021-02-22]. https://ethw.org/Oral-History:Robert_N._Noyce.
- [13] MOORE G E. Cramming more components onto integrated circuits [J]. Electronics, 1965, 38 (8).
- [14] MOORE G E. Progress in digital integrated electronics [C] //IEEE, International Electron

- Devices Meeting (IEDM), Washington, 1975: 35–40.
- [15] 48 Years of Microprocessor Trend Data [DB/OL]. (2020–07) [2021–02–22]. <https://github.com/karlsruhp/microprocessor-trend-data>.
- [16] IEEE IRDS. International Roadmap for Devices and Systems 2020 update MORE MOORE [R/OL]. (2020–05–28) [2021–01–31]. https://irds.ieee.org/images/files/pdf/2020/2020IRDS_MM.pdf.
- [17] TÓKEI Z. End of Cu roadmap and beyond Cu [C] //IEEE, International Interconnect Technology Conference/Advanced Metallization Conference (IITC/AMC), San Jose, 2016: 1–58.
- [18] BADAROGLU M, XU J, ZHU J, et al. PPAC scaling enablement for 5nm mobile SoC technology [C] // IEEE, European Conference on Solid–State Device Research (ESSDERC), Leuven, 2017: 240–243.
- [19] VELOSO A, HUYNH BAO T, ROSSEEL E, et al. Challenges and opportunities of vertical FET devices using 3D circuit design layouts [C] //IEEE, SOI–3D–Subthreshold Microelectronics Technology Unified Conference (S3S), Burlingame, 2016: 1–3.
- [20] RACHMADY W, AGRAWAL A, SUNG S, et al. 300mm heterogeneous 3D integration of record performance layer transfer germanium PMOS with silicon NMOS for low power high performance logic applications [C] //IEEE, International Electron Devices Meeting (IEDM), San Francisco, 2019: 29.7.1–29.7.4.
- [21] LUO J, YU L, LIU T, et al. Capacitor–less stochastic leaky–FeFET neuron of both excitatory and inhibitory connections for SNN with reduced hardware cost [C] // IEEE, International Electron Devices Meeting (IEDM), San Francisco, 2019: 6.4.1–6.4.4.
- [22] LU Y, ZHONG T, HSU W, et al. Fully functional perpendicular STT – MRAM macro embedded in 40nm logic for energy – efficient IoT applications [C] //IEEE, International Electron Devices Meeting (IEDM), Washington, 2015: 26.1.1–26.1.4.
- [23] LIANG J, JEYASINGH R G D, CHEN H Y, et al. A 1.4 μ A reset current phase change memory cell with integrated carbon nanotube electrodes for cross – point memory application [C] //IEEE, Symposium on VLSI Technology (VLSIT), Kyoto, 2011: 100–101.
- [24] CHEN H, YU S, GAO B, et al. HfO₂ based vertical resistive random access memory for cost-effective 3D cross–point architecture without cell selector [C] //IEEE, International Electron Devices Meeting (IEDM), San Francisco, 2012: 20.7.1–20.7.4.
- [25] CARBALLO J, CHAN W J, GARGINI P A, et al. ITRS 2.0: Toward a re–framing of the Semiconductor Technology Roadmap [C] //IEEE, International Conference on Computer Design (ICCD), Seoul, 2014: 139–146.