

第1章 绪 论

超大规模集成电路(VLSI)技术已经发展到可以在一块芯片上集成数百万个晶体管的水平。芯片中那些原来组成子系统的电路,尤其是数模接口部分的电路,现在能够以数模混合方式集成在一起形成片上系统^①。互补金属-氧化物半导体(CMOS)技术已经成为实现混合信号^①电路的主流技术,因为对数字电路来说其集成度高、功耗低,对模拟电路则能提供各种单元电路的良好组合。由于应用广泛,CMOS技术成为本书讨论的主题。

由于数字电路的规律性和离散性,计算机辅助设计(CAD)方法学在给定所需功能行为描述的数字系统设计自动化方面已经非常成功。然而模拟电路的设计情况并非如此。一般说来,模拟电路仍需“手工”方法进行设计。而且,许多用于分立器件模拟电路的设计技术也无法应用于模拟/混合信号的超大规模集成电路(VLSI)设计中。因此,仔细研究模拟电路的设计过程,熟悉一些提高设计效率、增加设计成功机会的原则是有必要的。为此,本书提供模拟集成电路设计的层次化结构和一般原则的介绍。

本章主要介绍模拟集成电路设计的相关知识,为后续学习打下基础。本章首先阐述了模拟集成电路设计的一般问题,然后介绍本书中用到的字符、符号和术语,接下来讨论了涉及模拟信号处理系统的一般考虑,最后一节给出了一个模拟CMOS电路设计的例子。在学习第2章之前,读者也许希望先了解一些与CMOS技术相关的知识,这些知识包括电子器件建模、计算机仿真技术、拉普拉斯变换和z变换理论以及半导体器件理论。

1.1 模拟集成电路设计

集成电路设计可分为两大类:模拟的和数字的。为了说明这两类设计方法的特征,必须先定义模拟信号和数字信号。信号可以被认为是电压、电流或电荷等电量的可视值。信号应该反映物理系统的状态或行为信息。模拟信号定义为在连续时间范围内具有连续幅度变化的信号,图1.1-1(a)为模拟信号的示例。数字信号是只在一些离散幅度值上有定义的信号,换句话说,数字信号是一些量化了的离散值。典型的数字信号是只有两种幅值定义的信号的二进制加权,如式(1.1-1)和图1.1-1(b)所示。图1.1-1(b)是图1.1-1(a)所示模拟信号的3比特表示。

$$D = b_{N-1}2^{-1} + b_{N-2}2^{-2} + b_{N-3}2^{-3} + \dots + b_02^{-N} = \sum_{i=1}^N b_{N-i}2^{-i} \quad (1.1-1)$$

单个二进制数 b_i 取值只有 0 或 1。因而,可以用只工作在两个稳定状态的器件来实现数字电路。这导致了很强的规则性,并可用代数方法描述电路的功能。因此,数字电路设计者可以得心应手地设计更复杂的集成电路。

模拟集成电路设计中还会遇到另一种信号,即模拟采样数据信号。模拟采样数据信号是指在连续幅值范围内仅在离散时间点上有定义的信号。通常,模拟信号采样后保持的是采样

① 术语“混合信号”被广泛用于描述在同一块硅衬底上制作的模拟和数字电路。

周期结束时的值，形成采样保持信号。模拟采样保持信号如图1.1-1(c)所示。

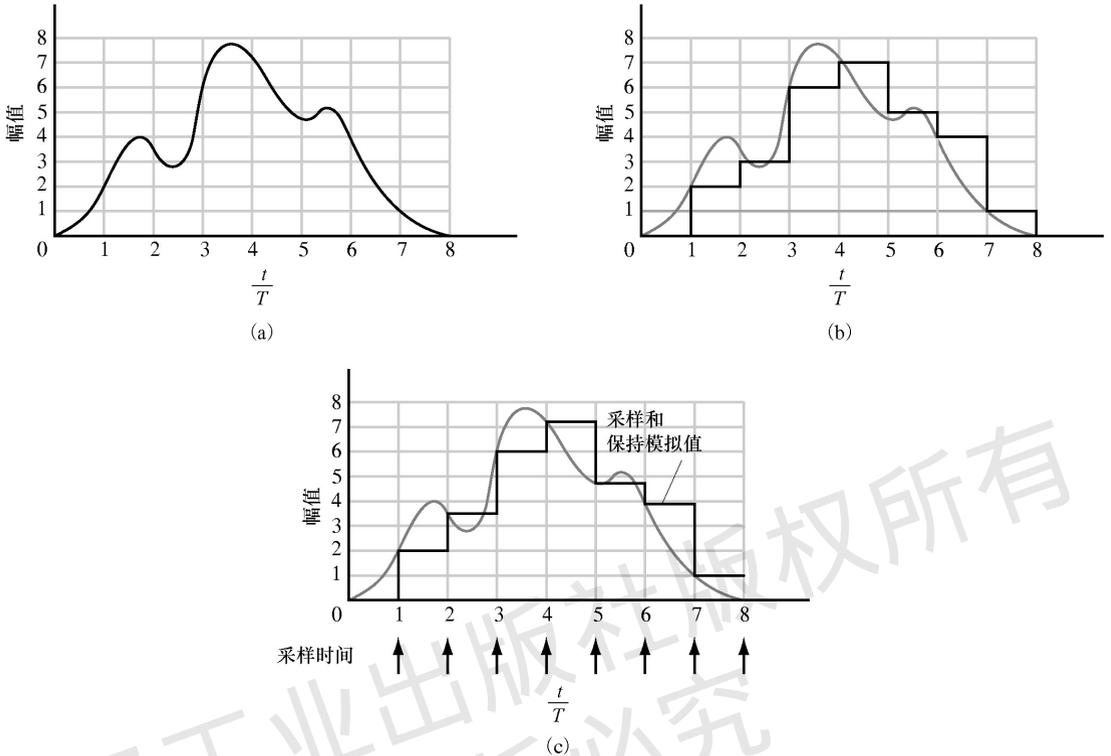


图 1.1-1 信号。(a)模拟信号或连续时间信号；(b)数字信号；(c)模拟采样保持信号或离散时间信号； T 是数字信号或采样信号的周期

电路设计是为解决特定问题构思一个电路的创造性过程。对电路进行分析和比较能够更好地理解设计。如图 1.1-2 (a) 所示，电路分析是从电路出发找出其特性的过程。分析过程的一个重要特征是特性唯一。另一方面，电路设计(或综合)是这样—个过程，从要求的特性出发，找出满足这些特性的电路。对设计而言方案并不唯一，这为设计者提供了发挥创造力的机会。比如以设计一个 1.5Ω 的电阻为例，可以用三个 0.5Ω 电阻的串联实现，也可以用两个 1Ω 的电阻并联后再与一个 1Ω 的电阻串联来实现，等等。虽然有些设计的其他特性可能会更好，但所有设计都满足 1.5Ω 电阻的要求。图 1.1-2 中可以看出电路设计与分析之间的不同。

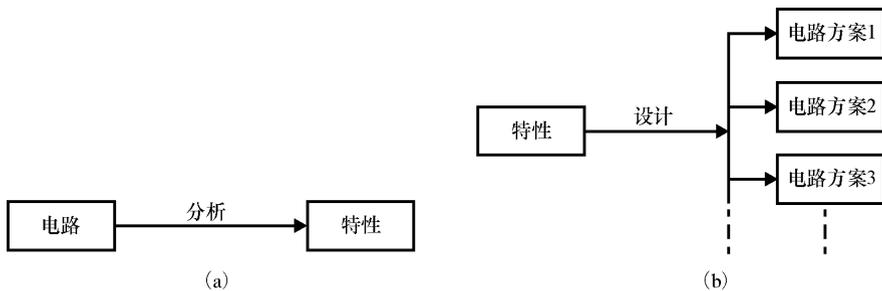


图 1.1-2 (a)分析过程；(b)设计过程

了解集成和分立模拟电路设计间的差别是重要的。与集成电路不同，分立电路不把有源和无源器件制作在同一衬底上。而将器件紧密地制作在同一衬底上的一个主要的优点就是器件间的匹配也可以作为设计考虑的一个方面。两种设计方式的另一个不同点是，在集成电路设计中，有源器件和无源器件的几何尺寸是在设计者的控制中的。在设计过程中，这种控制赋予设计者一个新的自由度。第二个差别基于一个事实，即在电路板上进行集成电路设计是不现实的。因此，设计者必须采用计算机仿真的方法来验证其电路的性能。集成和分立模拟电路设计间还有一个不同点是，在集成电路设计中，设计者将会更多地受到与所用工艺相关的元器件类型的约束。

图1.1-3所示为模拟集成电路设计的一般过程。设计一个模拟集成电路分为很多步骤。主要的步骤有：

1. 定义
2. 综合或执行
3. 仿真或模拟
4. 版图设计
5. 考虑版图寄生参数后的仿真(后仿真)
6. 制作
7. 测试和验证

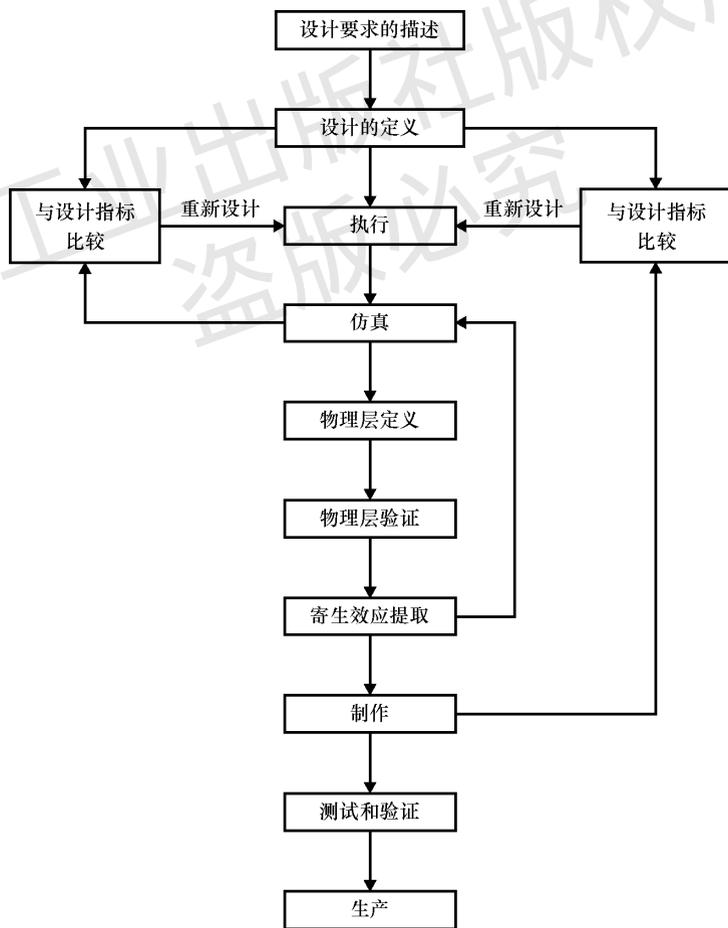


图 1.1-3 模拟集成电路设计的一般过程

所有步骤中除了加工制造，其余均需设计者负责。前期步骤是定义和综合的功能，非常

重要,决定了设计的性能。当前期步骤完成后,设计者必须在制造之前能够确认这个设计。为此,下一步对电路进行仿真,观察电路性能。开始,设计者只能使用电路物理层的近似参数仿真,一旦完成版图设计,就可以用从版图得到的寄生参数信息检查仿真结果。此后设计者可反复利用模拟结果改进电路的性能。一旦满足了性能要求,就可以进入下一步——版图设计(电路的几何描述)。通常情况下,这种几何描述由在平面(x - y 轴)以及不同层面(z 轴)上各种形状的矩形或多边形形成的计算机数据库组成,它与电路的电性能密切相关。版图完成后,需要将版图的寄生效应考虑进去再次仿真。如果性能满足,就可准备送交流片以制造电路。制成之后,设计者将会面临最后一步——确定制成的电路是否满足设计要求。在整个设计过程中,如果设计者没有仔细考虑这一步,那么在进行电路测试以及判断电路是否满足设计要求时可能会遇到困难。

正如前面所提到的,集成与分立模拟电路设计的区别之一是在电路板上进行集成电路设计的可行性。计算机仿真技术已经有了长足的发展,能提供适当的模型。

计算机仿真的优点有:

- 不需要电路试验板
- 具有监测电路中任一点信号的能力
- 能够将反馈环路拆开
- 可以方便地修改电路
- 具有在不同工艺和温度条件下分析电路的能力

计算机仿真的缺点有:

- 模型的精度不够
- 可能因程序不收敛而无法得出仿真结果
- 对大型电路进行仿真费时
- 计算机无法代替人的思维

由于仿真与设计过程密切相关,本书将在适当的地方进行介绍。

在完成上述各个设计步骤的过程中,设计者使用了三种不同的描述格式:设计描述、物理层描述和模型/仿真描述。设计描述的格式用来确定电路;物理层描述用来定义电路的几何形状;模型/仿真描述用来对电路进行仿真。设计者必须在每种描述格式中都能对设计进行描述。例如,模拟集成电路设计的初始阶段可以用设计描述格式完成。显然,版图设计阶段可以用物理层描述格式,仿真阶段应该采用模型/仿真描述格式。

模拟集成电路设计还可以用分层的观点来描述。表1.1-1展示了由系统、电路和器件构成的纵向层次,横向分为设计、物理和模型三个层次。器件级是设计的最底层,可以分别用器件性能、几何图形和器件模型作为设计、物理和模型的相应描述。电路级是设计的中间层,可以用器件的术语来表示。电路级的设计、物理和模型描述的格式一般为:电路性能、参数化模块/单元和宏模型。设计的最高层是系统级——用电路的术语来表示。系统级的设计、物理和模型描述的格式为:系统说明、版图布局以及行为模型。

表 1.1-1 模拟集成电路设计过程的层次及描述

层 次	设 计	物 理	模 型
系统	系统说明	版图布局	行为模型
电路	电路性能	参数化模块/单元	宏模型
器件	器件性能	几何图形	器件模型

本书的组织体系侧重于集成电路设计的层次化观点,表1.1-2示出了模拟电路设计与相应各章的对应关系。在器件级,第2章和第3章介绍CMOS技术及器件模型。为了设计CMOS模拟集成电路,设计者必须了解工艺技术,因此第2章与附录B简要地介绍了CMOS技术以及由技术考虑得出的设计规则。这些信息对于设计者理解工艺的限制是非常重要的。在开始设计之前,设计者应该已经了解了工艺和器件模型的电参数。建模在综合与仿真这两个步骤中是关键部分,将在第3章中进行介绍。设计者还应了解实际器件的模型参数,以便确定假设模型参数是否合适。理想情况下设计者已获得可以对这些参数进行测量的测试芯片。最终,测试芯片制成后的模型参数测试可被用来测试完整的电路。器件描述方法在附录C中进行介绍。

表 1.1-2 模拟电路设计与相应各章的对应关系

设计层次	CMOS 技术		
复杂电路	第 6 章 CMOS 运算放大器	第 7 章 高性能 CMOS 运算放大器	第 8 章 比较器
简单电路	第 4 章 模拟 CMOS 子电路	第 5 章 CMOS 放大器	
器件	第 2 章 CMOS 技术	第 3 章 CMOS 器件模型	附录 C CMOS 器件性能

第4章与第5章主要介绍由两个及两个以上晶体管构成的电路,这类电路称为简单电路。在第6章到第8章中介绍如何由这些简单电路设计更复杂的电路。各种设计层次间的界限有时并不太明确,但是,基本的关系是有效的,可以给读者一个模拟集成电路设计的框架结构概念。

1.2 字符、符号和术语

为了让读者更清楚地理解本书介绍的内容,本节介绍书中所用到的字符、符号和术语,通常与本科电子学教材中使用的以及由技术协会建议的标准字符、符号和术语一致。计量单位采用国际单位制。本书将尽量采用这些规定。

首先是电流、电压的符号表示。信号通常用带下标的参量表示。参量和下标的大小写规律参见表1.2-1。

表 1.2-1 各种信号的符号定义

信号定义	参 量	下 标	示 例
瞬时信号值	小写	大写	q_A
直流信号值	大写	大写	Q_A
交流信号值	小写	小写	q_a
复变量、相位或有效值	大写	小写	Q_a

图 1.2-1 示出在直流电平上叠加周期信号时如何用表 1.2-1 中的规律来表示。

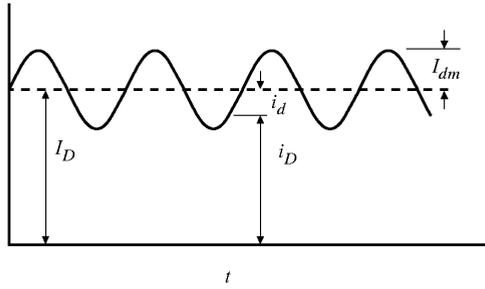


图 1.2-1 信号的表示

器件建模时这些符号是有用的。例如，考虑与各端口间电压相关的漏-源电流的 MOS 模型时。在这种模型中要用到瞬态变量 (i_D)，用直流变量 (I_D) 表示偏置，用交流变量 (i_d) 进行小信号分析，用复变量 (I_d) 讨论小信号频率特性。

第二项要讨论的是用什么符号表示各种元器件(这些符号中的大多数读者都很熟悉。只是 MOS 器件的符号有所不同，如图 1.2-2 所示)。图 1.2-2 (a) 与图 1.2-2 (b) 表示衬底或体 (B) 与源极相接的增强型 MOS 管。MOS 管的工作需稍后介绍，这里先给出各电极的名称，分别为漏极 (D)、栅极 (G) 和源极 (S)。如果衬底没有与源极相接，则符号如图 1.2-2 (c) 和图 1.2-2 (d) 所示。知道在电路设计中所用 MOS 管的衬底接在何处是重要的。一般而言，p 沟道管的衬底接最高电位，n 沟道管的衬底接最低电位。

图 1.2-3 是另一类需要定义的符号。图 1.2-3 (a) 表示差分输入的运算放大器，有时也可表示与运算放大器增益相近的比较器。图 1.2-3 (b) 和图 1.2-3 (c) 分别表示独立电压源和独立电流源。有时也可用图 1.2-3 (b) 所示的符号表示电池。最后，图 1.2-3 (d) ~ 图 1.2-3 (g) 表示四种理想的受控源。图 1.2-3 (d) 为电压控制电压源 (VCVS)，图 1.2-3 (e) 为电压控制电流源 (VCCS)，图 1.2-3 (f) 为电流控制电压源 (CCVS)，图 1.2-3 (g) 为电流控制电流源 (CCCS)。这些受控源的增益分别为 A_v 、 G_m 、 R_m 和 A_i (分别对应于 VCVS、VCCS、CCVS 和 CCCS)。

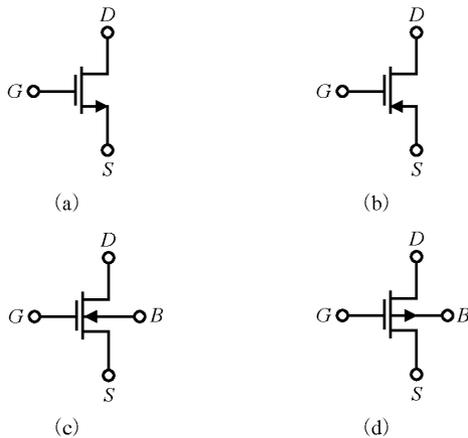


图 1.2-2 MOS 器件符号。(a) n 沟道增强型 MOS 管，衬底与源极相接；(b) p 沟道增强型 MOS 管，衬底与源极相接；(c)、(d) 与 (a)、(b) 相同，只是衬底未与源极相接

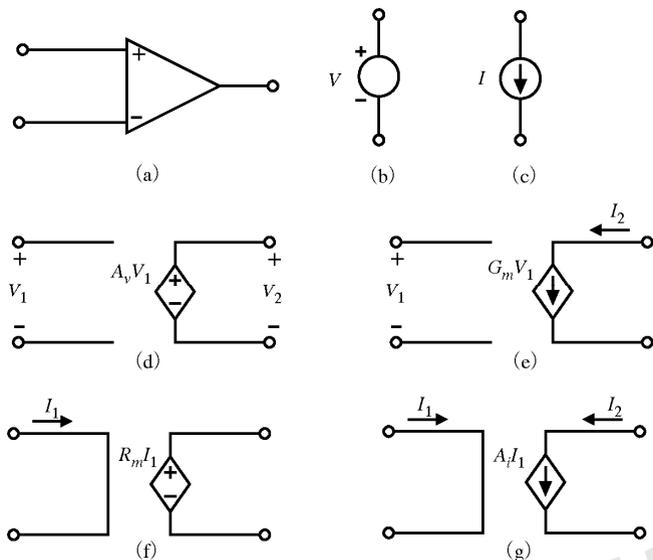


图 1.2-3 (a) 运算放大器；(b) 独立电压源；(c) 独立电流源；(d) 电压控制电压源 (VCVS)；
(e) 电压控制电流源 (VCCS)；(f) 电流控制电压源 (CCVS)；(g) 电流控制电流源 (CCCS)

1.3 模拟信号处理

在深入学习模拟电路设计前，需要探讨这类电路的应用。模拟信号处理的一般内容将包含在本书出现的大部分电路与系统中。图 1.3-1 所示为一个典型的信号处理系统的简单框图。过去，这样一个信号处理系统需要由多个集成电路以及相当多的外加无源器件构成。然而，随着模拟数据采集技术以及 MOS 工艺的出现，使得在单片集成电路中同时采用模拟、数字技术实现信号处理的设计成为可能^[2]。

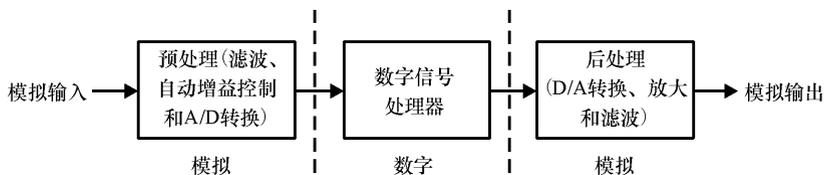


图 1.3-1 典型的信号处理系统框图

模拟信号处理系统设计的第一步是仔细考察技术指标，确定系统中的模拟部分和数字部分。多数情况下，输入信号是模拟的。输入信号可以是语音信号、传感器输出、雷达回波等。图 1.3-1 中的第一个模块是预处理模块。一般来说，这个模块由滤波器、自动增益控制电路和模数转换器(简称 ADC)组成。通常，精确的速度和精度要求由该模块的组件承担。模拟信号处理器后面接数字信号处理器。用数字的方式进行信号处理有很多优点：一是数字电路易于用最小尺寸的工艺实现，提供价格和速度的优势；另一个是与数字信号处理中(如线性相移滤波器中)额外的有效自由度有关；还有一个优点是很容易对数字器件进行编程。最后，必须有一个模拟的输出。在这个例子中需要一个后处理模块，此模块通常包括一个数模转换器(简称 DAC)、放大器和滤波器。

在信号处理系统中,待处理信号的带宽是需要特别考虑的问题。图1.3-2中列出了一些信号的工作频率。较低者是地震信号,因地壳的吸收作用不会低于1Hz。较高者是微波信号。高于30GHz的信号未被列出,因为在高频即使最简单的信号处理也是困难的。

为使图1.3-2所示的任何特定区域均能使用,必须采用支持所要求带宽的工艺。图1.3-3所示为目前可用技术所能支持的速度能力。决定在某个应用领域采用哪种技术进行集成电路(IC)设计时,不仅要考虑带宽和速度的要求,还要考虑成本和集成度。如今的趋势是尽可能采用CMOS数模混合技术(如果需要的话),因为可以达到很高的集成度,从而提供高可靠的紧凑系统解决方案。

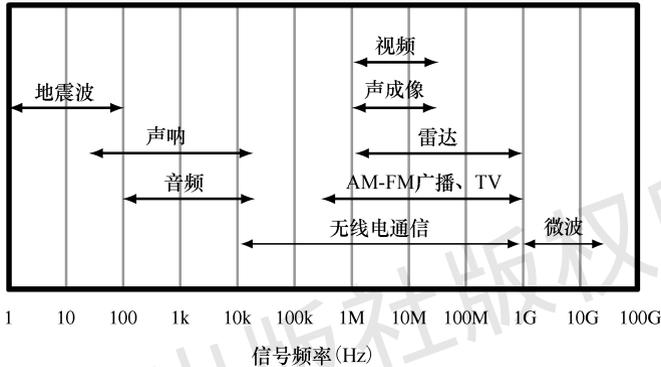


图 1.3-2 信号处理中的信号频率

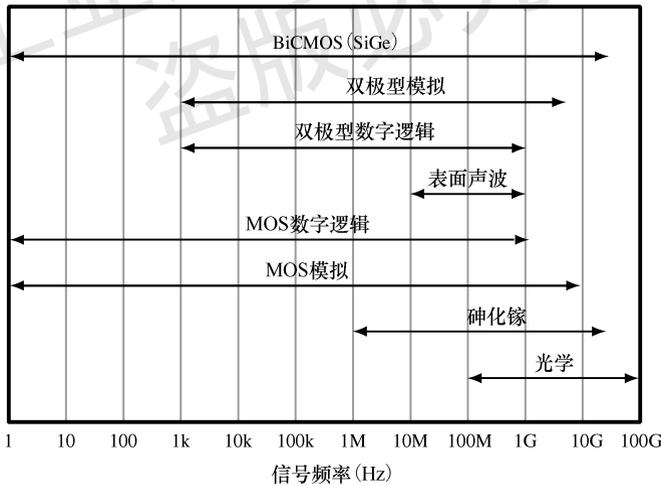


图 1.3-3 目前技术可工作的频段

1.4 模拟 VLSI 混合信号电路设计举例

本节通过一个实例来说明模拟电路设计的方法。图1.4-1所示为一个磁盘驱动器的数字读/写通道集成电路框图。在读入数据时,设备采用部分响应最大可能性(PRML)序列检测来提高相对于信噪比的误码率性能。设备支持的数据率可达到64 Mb/s,采用0.8 μm 双层金属的CMOS工艺实现。

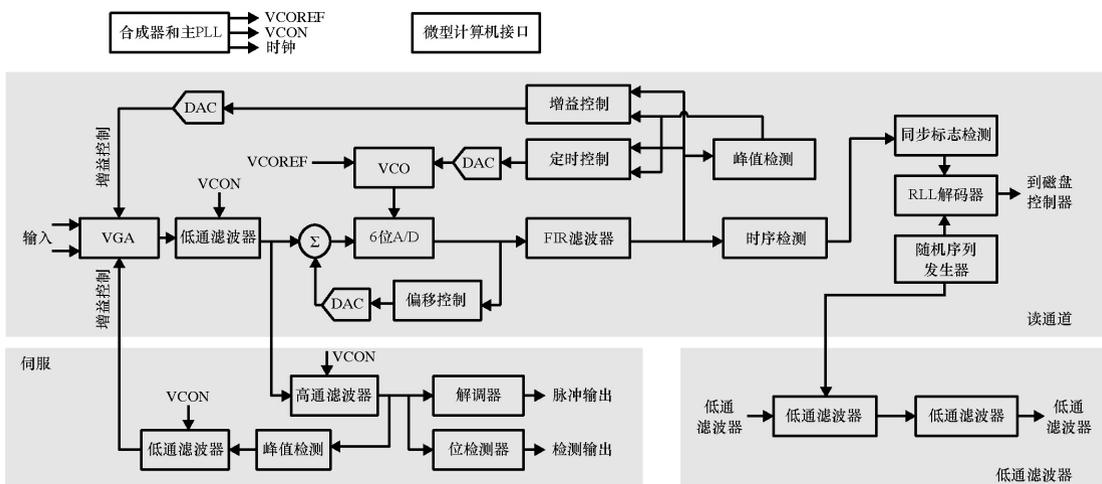


图 1.4-1 读/写通道集成电路框图

在典型应用中，该 IC 从外部预放大器接收一个全差分模拟信号，此信号是从旋转的磁盘盘片上经磁感应转换得到的。这个差分信号先经由实时数字增益控制环路控制的 可变增益放大器 (VGA) 放大，然后通过一个七极点双零点等波纹相位低通滤波器。该滤波器的双零点是实数并且关于虚轴对称，零点和极点的相对位置是可编程的且被设计成可在高频时提升滤波器增益，使信号的宽度变窄。

低通滤波器由跨导级 (g_m 级) 和电容构成。低通滤波器设计中所用到的一个单极点原理图如图 1.4-2 所示。当极点的相对位置固定时，可用两种方法来调节低通滤波器的频率响应。第一种方法是利用控制电压 (标注为 VCON)，这个电压是滤波器中所有跨导级共用的。该电压被加在每个跨导级 n 沟道管的栅极上。这些晶体管的电导决定了与之相关的总电导，而且可以通过控制电压使其连续变化。第二种方法是对滤波器中的电容值进行数字控制。低通滤波器中所有电容结构相同，都是由具有二进制权值的电容构成的可编程阵列组成。

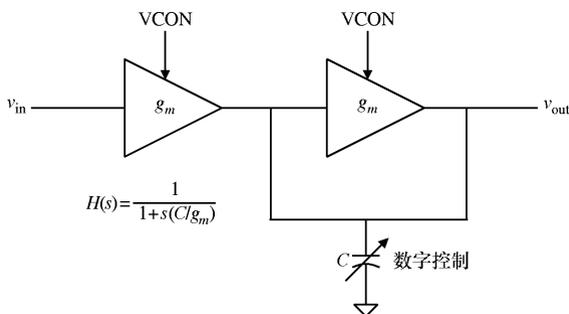


图 1.4-2 单极点低通滤波器

在跨导级设计中，利用所设计的 VCON 的连续控制能力为滤波器提供频率补偿，弥补由工艺、温度和电源电压变化引起的频响变化^[3]。控制电压 VCON 由“主 PLL”产生，其中“主 PLL”是由滤波器结构的复制品充当锁相环中的压控振荡器组成的，结构如图 1.4-3 所示。振荡频率反比于特征时间常数，复制滤波器级的 C/g_m 。通过 VCON 端电压的变化时使振荡器的频率和相位锁定在一个外部的参考频率上，以使特征时间常数保持不变。当低通滤波器中的电路元件与主滤波器匹配时，低通滤波器的特征时间常数 (以及相应的频率响应) 也就固定了。

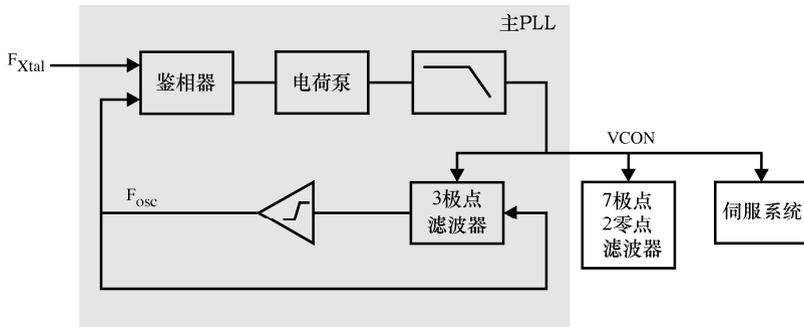


图 1.4-3 主滤波器锁相环

低通滤波器的正常输出通过缓冲器送到一个 6 位的单步快速采样 ADC。这个 ADC 由压控振荡器 (VCO) 提供时钟, 该压控振荡器的频率由一个数字时钟恢复循环控制。在快速采样 ADC 的 63 个比较器中, 每一个都含有采样电容, 用来对从低通滤波器输出并经缓冲后的模拟信号进行采样。该电容在对信号进行采样时也采集比较器的失调电压, 用于矫正因失调而引起的失真^[4]。比较器的输出还要通过一个检查无效模式的逻辑模块, 若不检查可能会引起严重的转换错误^[5]。这个模块的输出被编码为一个 6 位的字。

如图 1.4-1 所示, 数字化之后, ADC 的 6 位输出要由一个有限脉冲响应 (FIR) 滤波器滤波。上面提到的数字增益控制和时钟控制环路监测原始数字信号或者 FIR 滤波器的输出作为增益和定时的误差。由于这些误差只有在信号脉冲发生时才能测量到, 因此使用一个数字跃变检测器来监测脉冲以及激活增益和定时误差检测器。然后, 增益和定时误差信号通过数字低通滤波器和模拟电路中的数模转换器分别调节 VGA 增益和 A/D VCO 的频率。

读出信道 IC 的核心是序列检测器。检测器的工作基于 Viterbi 算法, 该算法通常被用于完成最大似然性检测。检测器预测线性符号间的干扰且处理接收序列值后, 推算出最可能的发射序列 (即由磁介质读出的数据)。序列检测器输出的比特流通过游长受限码 (RLL) 解码器模块被解码。如果写入磁盘的数据在编码前已进行扰码处理, 那么比特流必须经过相应的逆过程再出现在读出信道的输出端。

写通道的详细描述如图 1.4-4 所示。在写模式时, 数据首先经 RLL 编码器模块编码。当然, 在送去编码之前也可以选择先对数据扰码。编码时, 线性反馈移位寄存器用来产生一个与输入数据异或的伪随机序列。用这种随机化方式可以保证位流容易从随机输入数据中读出。

写时钟由置于锁相环中的 VCO 综合而成, 用于设置数据速率。VCO 输出频率按可编程数值 “M” 分频, 分频后信号与输入信号锁定, 该输入信号是外部参考信号经二分频后再按可编程数值 “N” 分频所得, 结果写时钟频率是外部参考频率的 $M/2N$ 倍, 其中 M 和 N 的值均可在 2~256 之间变化。同时, 写时钟能够被综合成支持 ZBR 区位记录设计, 在 ZBR 区定义了媒体上具有不同数据速率。

编码数据通过写预补偿电路。尽管在 PRML 通道中由符号间干扰引起的线性位移不必补偿, 但非线性效应会引起由写 1 的跃变导致邻近跃变点位置的偏移。虽然特别完成的 RLL 码在写的过程中禁止两个连续的 “1” (两个跃变紧邻), 但是 “1/0/1” 码仍能在第二次跃变时测出偏移。为抵消偏移, 写预补偿电路可延迟第二个 “1” 的写入。综合出的写时钟被送到两条延时线路, 每条延时线路都由与 VCO 中类似的结构组成。通常经过一条延时线路的信号

被用来将通道数据定时到输出驱动。然而，当检测到“1/0/1”码时，第二个“1”由另一条延迟线路上的信号定时到输出驱动。第二条延迟线路是弱电流，延迟时间超过第一条，因此在码型中第二个“1”延时了，延时的量是可编程的。

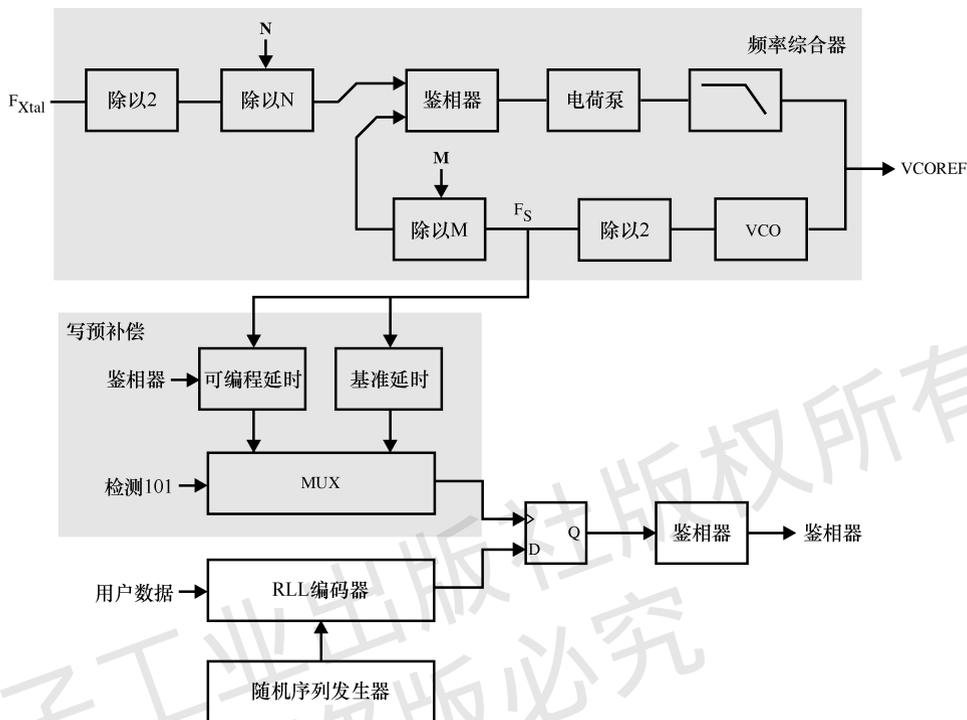


图 1.4-4 频率合成器和写通道

图 1.4-5 所示的伺服通道电路可检测嵌入起始位置信息，它有三个主要功能块：

- 自动增益控制 (AGC) 环路
- 位检测器
- 脉冲解调器

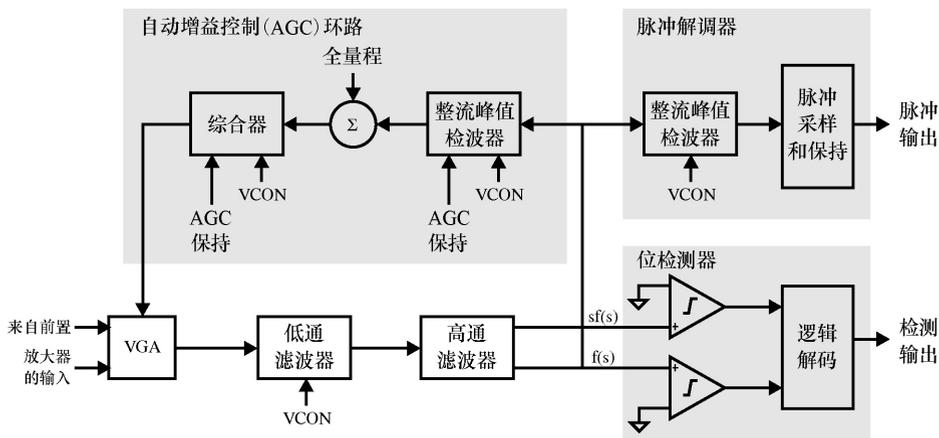


图 1.4-5 伺服通道电路

在伺服部分，时间常数和电荷比是可编程的且由主滤波器控制，避免由电源电压、工艺

和温度变化引起变化。为了节电，在伺服工作间歇期所有功能块是不供电的。在伺服前同步期间，AGC 环路围绕 VGA 反馈迫使高通滤波器输出恒定电平。前同步由交变位码组成并定义 100% 满幅电平。为避免必须提供的定时，伺服 AGC 环路在模拟域中完成。高通滤波器输出的幅度峰值用整流峰值检测器检测。峰值检测器对电容的充放电取决于输入信号是高于还是低于电容上保持的电压。峰值检测器的输出与满幅参考值比较，然后经积分控制 VGA 的增益。VGA 的增益和控制电压间呈指数关系，因此环路的动态范围与增益无关。脉冲检测器用来检测和保持上升到四个伺服位置脉冲的幅度峰值，用以指示读写头相对于轨迹中心的位置。

异步位检测器可检测伺服数据信息和地址标志。用可编程阈值比较器限定输入脉冲，以便只检测那些幅度峰值超过阈值的脉冲。伺服位检测器提供输出以指示零交叉事件和检测事件的极性。

图 1.4-6 所示为上述读通道芯片的显微照片。电路用单层多晶硅、两层金属的 $0.8\ \mu\text{m}$ CMOS 工艺制造。

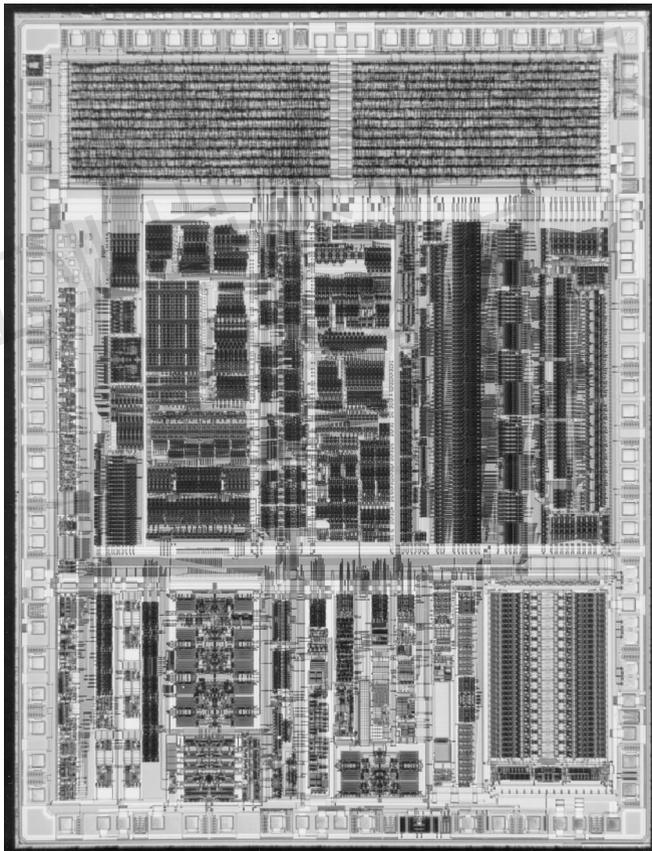


图 1.4-6 读通道芯片的显微照片

1.5 小结

本章介绍了 CMOS 模拟集成电路设计。1.1 节给出模拟电路中信号的定义和模拟、数字以及模拟采样数据信号的定义，讨论了分析和设计之间的差别。分立和集成模拟电路设计之

间的差别主要在于设计者对电路几何尺寸的控制和对计算机仿真而不是用试验板的需要。这一节还给出了本书的概览,且在表 1.1-2 中说明了各章节的组织体系。建议读者在开始阅读每一章时先看表 1.1-2。

1.2 节讨论了字符、符号和术语。了解这些问题可以避免在各种主题的描述中可能发生的混淆。符号和术语的选择与标准惯例和定义一致。另外,与本节的主题有关的问题也将在相应的地方给出。

1.3 节给出了模拟信号处理的概述。多数模拟电路的用途在模拟信号处理的几种运行方式中得以反映。该节介绍了电路应用、电路技术和系统带宽等重要概念,同时指出,模拟电路较少单独使用,一般与数字电路一起完成一些信号处理的任务。模拟电路和数字电路间的界限取决于应用、性能和面积。

1.4 节给出一个磁盘驱动的数字读/写信道集成电路设计实例,这个实例强调设计的层次化结构并说明如何用下面章节中介绍的子电路完成一个复杂设计。

开始下面章节的学习之前,可先读附录 A,附录 A 提供了进一步学习应该掌握的知识,具体包含了与模拟电路设计相关的电路分析和与本章末部分习题有关材料。也可浏览一下其他诸如电子建模、计算机仿真技术、拉普拉斯变换和 z 变换理论以及半导体器件理论方面的材料。

习题

1.1-1 用式(1.1-1)将 5 位二进制数 10110(顺序为 b_4, b_3, b_2, b_1, b_0) 换算成十进制数。

1.1-2 对图 P1.1-2 所示的正弦信号进行模拟采样和保持,假设采样点在 t/T 的整数上。

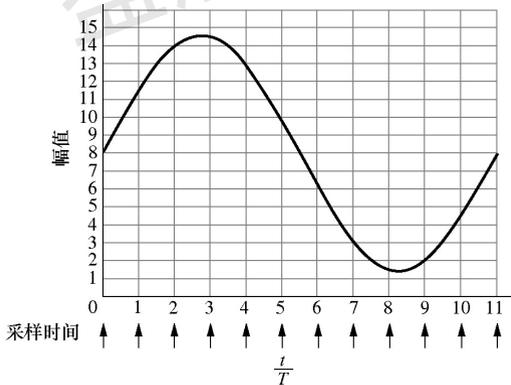


图 P1.1-2

1.1-3 按照式(1.1-1)用 4 位数据完成图 P1.1-2 正弦信号的数字化。

下面的问题请参考附录 A 中的内容。

1.1-4 用节点方程求出图 P1.1-4 的 v_{out}/v_{in} 。

1.1-5 用网孔方程求出图 P1.1-4 的 v_{out}/v_{in} 。

1.1-6 用电源等效变换和置换的概念简化图 P1.1-6, 并求出 i_{out}/i_{in} (仅用链式计算)。

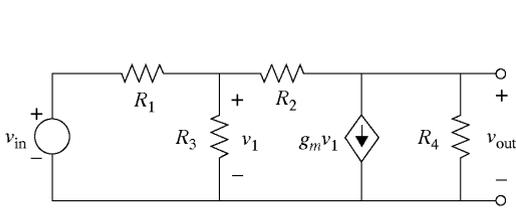


图 P1.1-4

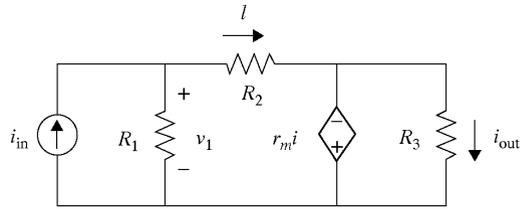


图 P1.1-6

1.1-7 电路如图 P1.1-7 所示, 求 v_2/v_1 和 v_1/i_1 。

1.1-8 用电路简化技术求解图 P1.1-8 中的 v_{out}/v_{in} 。

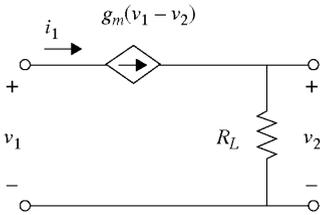


图 P1.1-7

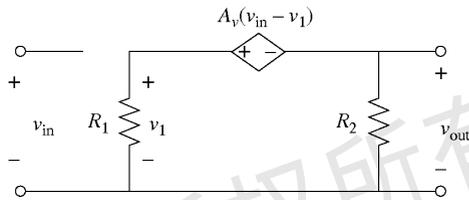


图 P1.1-8

1.1-9 试用密勒简化技术求解图 A.1-3 中的 v_{out}/v_{in} (见附录 A)。

1.1-10 试求图 A.1-12 中的 v_{out}/i_{in} 并与例 A.1-1 的结果进行比较。

1.1-11 用附录 A 中介绍的密勒简化技术求解图 P1.1-4 中的输出电阻 v_{out}/i_{out} ; 不用密勒简化技术, 直接计算输出电阻并对结果进行比较。

1.1-12 在一个增益 $A_v = 0.98$ 的理想电压放大器中, 用一个 $50 \text{ k}\Omega$ 的电阻从输出端连接到输入端。试用密勒简化技术计算电路的输入电阻。

参考文献

1. D. Welland, S. Phillip, K. Leung, T. Tuttle, S. Dupuie, D. Holberg, R. Jack, N. Sooch, R. Behrens, K. Anderson, . Armstrong, W. Bliss, T. Dudley, B. Foland, N. Glover, and L. King, "A Digital Read/Write Channel with EEPR4 Detection," *Proc. IEEE Int. Solid-State Circuits Conf.*, Feb. 1994.
2. M. Townsend, M. Hoff, Jr., and R. Holm, "An NMOS Microprocessor for Analog Signal Processing," *IEEE J. Solid-State Circuits*, Vol. SC-15, No. 1, pp. 33-38, Feb. 1980.
3. M. Banu and Y. Tsvividis, "An Elliptic Continuous-Time CMOS Filter with On-Chip Automatic Tuning," *IEEE . Solid-State Circuits*, Vol. 20, No. 6, pp. 1114-1121, Dec. 1985.
4. Y. Yee et al., "A 1 m V MOS Comparator," *IEEE J. Solid-State Circuits*, Vol. 13, pp. 294-297, June 1978.
5. A. Yukawa, "A CMOS 8-bit High-Speed A/D Converter IC," *IEEE J. Solid-State Circuits*, Vol. 20, pp. 775-779, June 1985.