



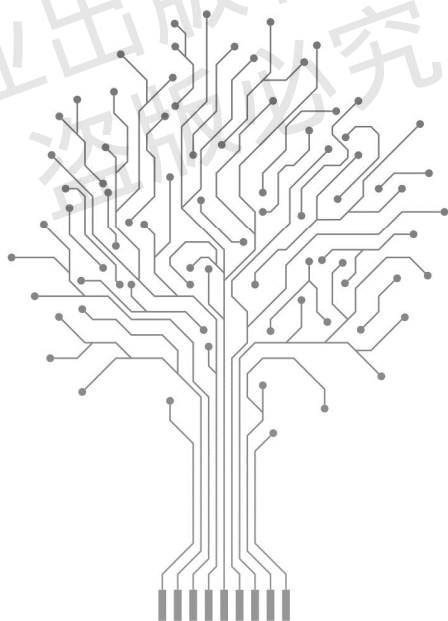
普通高等教育精品教材  
普通高等教育“十一五”国家级规划教材  
国家一流高校立项教材  
国家一流学科教材  
国家级一流本科专业教材  
新工科集成电路专业一流精品教材



工信学术出版基金  
Industry and Information Technology  
Academic Publishing Fund

# SoC设计方法与实现 (第4版)

◎ 魏继增 郭 炜 史再峰 郭 箐 谢 憬 编著



电子工业出版社

Publishing House of Electronics Industry

北京·BEIJING

## 内 容 简 介

本书是普通高等教育“十一五”国家级规划教材、普通高等教育精品教材。本书结合 SoC 设计的整体流程,对 SoC 设计方法学及如何实现进行了全面介绍。全书共 15 章,主要内容包括: SoC 设计绪论、SoC 设计流程、SoC 设计与 EDA 工具、SoC 系统架构设计、IP 复用的设计方法、RTL 代码编写指南、同步电路设计及其与异步信号交互的问题、综合策略与静态时序分析方法、SoC 功能验证、可测性设计、低功耗设计、后端设计、SoC 中数模混合信号 IP 的设计与集成、I/O 环的设计和芯片封装、课程设计与实验。书中不仅融入了很多来自工业界的实践经验,还介绍了 SoC 设计领域的最新成果,可以帮助读者掌握工业化的解决方案,使读者能够及时了解 SoC 设计方法的最新进展。本书提供中英文电子课件、微课视频、教学日历、课程大纲、教学设计等资料。

本书可以作为集成电路、微电子、电子、计算机等专业高年级本科生及研究生的教材,也可以作为集成电路设计工程师的技术参考书。

未经许可,不得以任何方式复制或抄袭本书之部分或全部内容。

版权所有,侵权必究。

## 图书在版编目(CIP)数据

SoC 设计方法与实现 / 魏继增等编著. —4 版. —北京: 电子工业出版社, 2022.8

ISBN 978-7-121-44101-1

I. ①S… II. ①魏… III. ①集成电路—芯片—设计 IV. ①TN402

中国版本图书馆 CIP 数据核字(2022)第 143406 号

责任编辑: 王羽佳

印 刷:

装 订:

出版发行: 电子工业出版社

北京市海淀区万寿路 173 信箱 邮编: 100036

开 本: 787×1 092 1/16 印张: 20.5 字数: 606 千字

版 次: 2007 年 6 月第 1 版

2022 年 8 月第 4 版

印 次: 2022 年 8 月第 1 次印刷

定 价: 79.90 元

凡所购买电子工业出版社图书有缺损问题, 请向购买书店调换。若书店售缺, 请与本社发行部联系, 联系及邮购电话: (010) 88254888, 88258888。

质量投诉请发邮件至 [zltz@phei.com.cn](mailto:zltz@phei.com.cn), 盗版侵权举报请发邮件至 [dbqq@phei.com.cn](mailto:dbqq@phei.com.cn)。

本书咨询联系方式: (010) 88254535, [wjy@phei.com.cn](mailto:wjy@phei.com.cn)。

# 序 一

2007 年是晶体管发明 60 周年，2008 年是集成电路发明 50 周年。也许连晶体管的发明人威廉·肖克利（William Shockley）和集成电路的发明人杰克·基尔比（Jack Kilby）当初也没有意识到，他们的发明能够对后世产生如此重大和深远的影响，以至于今天的生活中晶体管和集成电路无处不在。1965 年戈登·摩尔（Gordon Moore）提出了著名的摩尔定律（Moore's Law），准确地预言了其后 40 多年集成电路技术的发展。尽管今天在面临功耗等诸多挑战的时候，人们对摩尔定律还能持续多久产生了一些疑问，但也没有人怀疑它在未来 20 年中还会一直有效。

即使对集成电路技术一无所知的人，也很容易计算出  $2^{26}$  是一个多么巨大的数字。回顾集成电路在过去的 40 多年中以集成度每 18 个月翻一番的速度成长的过程，我们今天无论如何也不该再简单地使用芯片这个单词了，因为它已经无法准确地描述今天集成电路的复杂度和功能。在绞尽脑汁用小规模、中规模、大规模、甚大规模、超大规模和特大规模等形容词来描述集成电路复杂度的过程中，人们发现已经找不到更合适的形容词了，似乎语言的能力在高速发展的集成电路技术面前也有些黔驴技穷。20 世纪末逐渐被人们所采用的系统级芯片（SoC, System on Chip）预示着这个行业在快速发展 40 年后，正在出现一个量变到质变的突破。

2003 年也许注定就是一个不平凡的年份，在亚洲国家遭受“非典”影响的同时，全球集成电路产业也悄悄地经历了一个痛苦、但是意义深远的变革。这次变革虽然没有惊天动地，但足以让集成电路产业来重新审视我们过去研究和预言过无数次的未来。我们曾经非常熟悉、且深信不疑的集成电路产业发展的动力，如以工艺能力为中心的工艺技术进步驱动产业发展，等比例缩小驱动性能提升和成本下降，提高性能是芯片追求的主要目标和动态功耗主导芯片功耗等，除了等比例缩小仍然是成本下降的主要手段，其他的都发生了深刻的变化。例如，以设计能力为核心的系统设计技术成为驱动产业发展的主要力量，创新驱动性能提升，芯片的功耗不再取决于动态功耗，而取决于静态功耗等。面对这些变化，我们一方面不得不感叹技术进步的迅猛和知识更新换代的频繁，另外一方面也惊讶地发现，我们要面对的不再是传统芯片的设计问题，包括软件、通信、应用等诸多系统层面的问题也成为我们必须面对和克服的挑战。不少有识之士在不断地提醒着我们 SoC 中的 S（System）比 C（Chip）更重要，这是因为了解 S 是设计 C 的先决条件。显然，SoC 的设计者不仅要掌握芯片的设计技术，更要了解和掌握系统的知识。

中国是信息产业大国，也是集成电路产业大国。经过数十年的精心组织和发展，中国已经成为全球集成电路产业的重要基地之一。可以预见的是，在未来若干年中，全球集成电路产业向中国转移的大趋势将不会改变，这不仅是因为中国经济的发展造就了庞大的市场需求，更是中国本土集成电路产业的进步营造了一个全球不可多得的、优秀的集成电路产业发展环境。以设计为龙头的产业发展策略在造就了一个生机勃勃的集成电路设计行业的同时，也极大地提升了我国在集成电路领域的创新能力。以移动通信为例，我们在第一代模拟移动通信中只是一个站在圈外的买家，在第二代移动通信的发展中期，我们就参与了关键芯片产品的竞争，而在第三代移动通信发展的初期，我们已经成为一个全球不能忽视的重要伙伴。这些有目共睹的变化，昭示着中国集成电路产业发展的希望和强劲力量。进入新世纪以来，我们见证了集成电路产业在中国的飞速发展，更感受到了产业发展对人才培养的迫切需求。与发达国家相比，我国集成电路设计人才的数量和质量都相差甚远，根本无法满足产业发展的需求。因此，我们完全有理由相信今后 10 年对于集成电路人才的需求，特别是对高层次集成电路人才的需求将持续升温。

人才的培养离不开一流的师资和教材。目前，国内高校在集成电路设计教学方面更多的是采用国外引进的专业基础教材，虽然其中不乏经典之作，但总体来看，这些教材缺乏从系统看芯片的介绍，缺乏对 SoC 概念的讲解，缺乏从工程的角度教会学生做 SoC 设计的内容，学生也很难将底层器件和上层系统联系在一起。这造成了国内培养的工程师往往能够设计一个小的功能模块，却很难胜任一个复杂 SoC 的设计。

本书围绕 SoC 设计，全面深入地介绍了有关 SoC 的知识，着重阐述了 SoC 设计中广受关注的系统架构设计、低功耗设计、可测性设计、先进验证方法和后端设计。内容既包括 SoC 的概念介绍，常用的微处理器、总线和存储器，还包括 SoC 设计的完整流程和工具介绍，以及 RTL 代码编写指南等十分实用的内容，是一本内容全面并具有一定前瞻性的教材及参考书。

本书的主要作者郭炜研究员具有在 Motorola 长期参与芯片设计与项目管理的丰富经历，以及多年从事科研与教学的经验。书中不仅介绍了 SoC 设计领域的最新成果，还融入了很多来自工业界的实践经验和案例，可以帮助读者通过了解工业界实用的解决方案，快速提升对 SoC 设计的理解，掌握 SoC 设计的关键技术。书中不仅涉及芯片的设计，也包含了封装等一般集成电路设计教材中大多忽略的内容，使得实用化成为本书的第二个重要特点。

本书没有遵循一般专著或教材的编写特点，而是以教会学生实用的设计技术为主线，按照 SoC 设计流程来组织和安排各个章节的内容，能够让初次涉足此领域的学生顺着书阅读，自然地学习和掌握 SoC 的设计过程。书中给出的实验大纲和项目进度管理等，不仅进一步充实了本书作为教材的内容，对于学生今后的就业也是不错的基础培训。

过去几年中，我国越来越多的高等院校扩大了集成电路设计专业的人才培养，因此建设更多、更优秀、实践性更强的教材迫在眉睫。希望今后能够看到更多富有工程及教学经验的人士编写出更多、更好的教材，为我国集成电路设计人才的培养做出我们应有的贡献。



（魏少军）

2007 年 4 月于北京清华大学

## 序 二

2007 年初，我读了郭炜研究员编写的《SoC 设计方法与实现》一书的手稿，并为之写序，我当时主要看到的是一个成功的 SoC 设计者的丰富实践经验。今天，我再次先于读者拜读《SoC 设计方法与实现》，明显看到了作者根据技术的革新与进步，对第 1 版的技术内容做了大幅度增删，也明显看到了沉淀在书稿中的作者在这 4 年多的时间里积累的教学经验。

4 年多来，传统的硅基 CMOS 主流工艺技术仍在不断改进，应用于不同领域的处理器的集成度还在不断增加。在晶体管集成度、单位功率性能和功能集成等关键指标方面，在新的纪录不断产生的同时又不断被打破。高性能数字单元的实现工艺覆盖了不同的工艺技术，包括 65nm、45nm、40nm、32nm 及 SOI CMOS 技术。

4 年多来，SoC 设计中所涉及的新器件、新结构迅速出现，模拟 SoC 的设计需求越来越多。数字技术的迅速发展和壮大，曾使人们一度忘记了真正的世界其实是模拟的世界！今天，为了满足模拟 SoC 信号处理的精度需求，大量使用了将数字信号处理模块嵌入到模拟电路模块的设计方法，利用这类技术研发的电路的性能已经可以与传统方式设计的高性能模拟集成电路相比拟，甚至有的已经超越了后者。

4 年多来，得益于先进的纳米尺度 CMOS 工艺技术及电路结构和实现技术的不断创新，无线通信电路模块的数据传输速率在不断提高。采用 CMOS 工艺的射频单元技术和电路技术发展迅速，利用载波频率为 120GHz 的频带，近距离无线通信的收发器可以实现 10Gb/s 的收发速率，这种无线链接的数据速率已经与传统的有线解决方案的速率十分接近。随着无线多媒体通信对数据通信速率的要求越来越高，SoC 设计越来越多地要包含射频单元。

4 年多来，无论是面向高性能计算的 SoC，还是面向低功耗消费电子产品的 SoC，都发展迅速，系统中越来越多地要嵌入不同类型的存储单元。随着工艺的特征尺寸发展到 32nm 或 28nm 以下，SoC 中包含的存储容量越来越大，性能越来越强，但是工艺尺寸缩小也使得包含嵌入式存储器的 SoC 设计面临越来越多的技术难题和挑战。

4 年多来，随着工艺水平的发展，处理器的系统集成度越来越高，从而在 SoC 设计时对系统级的功耗优化和有效的电源管理提出了更加苛刻的要求。由于低功耗的需要，SoC 设计者有时不得不放弃对高工作频率的追求，转而通过集成多个工作频率较低的处理核来并行执行任务。利用这种计算模式，在不需要运算时可以关掉某些处理器核或使之进入休眠模式，以降低系统功耗。

经过 4 年多的技术演变，SoC 设计者面临的设计问题、应用对象、可用设计元素及 SoC 设计方法与实现技术本身都已发生了很大变化。我很高兴地看到，郭炜研究员的及时修订体现了这种技术演变。

《SoC 设计方法与实现》第 1 版付梓时，郭炜研究员刚刚离开工业界，到大学执教，甚至可以说，她是 SoC 设计的专家，却是 SoC 设计人才培养（教学工作）的“新手”。我很高兴地看到，本

书的修订在实验环节上做了大幅度的补充，充分反映了郭炜研究员的教学经验。

《SoC 设计方法与实现》能更好地适应复杂 SoC 设计工作的需求，能够帮助读者掌握有关集成电路设计 SoC 技术工业化的解决方案，使读者能够及时了解 SoC 设计方法的最新进展，是一本内容全面、将理论与实践有机结合的教材及技术参考书，相信不论是高校的在校学生，还是 SoC 设计的入门者和有经验的工程师都可以从本书中获取有益的知识！



（王志华）

2011 年 5 月于清华大学

电子工业出版社版权所有  
盗版必究

## 第 4 版前言



近年来，很多大事件暴露出“缺芯少魂”已成为我国信息产业的软肋。系统级芯片（SoC，System-on-Chip）是复杂的高端集成电路芯片，是我国信息产业发展的基石和支柱。SoC 设计也是我国被“卡脖子”的、亟待突破的核心技术之一。这个问题的根源在于相关人才储备严重不足，人才培养迫在眉睫。由于国内缺少 SoC 相关教材及参考书，本教材自 2007 年第 1 版面世，迄今已历时十余年，改版 4 次，累计印刷近 8 万册，为我国集成电路设计培养了一大批专业人才。自本书第 3 版出版以来，SoC 设计在开源指令集处理器、低功耗设计、功能验证方法、可制造性设计、芯片封装等领域发展迅猛，出现了大量新颖的设计理念、方法、流程和实现技术。

为了使學生能够紧跟产业界发展，本书第 4 版主要修订内容如下。

1. “第 4 章 SoC 系统架构设计”中，详细讲解了开源指令集处理器 RISC-V。RISC-V 指令集开源及模块化的特点符合 AIoT（AI+IoT）时代碎片化特征，极大地加速了智能计算系统的设计迭代速度，将成为我国未来 SoC 系统的重要基石之一。此外，本章还添加了复杂片上网络的介绍，并添加了 RISC 处理器和 DSP 结合的异构多核架构的内容。

2. “第 9 章 SoC 功能验证”中，更新了通用验证方法学（UVM）的介绍。随着 EDA 工具对 UVM 的大力支持，UVM 正逐渐被设计工程师所采用，进而缩短验证周期，提高验证覆盖率。

3. “第 11 章 低功耗设计”中，重写第 11.4.3 节，将之前的门级优化技术修改为采用低功耗技术的设计流程；将第 3 版的“11.6.1 节 基于 UPF 的设计流程”，修改为“基于 UPF 的低功耗电路综合”。目前，典型的低功耗设计技术已经标准化，主流的 EDA 工具也都具备了在语法上解析并分析整个 UPF 语言的功能。

4. “第 12 章 后端设计”中，引入了最新的可制造性设计/面向良率设计（DFM/DFY）技术。随着芯片制造工艺的进步，尤其是进入 65nm 之后，特征尺寸的减小，以及芯片设计规模和复杂性的增大，芯片生产制造过程所引入导致 DFM 变差的原因更复杂，严重降低了成品率。面向 DFM/DFY 的设计方法学从产品开发早期就开始，并贯穿整个设计过程。

5. “第 14 章 I/O 环的设计和芯片封装”中，添加了“3D IC 技术”的介绍。3D IC 是基于垂直互连技术，实现相同或不同工艺的裸片之间的垂直层间集成。由于 3D IC 上通信信号仍然是片上信号，可以大大降低芯片互连线上的功耗，以及在系统带宽和时序上的优势，3D IC 在高性能计算机、智能手机、IoT 等边缘设备等应用的需求将变得更加明显。

6. “第 15 章 课程设计与实现”中，将之前的第 2 个课程设计“基于 ARM7TDMI 处理器的 SoC 设计”更换为“基于 RISC-V 的 SoC 设计与验证”，采用开源 CVA6 处理器和 Ariane SoC 设计了 3 个实验，分别为 SoC 系统集成、SoC 软硬件验证、面向特定应用的 SoC 设计。

7. 提供包括微课视频、中英文电子课件、教学日历、课程大纲、教学设计等在内的教学支持资源。请扫描书中二维码进行同步拓展学习，登录华信教育资源网（<http://www.hxedu.com.cn>）注册下载相关教学支持资源，登录华信 SPOC 在线学习平台（<https://www.hxs poc.cn>）进行在线学习。

8. 本书附录包括：Pthread 多线程编程接口、SoCLib 系统支持包、64 位 RISC-V（RV64）指令集体系结构、CVA6 处理器微架构概述、AXI4 总线协议简介等，请扫描以下二维码在线学习。



Pthread 多线程编程接口



SoCLib 系统支持包



64 位 RISC



CVA6 处理器微架构概述



AXI4 总线协议简介

本书第 4 版由天津大学智能与计算学部魏继增、郭炜，天津大学微电子学院史再峰等执笔完成。从本书第 1 版至第 4 版，作者始终得到了很多来自工业界和学术界专家的建议及宝贵资料，正是他们的鼎力支持，保障了本书的与时俱进。在编写过程中，来自清华大学的魏少军教授、王志华教授等各位专家都花费了大量时间和精力对本书进行了审阅，并从章节结构、内容及实践细节等方面提出了许多宝贵的修改意见。在第 4 版的编写过程中，来自高校及工业界的韦素芬、姚永斌、于彩虹、兰光洋、崔鲁平、常轶松、刘强、程明等专家、同事和学生为本书编写提供了最新的技术资料和支持。如果没有这些业界同仁的付出，本书无法达到如今的水平。还要特别感谢电子工业出版社王羽佳编辑，对本书的出版给予的热情帮助。此外，在编写过程中，作者还参阅了很多国内外作者的相关著作，特别是本书参考目录中列出的著作，在此一并表示感谢。

本书是以天津大学“十四五”规划教材、天津市一流本科课程“系统级芯片（SoC）设计”为依托编写完成的，在此感谢天津市教委和天津大学教务处对我们的信任和支持。

本书有不足之处，敬请读者批评指正。

作 者

2022 年 1 月



## 第 3 版前言

随着对产品快速市场化和多样性需求的增加，半导体产业已经由技术驱动进入应用驱动阶段。创新周期越来越短，技术开发和产业化的边界日趋模糊，技术更新和成果转化更加快捷，产业更新换代不断加快。面向系统应用的新型 SoC，融合计算、通信和多媒体等多种应用，由“CPU+DSP+FPGA+硬件加速器+I/O”等组成的混合架构，在能够满足多种功能的需求的同时，对成本和能效提出了更高的要求。在新的挑战面前，SoC 设计方法也在不断地发展。基于 FPGA 的 SoC 设计，由于它的可重构性和设计周期短，更容易适合系统设计的变化，正在被越来越广泛地应用在汽车电子、网络通信、超级计算及人工智能等领域。SoC 中的 IP 和可复用的设计方案，加快了产品的快速实现，使得 IP（包括验证 IP）、验证环境不断标准化。统一的验证方法学（UVM）的出现，大大缩短研发时间。在对性能要求与日俱增的同时，能耗或者能效已成为与性能同等重要的设计约束。由此而发展的统一功耗格式标准（UPF 标准），使得低功耗 SoC 设计更加高效。

为了跟上工业界发展的步伐，本书第 3 版主要更新如下章节。

1. 在第 2 章 SoC 设计流程中，添加了基于 FPGA 的 SoC 设计流程。在 FPGA 上集成 CPU 软核或硬核，或将 FPGA 和 CPU 集成在同一芯片上，极大地扩充了 FPGA 的功能和应用领域，这种 FPGA 称为 SOPC 或“SoC FPGA”。但从功能上看，可以归类为基于 FPGA 的 SoC。
2. 在第 4 章 SoC 系统架构设计中，添加了各类存储器在 SoC 中的使用及近年来基于新存储机制新型非易失存储器的介绍。在 SoC 中，存储器是决定性能的另一个重要因素。
3. 在第 9 章 SoC 功能验证中，添加了 UVM 验证方法学介绍。UVM 提供了可重用的验证组件，减少验证的费用，目前已被工业界采纳。
4. 在第 11 章低功耗设计中，添加了 UPF 标准介绍，并通过具体例子，进一步介绍低功耗设计的实现方法。
5. 在第 15 章课程设计中，补充了 ESL 实验环境的搭建，减少读者在软件安装和配置上所花费的时间。

在本书第 3 版的编写过程中，得到了很多来自工业界和学术界专家的修订建议及宝贵资料。这也促成第 3 版的完成。在此表示深深的谢意！

作者  
2017 年 7 月



## 第 2 版前言

从本书的第 1 版出版（2007 年）至今，SoC 设计方法与实现技术已发生了很大变化。随着摩尔定律的延伸（More than Moore），SoC 及 SiP 在各类消费电子、汽车电子、医疗电子等嵌入式应用中已成为主流，其系统结构也从简单的单核结构发展为复杂得多核甚至众核结构。

本书在第 1 版的基础上，紧跟复杂 SoC 设计的发展潮流，强调和阐述 SoC 设计在系统结构、设计方法学、设计技术、验证方法上的最新进展和发展趋势。此外，本书与第 1 版相比的另一个显著特点是更加注重实验环节。新增加的实验采用了先进的电子系统级（ESL）设计方法，从单核 SoC 系统结构逐步优化到多核 SoC（MPSoC, Multi-processor SoC）系统结构，从串行程序设计到多线程并行程序开发，从嵌入式操作系统的移植到驱动程序的开发，内容覆盖 SoC 软硬件协同设计的完整过程，使读者能够将所学到的 SoC 设计的最新理论与具体设计实现技术相结合，增加感性认识，强化动手能力，从而能够更好地适应复杂 SoC 设计工作的需求。

第 2 版主要做了如下修订：

1. 在第 1 章 SoC 设计绪论中，强调了 SoC 设计理论和实现技术的最新进展。在当前摩尔定律及其延伸（More than Moore）的背景下，阐述 SoC 设计方法与设计技术的发展与挑战。

2. 第 4 章 SoC 系统结构设计是第 2 版的重点内容。针对复杂 SoC 的发展趋势，增加了多核 SoC 的系统结构设计的内容。根据多核 SoC 系统结构设计的考虑，介绍可用的并发性、多核 SoC 设计中的系统结构选择、多核 SoC 的性能评价、典型的多核 SoC 系统结构，如片上网络（NoC）、可重构 SoC 等。此外，第 4 章在第 1 版的电子系统级设计基础之上，增加了对 OSCI TLM 2.0 最新事务级标准协议及建模方法的介绍。

3. 随着可复用技术的发展，一种比 IP 规模更大的可重用、可扩展复用单元应运而生，即平台。基于平台的设计方法可以使 IP 更容易集成到整个系统当中，可以更好地复用平台，进而可以更快地开发产品。在第 5 章 IP 复用的设计方法中，强调了平台的概念和基于平台的 SoC 设计方法。

4. 由于复杂的软硬件结构及众多的模块，验证已经成为复杂 SoC 设计中最关键也是最花时间的环节，它贯穿了整个设计流程。在第 9 章 SoC 功能验证中，增加了功能验证方法与验证规划的介绍，通过多个以 SystemVerilog HDL 语言写的实例，强调验证的自动化。

5. 在第 12 章后端设计中，修改了时钟树综合部分，结合低功耗的应用需求，给出了相应的时钟树设计策略。同时，新加入了时钟网格的概念，并介绍时钟网格和时钟树融合的全局时钟结构。

6. 随着人与环境交互功能需求的增加，集成电路的类型从数字电路到模拟电路、射频电路、无源器件、高压电路、传感器、生物芯片等不断增加，这些电路的制造已超出了单一的 CMOS 工艺（Beyond CMOS）。系统集成和新的混合集成技术成为发展趋势。在第 13 章 SoC 数模混合信号 IP 的设计与集成中，增加了对 SoC 混合集成的新趋势的介绍，重点介绍了 3D 集成电路。与传统的 SiP 封装集成不同，3D 集成电路是在芯片设计阶段依托 EDA 工具和特定的半导体生产工艺，直接在多层晶圆上完成晶体管集成，是一种单片集成技术。

7. 在第 14 章 I/O 环的设计和芯片封装中，增加了近几年更为成熟的倒置（FLIP-CHIP）封装方式对芯片 I/O 设计的影响。主要包括：倒置封装的原理、与普通 I/O 的区别和基于倒置封装

的芯片后端设计方法。

8. 增加了基于 ESL 设计方法的 Motion-JPEG 视频解码器设计实验。通过该实验, 可了解并掌握从单核 SoC 到多核 SoC 的系统结构设计及软件开发的全部流程。

本书提供电子课件, 请登录华信教育资源网 (<http://www.hxedu.com.cn>) 注册下载。本书可作为高等学校电子信息、微电子、计算机等专业的高年级本科生和研究生的“SoC 设计”或“高级 VLSI 设计”课程的教材及教学参考书, 也可供 IC 设计工程师、嵌入式系统工程师学习、参考。

第 2 版修订大纲由天津大学郭炜老师制定。第 1、9 章由郭炜老师编写, 第 4、5 和 15 章由天津大学魏继增老师编写, 第 12、14 章由上海交通大学郭箬老师编写, 第 13 章由上海交通大学谢憬老师编写。全书由郭炜老师统稿。

本书自第 1 版出版以来, 收到了很多读者反馈。清华大学的魏少军教授、王志华教授等多位专家提出很多建设性的意见。法国国家 TIMA 实验室 (TIMA Laboratory) 系统级综合研究组的 Frédéric Pétrot 教授及沈浩研究员把他们多年来在 ESL 设计及多核 SoC 方面的研究成果无私分享, 使第 2 版的实验得到了进一步充实。来自工业界的 Synopsys、ARM、IBM、苏州国芯等公司也提供了近几年他们关注的实际问题及解决方案, 使本书的内容更贴近工业界的发展前沿。电子工业出版社为本书的顺利出版给予了很大帮助。由于篇幅的原因, 对于书中提及和引用的参考文献的作者不能一一列出, 他们的工作为本书提供了强有力的理论和实践的支持。在此, 我们一并表示由衷的感谢!

由于时间仓促, 不足或错误之处, 希望读者批评指正。

作者  
2011 年 7 月

# 前 言

本书是普通高等教育“十一五”国家级规划教材，并被评为 2008 年度普通高等教育精品教材。

由于我国集成电路设计发展迅速，人才的培养迫在眉睫，大部分 IC 设计工程师缺乏 SoC 整体设计的概念。2003 年秋，上海交通大学为工程硕士开设了 SoC 设计课程，由于缺少相关的教材及参考书，学生所能阅读的内容非常有限，于是就开始着手编写本书。在近两年的编写过程中，前后修改过多次，其间分别试用于研究生的教学及对业界工程师的培训中。书中不仅融入了编者多年的工程经验，还尽可能地将近几年集成电路设计领域国内外最新的进展收入其中。

本书适用于电子科学与技术专业和电子信息工程专业高年级本科生及研究生集成电路领域相关课程的教学，也可以作为 IC 设计工程师的技术参考书。书中列举了大量工程实例来直接告诉读者“如何做 SoC 设计”。希望这本书不仅能使刚刚涉足集成电路设计领域的读者建立完整的 SoC 设计理念，而且能够给 IC 设计工程师提供一些帮助。

本书结合 SoC 设计的整体流程，对 SoC 设计方法学及如何实现进行了全面的介绍。全书共 14 章。

第 1 章阐述 SoC 设计技术发展的趋势及所面临的挑战，这些挑战使读者专注于 SoC 设计的难点。

第 2 章阐述软硬件协同设计的流程，以及基于标准单元的设计流程，希望读者对 SoC 设计的完整过程有一定的了解。本书其余几章是按照 SoC 设计流程，一步一步深入下去的。

第 3 章介绍与 SoC 设计密切相关的 EDA 工具。SoC 设计从系统架构设计开始，到硬件实现的每个步骤都与 EDA 工具紧密相连。通过这章的介绍，希望读者对 SoC 的设计流程有更深入的认识。

第 4 章阐述 SoC 系统架构设计。重点介绍了新兴的、用于复杂 SoC 架构设计的电子系统级(ESL)设计方法。

第 5 章介绍 IP 复用的设计方法及基于平台的 SoC 设计方法。SoC 以 IP 复用为基础，而基于平台的 SoC 设计方法是在 IP 复用的基础上拓展开来的，此类方法更能满足快速的市场变化，目前被工业界广泛使用。

第 6 章和第 7 章就 RTL 代码编写中常犯的错误，如缺少整体规划、同步电路与异步电路的处理等问题给出指导性的建议。

第 8 章就综合策略、静态时序分析(STA)及基于统计的时序分析(SSTA)方法加以详细介绍。这些方法对于前端和后端 IC 设计工程师都应该熟练掌握。其中，SSTA 方法是在 45nm 以下工艺进行设计时最受关注的新方法。本章还结合 Synopsys 的工具给出设计实例。

第 9 章提出了 SoC 功能验证所面临的问题和挑战，主要介绍系统级的验证策略和基于断言的验证(Assertion Based Verification)方法。

第 10 章对 SoC 的可测性设计(DFT)进行介绍，包括逻辑和存储器的内建自测(BIST)、边界扫描和扫描链插入等。

第 11 章介绍业界关注的低功耗设计问题和不同层次上的低功耗设计技术。

第 12 章和第 13 章主要涵盖了后端设计的关键知识及数模混合电路在 SoC 设计与集成时的考虑，包括布局布线、时钟分配和时钟树的生成，以及信号完整性问题和可制造性设计(DFM/DFY)等。

第 14 章讨论了 I/O 环的设计和芯片封装问题。包括噪声消除技术、ESD 保护方案及如何选择 SoC 的封装形式等。

此外，为了让读者更好地掌握本书的内容，掌握一定的 SoC 设计实际经验，在本书第 15 章课程设计与实验中，还引入了需要一个团队共同来完成的 SoC 设计实验，并就如何进行项目管理、如何控制进度加以介绍。对于一个完整的集成电路设计项目，团队合作、团队沟通至关重要，这也是本书希望有志于日后投身集成电路设计事业的人员所需要掌握的重要内容之一。

本教材为读者提供免费的多媒体电子课件，请登录华信教育资源网（<http://www.hxedu.com.cn>）注册下载。

本书由郭炜、郭箬和谢憬执笔完成。在编写期间，受到了来自多方面的支持和帮助。上海交通大学微电子学院的领导和师生一直对本书的编写给予了大力支持。学院付宇卓教授、汪辉副教授等同仁对本书的编写提出了很重要的建议，并花费了大量时间为本书进行审稿。2003 级、2004 级和 2005 级的部分研究生参与了文献整理，修订了本书中的许多纰漏和差错。另外，清华大学的魏少军教授和王志华教授也对本书的撰写做了前瞻性的指导。电子工业出版社对本书的出版给予了热情的帮助。Synopsys 公司为本书提供了许多实例。在此谨向所有在本书的编写和出版工作中曾给予鼓励和帮助的各界人士表示衷心的感谢！此外，在写作过程中，作者参阅了国内外作者的有关论文和著作，特别是本书参考书目中列出的论著，在此一并表示谢意！

鉴于 SoC 技术发展迅速，且涉及众多技术领域，作者虽已尽力，但书中难免存在遗漏和错误之处，敬请读者批评指正。

郭 炜

2007 年 3 月于上海

## 目 录

第 1 章 SoC 设计绪论 .....	1	3.5.1 EDA 工具的布局 布线流程 .....	33
1.1 微电子技术概述 .....	1	3.5.2 布局布线工具的 发展趋势 .....	33
1.1.1 集成电路的发展 .....	1	3.6 物理验证及参数提取与 相关的工具 .....	33
1.1.2 集成电路产业分工 .....	2	3.6.1 物理验证的分类 .....	33
1.2 SoC 概述 .....	3	3.6.2 参数提取 .....	34
1.2.1 什么是 SoC .....	3	3.7 著名 EDA 公司与工具介绍 .....	35
1.2.2 SoC 的优势 .....	4	3.8 EDA 工具的发展趋势 .....	37
1.3 SoC 设计的发展趋势及 面临的挑战 .....	5	本章参考文献 .....	38
1.3.1 SoC 设计技术的 发展与挑战 .....	5	第 4 章 SoC 系统架构设计 .....	39
1.3.2 SoC 设计方法的 发展与挑战 .....	9	4.1 SoC 系统架构设计的 总体目标与阶段 .....	39
1.3.3 未来的 SoC .....	10	4.1.1 功能设计阶段 .....	40
本章参考文献 .....	10	4.1.2 应用驱动的系统架构 设计阶段 .....	40
第 2 章 SoC 设计流程 .....	11	4.1.3 基于平台的系统架构 设计阶段 .....	40
2.1 软硬件协同设计 .....	11	4.2 SoC 中常用的处理器 .....	40
2.2 基于标准单元的 SoC 芯片设计流程 .....	13	4.2.1 通用处理器 .....	41
2.3 基于 FPGA 的 SoC 设计流程 .....	17	4.2.2 处理器的选择 .....	43
2.3.1 FPGA 的结构 .....	17	4.3 SoC 中常用的总线 .....	45
2.3.2 基于 FPGA 的设计流程 .....	21	4.3.1 AMBA 总线 .....	46
本章参考文献 .....	24	4.3.2 CoreConnect 总线 .....	47
第 3 章 SoC 设计与 EDA 工具 .....	25	4.3.3 Wishbone 总线 .....	47
3.1 电子系统级设计与工具 .....	25	4.3.4 开放核协议 (OCP) .....	48
3.2 验证的分类及相关工具 .....	25	4.3.5 复杂的片上总线架构 .....	49
3.2.1 验证方法的分类 .....	25	4.4 SoC 中典型的存储器 .....	49
3.2.2 动态验证及相关工具 .....	26	4.4.1 存储器分类 .....	50
3.2.3 静态验证及相关工具 .....	27	4.4.2 常用的存储器 .....	51
3.3 逻辑综合及综合工具 .....	28	4.4.3 新型存储器 .....	52
3.3.1 EDA 工具的综合流程 .....	28	4.5 多核 SoC 的系统架构设计 .....	53
3.3.2 EDA 工具的综合策略 .....	29	4.5.1 可用的并发性 .....	53
3.3.3 优化策略 .....	29	4.5.2 多核 SoC 设计中的 系统架构选择 .....	54
3.3.4 常用的逻辑综合工具 .....	30	4.5.3 多核 SoC 的性能评价 .....	55
3.4 可测性设计与工具 .....	30		
3.4.1 测试和验证的区别 .....	30		
3.4.2 常用的可测性设计 .....	30		
3.5 布局布线与工具 .....	33		

4.5.4 几种典型的多核 SoC 系统架构 .....	56	6.1.9 对布线的考虑 .....	101
4.6 SoC 中的软件架构 .....	59	6.2 可综合 RTL 代码编写指南 .....	102
4.7 电子系统级 (ESL) 设计 .....	62	6.2.1 可综合 RTL 代码的 编写准则 .....	102
4.7.1 ESL 发展的背景 .....	62	6.2.2 利用综合进行代码 质量检查 .....	105
4.7.2 ESL 设计基本概念 .....	63	6.3 调用 Synopsys DesignWare 来优化设计 .....	105
4.7.3 ESL 协同设计的流程 .....	63	本章参考文献 .....	106
4.7.4 ESL 设计的特点 .....	64	<b>第 7 章 同步电路设计及其与 异步信号交互的问题</b> .....	107
4.7.5 ESL 设计的核心 ——事务级建模 .....	66	7.1 同步电路设计 .....	107
4.7.6 事务级建模语言简介 及设计实例 .....	71	7.1.1 同步电路的定义 .....	107
4.7.7 ESL 设计的挑战 .....	78	7.1.2 同步电路的时序 收敛问题 .....	107
本章参考文献 .....	79	7.1.3 同步电路设计的 优点与缺陷 .....	108
<b>第 5 章 IP 复用的设计方法</b> .....	80	7.2 全异步电路设计 .....	109
5.1 IP 的基本概念和 IP 分类 .....	81	7.2.1 异步电路设计的 基本原理 .....	109
5.2 IP 设计流程 .....	82	7.2.2 异步电路设计的 优点与缺点 .....	110
5.2.1 设计目标 .....	82	7.3 异步信号与同步电路交互的 问题及其解决方法 .....	111
5.2.2 设计流程 .....	83	7.3.1 亚稳态 .....	112
5.3 IP 的验证 .....	87	7.3.2 异步控制信号的同步 及其 RTL 实现 .....	114
5.4 IP 的选择 .....	89	7.3.3 异步时钟域的数据同步 及其 RTL 实现 .....	119
5.5 IP 交易模式 .....	89	7.4 SoC 设计中的时钟规划策略 .....	123
5.6 IP 复用技术面临的挑战 .....	90	本章参考文献 .....	123
5.7 IP 标准组织 .....	91	<b>第 8 章 综合策略与静态时序分析方法</b> .....	124
5.8 基于平台的 SoC 设计方法 .....	92	8.1 逻辑综合 .....	124
5.8.1 平台的组成与分类 .....	92	8.1.1 流程介绍 .....	124
5.8.2 基于平台的 SoC 设计流程与特点 .....	93	8.1.2 SoC 设计中常用的 综合策略 .....	126
5.8.3 基于平台的设计实例 .....	94	8.2 物理综合的概念 .....	127
本章参考文献 .....	95	8.2.1 物理综合的产生背景 .....	127
<b>第 6 章 RTL 代码编写指南</b> .....	96	8.2.2 操作模式 .....	128
6.1 编写 RTL 代码之前的准备 .....	96	8.3 实例——用 Synopsys 的工具 Design Compiler 进行逻辑综合 .....	128
6.1.1 与团队共同讨论 设计中的问题 .....	96	8.3.1 指定库文件 .....	129
6.1.2 根据芯片架构准备 设计说明书 .....	96		
6.1.3 总线设计的考虑 .....	97		
6.1.4 模块的划分 .....	97		
6.1.5 对时钟的处理 .....	100		
6.1.6 IP 的选择及设计 复用的考虑 .....	100		
6.1.7 对可测性的考虑 .....	101		
6.1.8 对芯片速度的考虑 .....	101		



8.3.2 读入设计 .....	130	10.2 故障建模及 ATPG 原理 .....	167
8.3.3 定义工作环境 .....	130	10.2.1 故障建模的基本概念 .....	167
8.3.4 设置约束条件 .....	131	10.2.2 常见故障模型 .....	168
8.3.5 设定综合优化策略 .....	133	10.2.3 ATPG 基本原理 .....	170
8.3.6 设计脚本举例 .....	133	10.2.4 ATPG 的工作原理 .....	171
8.4 静态时序分析 .....	135	10.2.5 ATPG 工具的使用步骤 .....	171
8.4.1 基本概念 .....	135	10.3 可测性设计基础 .....	172
8.4.2 实例——用 Synopsys 的 工具 PrimeTime 进行时序分析 .....	138	10.3.1 可测性的概念 .....	172
8.5 统计静态时序分析 .....	144	10.3.2 可测性设计的 优势和不足 .....	173
8.5.1 传统时序分析的局限 .....	145	10.4 扫描测试 (SCAN) .....	174
8.5.2 统计静态时序 分析的概念 .....	145	10.4.1 基于故障模型的可测性 .....	174
8.5.3 统计静态时序 分析的步骤 .....	146	10.4.2 扫描测试的基本概念 .....	174
本章参考文献 .....	146	10.4.3 扫描测试原理 .....	176
第 9 章 SoC 功能验证 .....	147	10.4.4 扫描设计规则 .....	177
9.1 功能验证概述 .....	147	10.4.5 扫描测试的可测性 设计流程及相关 EDA 工具 .....	179
9.1.1 功能验证的概念 .....	147	10.5 存储器的内建自测 .....	180
9.1.2 SoC 功能验证的挑战 .....	148	10.5.1 存储器测试的必要性 .....	180
9.1.3 SoC 功能验证的 发展趋势 .....	148	10.5.2 存储器测试方法 .....	180
9.2 功能验证方法与验证规划 .....	148	10.5.3 BIST 的基本概念 .....	182
9.3 系统级功能验证 .....	150	10.5.4 存储器的测试算法 .....	182
9.3.1 系统级的功能验证 .....	150	10.5.5 BIST 模块 在设计中的集成 .....	185
9.3.2 软硬件协同验证 .....	152	10.6 边界扫描测试 .....	186
9.4 仿真验证自动化 .....	153	10.6.1 边界扫描测试原理 .....	187
9.4.1 激励的生成 .....	154	10.6.2 IEEE 1149.1 标准 .....	187
9.4.2 响应的检查 .....	155	10.6.3 边界扫描测试策略和 相关工具 .....	191
9.4.3 覆盖率的检测 .....	155	10.7 其他 DFT 技术 .....	191
9.5 基于断言的验证 .....	156	10.7.1 微处理器核的 可测性设计 .....	191
9.5.1 断言语言 .....	157	10.7.2 Logic BIST .....	193
9.5.2 基于断言的验证 .....	159	10.8 DFT 技术在 SoC 中的应用 .....	194
9.5.3 断言的其他用途 .....	160	10.8.1 模块级的 DFT 技术 .....	194
9.6 通用验证方法学 .....	161	10.8.2 SoC 中的 DFT 应用 .....	195
本章参考文献 .....	165	本章参考文献 .....	196
第 10 章 可测性设计 .....	166	第 11 章 低功耗设计 .....	197
10.1 集成电路测试概述 .....	166	11.1 为什么需要低功耗设计 .....	197
10.1.1 测试的概念和原理 .....	166	11.2 功耗的类型 .....	198
10.1.2 测试及测试向量 的分类 .....	166	11.3 低功耗设计方法 .....	202
10.1.3 自动测试设备 .....	167	11.4 低功耗技术 .....	203

11.4.1 静态低功耗技术·····	203	13.2 数模混合信号 IP 的设计流程·····	235
11.4.2 动态低功耗技术·····	204	13.3 基于 SoC 复用的数模混合信号 (AMS) IP 包·····	236
11.4.3 采用低功耗技术的设计流程·····	208	13.4 数模混合信号 (AMS) IP 的设计及集成要点·····	237
11.4.4 低功耗 SoC 系统的动态管理·····	209	13.4.1 接口信号·····	237
11.4.5 低功耗 SoC 设计技术的综合考虑·····	210	13.4.2 模拟与数字部分的整体布局·····	237
11.5 低功耗分析和工具·····	211	13.4.3 电平转换器的设计·····	238
11.6 UPF 及低功耗设计实现·····	212	13.4.4 电源的布局与规划·····	239
11.6.1 基于 UPF 的低功耗电路综合·····	212	13.4.5 电源/地线上跳动噪声的消除·····	240
11.6.2 UPF 功耗描述文件举例·····	213	本章参考文献·····	241
11.7 低功耗设计趋势·····	213	第 14 章 I/O 环的设计和芯片封装·····	242
本章参考文献·····	214	14.1 I/O 单元介绍·····	242
第 12 章 后端设计·····	215	14.2 高速 I/O 的噪声影响·····	242
12.1 时钟树综合·····	215	14.3 静电保护·····	243
12.2 布局规划·····	219	14.3.1 ESD 的模型及相应的测试方法·····	244
12.3 ECO 技术·····	221	14.3.2 ESD 保护电路的设计·····	246
12.4 功耗分析·····	222	14.4 I/O 环的设计·····	249
12.5 信号完整性的考虑·····	224	14.4.1 考虑对芯片的尺寸的影响·····	249
12.5.1 信号完整性的挑战·····	224	14.4.2 考虑对芯片封装的影响·····	250
12.5.2 压降和电迁移·····	225	14.4.3 考虑对噪声的影响·····	251
12.5.3 信号完整性问题的预防、分析和修正·····	226	14.4.4 考虑对芯片 ESD 的影响·····	252
12.6 物理验证·····	227	14.5 SoC 芯片封装·····	252
12.7 可制造性设计/面向良率的设计·····	228	14.5.1 芯片封装的功能·····	252
12.7.1 DFM/DFY 的基本概念·····	228	14.5.2 芯片封装的发展趋势·····	252
12.7.2 可制造性设计驱动的方法·····	229	14.5.3 常见的封装技术·····	253
12.7.3 分辨率增强技术提高 DFM/DFY 的方法·····	230	14.5.4 3D IC 技术·····	255
12.7.4 其他 DFM/DFY 问题及解决方法·····	231	14.5.5 芯片封装的选择·····	256
12.7.5 EDA 工具对于 DFM/DFY 技术的支持·····	233	本章参考文献·····	257
本章参考文献·····	234	第 15 章 课程设计与实验·····	258
第 13 章 SoC 中数模混合信号 IP 的设计与集成·····	235	15.1 基于 ESL 设计方法的 Motion-JPEG 视频解码器设计·····	258
13.1 SoC 中的数模混合信号 IP·····	235	15.1.1 实验内容·····	258
		15.1.2 实验准备工作·····	259
		15.1.3 SoCLib ESL 仿真平台及 MJPEG 解码流程的介绍·····	261

15.1.4	实验 1 构建基于 SoCLib 的单核 SoC ····	262	15.2.2	实验准备工作 ·····	278
15.1.5	实验 2 构建基于 SoCLib 的 MPSoC ·····	269	15.2.3	Ariane SoC 架构简介 ···	281
15.1.6	实验 3 系统软件开发 ——嵌入式操作系统及 设备驱动设计 ·····	275	15.2.4	实验 1 Ariane SoC 的 集成 ·····	284
15.1.7	实验 4 面向 MJPEG 解码的 MPSoC 系统优化 ·····	276	15.2.5	实验 2 Ariane SoC 软硬件调试 ·····	289
15.2	基于 RISC-V 的 SoC 设计与验证 ·····	277	15.2.6	实验 3 面向特定应用的 SoC 设计和实现 ·····	291
15.2.1	实验内容 ·····	278	15.3	项目进度管理 ·····	301
			15.3.1	项目任务与进度阶段 ···	301
			15.3.2	进度的管理 ·····	302
				本章参考文献 ·····	307

电子工业出版社版权所有  
盗版必究



# 第 1 章 SoC 设计绪论

## 1.1 微电子技术概述

### 1.1.1 集成电路的发展



当 1947 年 12 月世界上第一个晶体管在贝尔（Bell）实验室诞生的时候，没有人想象得出这样一个不起眼的元件，会怎样令人难以置信地改变这个世界。但很快，人们渐渐地察觉到：在晶体管发明后的不到 5 年的时间里，即在 1952 年 5 月，英国皇家研究所的达默就在美国工程师协会举办的座谈会上第一次提到了集成电路（IC，Integrated Circuit）的设想。他说：“可以想象，随着晶体管和半导体工业的发展，电子设备可以在一个固体块上实现，而不需要外部的连接线。这块电路将由绝缘层、导体和具有整流放大作用的半导体等材料组成”，这就是最早的集成电路概念。

通常所说的“芯片”是指集成电路，它是微电子产业的主要产品。微电子技术是现代信息技术的基础，日常所接触的电子产品，包括通信系统、计算机与网络系统、智能化系统、自动控制系统、空间技术、数字家电等，都是在微电子技术的基础上发展起来的。因此可以说，半导体已经成为信息时代的标志和基础。

回顾全球集成电路发展的路程，基本上可以总结出 6 个阶段。

第一阶段：1962 年制造出包含 12 个晶体管的小规模集成电路（SSI，Small-Scale Integration）。

第二阶段：1966 年发展到集成度为 100~1000 个晶体管的中规模集成电路（MSI，Medium-Scale Integration）。

第三阶段：1967~1973 年，研制出 1 千~10 万个晶体管的大规模集成电路（LSI，Large-Scale Integration）。

第四阶段：1977 年研制出在 30 平方毫米的硅晶片上集成 15 万个晶体管的超大规模集成电路（VLSI，Very Large-Scale Integration）。这是电子技术的第 4 次重大突破，从此真正迈入了微电子时代。

第五阶段：1993 年随着集成了 1000 万个晶体管的 16MB FLASH 和 256MB DRAM 的研制成功，进入了特大规模集成电路（ULSI，Ultra Large-Scale Integration）时代。

第六阶段：1994 年由于集成 1 亿个元件的 1GB DRAM 的研制成功，进入巨大规模集成电路（GSI，Giga Scale Integration）时代。

从集成度上看，几十年来集成电路的发展基本遵循着摩尔定律，即集成电路上可容纳的晶体管数目约每隔 18 个月增加 1 倍。从集成电路的类型和制造工艺尺寸两个方面看，已经超越了摩尔定律。图 1-1 所示为 2005 年国际半导体技术蓝图（ITRS，2005 International Technology Roadmap for Semiconductors）中首次提出的摩尔定律及其延伸的概念。可以清楚地看出，一方面，集成电路的类型正在向多样化发展（More than Moore），从单一的数字电路到模拟电路、射频电路、无源器件、高压电路、传感器、生物芯片等，与人和环境的交互功能越来越强；另一方面，在集成电路制造工艺尺寸不断缩小（More Moore）的同时也超出了单一的 CMOS 工艺（Beyond CMOS），使得集成电路的信息处理量不断提高，系统的集成度越来越高，系统级芯片（SoC，System on Chip）、系统级封装（SiP，System-in-Package）也逐步代替了单一功能的集成电路，发展成为功能更强大、具有更高应用价值的系统。

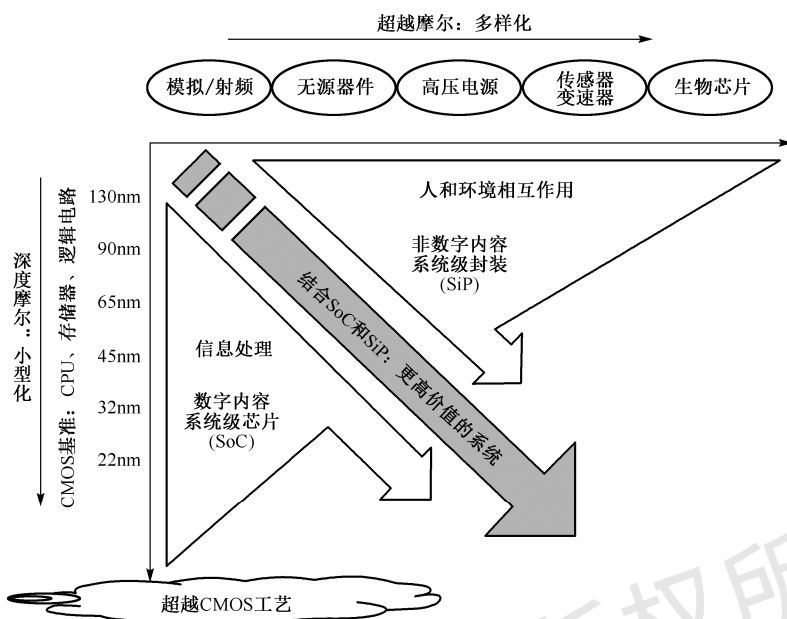


图 1-1 摩尔定律及其延伸概念（来源：2005 ITRS）

随着 CMOS 晶体管越来越接近物理极限，摩尔定律接近瓶颈。但新型器件及 3D IC 封装的出现，摩尔定律接近瓶颈的僵局将被打破，摩尔定律也将会在更广的层面上得以延伸。与此同时，微电子技术必将通过微型化、自动化、计算机化和机器人化，从根本上改变人类的生活。

### 1.1.2 集成电路产业分工

微电子技术的迅速发展得益于集成电路产业内部的细致分工。目前，集成电路产业链主要包括设计、制造、封装和测试，如图 1-2 所示。在这历史过程中，世界 IC 产业为适应技术的发展和市场需求，其产业结构经历了 3 次重大变革。

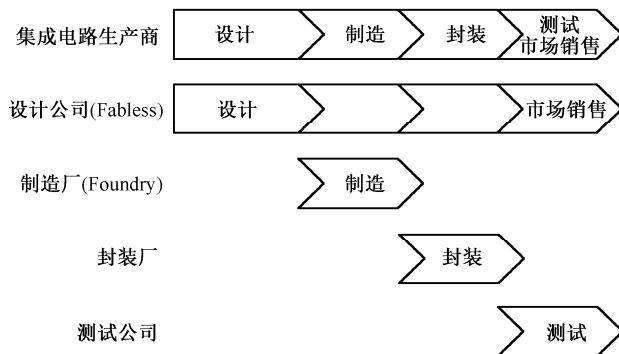


图 1-2 集成电路产业链

#### 1. 以生产为导向的初级阶段

确切地说，20 世纪 60 年代的集成电路产业就是半导体产业，这一时期半导体制造在 IC 产业中充当主要角色，IC 设计只作为其附属部门而存在。当时的厂家没有专业分工，所掌握的技术十分全面，最典型的代表就是仙童（Fairchild）公司，它们不但生产晶体管、集成电路，就连生产所需的设备都自己制造。到了 20 世纪 70 年代，半导体工艺设备和集成电路辅助设计工具成为相互独立的产业，两者以其精湛的专业知识为 IC 厂家提供高质量的设备，使得 IC 厂家可以有更多的精力用于

产品的设计与工艺的研究。

## 2. 代工厂与设计公司的崛起

到了 20 世纪 80 年代, 工艺设备生产能力已经相当强大, 但是费用十分昂贵, IC 厂家自己的设计已不足以供其饱和运行, 因此开始承接对外加工, 继而由部分变为全部对外加工, 形成了 Foundry 加工和 Fabless 设计的分工。

Fabless 是半导体集成电路行业中无生产线设计公司的简称。Fabless 开拓出市场后(或根据市场未来的需求进行风险投资)进行产品设计, 将设计的成果外包给 Foundry 厂家进行芯片生产, 生产出来的芯片经过封装测试后由设计公司销售。

Foundry 是芯片代工厂的简称。Foundry 不搞设计, 也没有自己的 IC 产品, 它为 Fabless 提供完全意义上的代工, 这使 Fabless 可以放心地把产品交给 Foundry, 而无须担心知识产权外流。

集成电路产业的这一次分工, 再加上集成电路辅助设计工具发展为电子设计自动化(EDA, Electronic Design Automation)工具, 这也为大批没有半导体背景的系统设计工程师提供了直接介入 IC 设计的条件。由于工程师们来自国民经济的各行各业, 使得集成电路也渗透到各行各业, 开拓了集成电路的应用领域。20 世纪 80 年代的这次分工是集成电路发展过程中的一次重要分工, 极大地推动了 IC 产业的发展。

## 3. “四业分离”的 IC 产业

20 世纪 90 年代, 随着互联网的兴起, IC 产业跨入以竞争为导向的高级阶段, 国际竞争由原来的资源竞争、价格竞争转向人才知识竞争、密集资本竞争, 使人们认识到, 越来越庞大的 IC 产业体系并不有利于整个 IC 产业的发展, “分”才能精, “整合”才成优势。于是, IC 产业结构开始向高度专业化转变, 开始形成设计、制造、封装、测试独立成行的局面, 集成电路产业链如图 1-2 所示。

这一次分工的另外一个特征是系统设计和 IP(Intelligent Property, 知识产权)设计逐渐开始分工, 它对集成电路产业的影响将不亚于 20 世纪 80 年代 Fabless 与 Foundry 的分工。从电子工业的发展来看, 随着深亚微米集成电路制造工艺的普及, 大量逻辑功能可以通过单一芯片实现。同时一些消费类电子行业, 如第三代移动通信、高清晰度电视等行业在要求进行百万门级的 IC 设计的同时, 还需要考虑特定的应用。这些系统的设计要求设计时间、产品投放市场的时间尽可能短, 同时, 还要求开发过程有一定的可预测性、产品制造的风险尽量小、产品质量尽可能高。在这种情况下, 一种基于系统应用平台的新的设计概念——SoC 应运而生了。

# 1.2 SoC 概述

## 1.2.1 什么是 SoC

SoC(System on Chip)即系统级芯片, 又称片上系统。SoC 将系统的主要功能综合到一块芯片中, 本质上是在做一种复杂的 IC 设计。SoC 是集成电路设计和制造工艺发展的产物, 它可以将整个系统集成在一个芯片上。

1995 年美国的调查和咨询公司 Dataquest 对 SoC 的定义是: 包括一个或多个计算“引擎”(微处理器/微控制器/数字信号处理器)、至少十万门的逻辑和相当数量的存储器。随着时间的不断推移和相关技术的不断完善, SoC 的定义也在不断发展和完善。图 1-3 所示为 2009 ITRS 给出的一个典型的、面向便携式消费电子应用的 SoC 架构示意图。它主要由多个主处理器、多个处理引擎(PE, Processing Engine)、多个外设及主存储器单元组成, 具有高并行性的特点, 同时可以完成多个功能。现在的 SoC 芯片上可整体实现 CPU、DSP、数字电路、模拟电路、存储器、片上可编程逻辑等多种电路; 综合实现图像处理、语音处理、通信协议、通信机能、数据处理等功能。

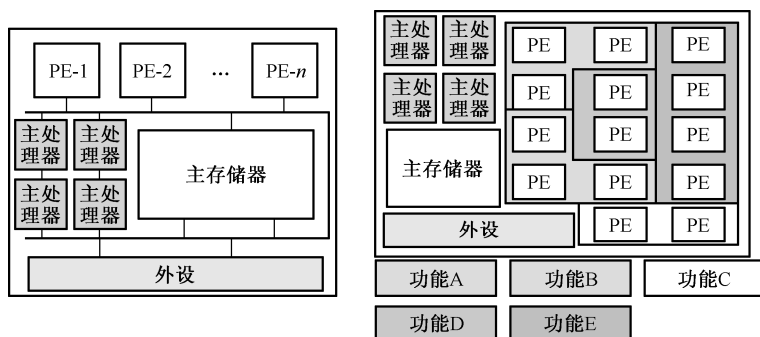


图 1-3 面向便携式消费电子应用的 SoC 架构（来源：2009 ITRS）

SoC 按用途可分为两种类型：一种是专用 SoC 芯片，是专用集成电路（ASIC）向系统级集成的自然发展；另一种是通用 SoC 芯片，将绝大部分部件，如 CPU、DSP、RAM、I/O 等集成在芯片上，同时提供用户设计所需要的逻辑资源和软件编程所需的软件资源。

在目前的集成电路设计理念中，IP 是构成 SoC 的基本单元。所谓 IP 是指由各种超级宏单元模块电路组成并经过验证的芯核，也可以理解为满足特定规范，并能在设计中复用的功能模块。

从 IP 的角度出发，SoC 可以定义为基于 IP 模块的复用技术，以嵌入式系统为核心，把整个系统集成在单个（或少数几个）芯片上完成整个系统功能的复杂的集成电路。目前的 SoC 集成了诸如处理器、存储器、输入/输出端口等多种 IP。

## 1.2.2 SoC 的优势

与传统设计相比较，由于 SoC 将整个系统集成在一个芯片上，使得产品的性能大为提高，体积显著缩小。此外，SoC 适用于更复杂的系统，具有更低的设计成本和更高的可靠性，因此具有广阔的应用前景。

### 1. 可以实现更为复杂的系统

随着集成电路制造工艺的发展，SoC 已经把功能逻辑、SRAM、Flash、E-DRAM、CMOS RF、FPGA、FRAM、MEMS 集成到一个芯片上。甚至在近几年，传感器、光电器件也被集成到 SoC 中。可见 SoC 不仅是各种模块的集成，更是各类技术的相互集成，因此它可以完成更为复杂的系统功能。

随着 SoC 设计技术的发展，SoC 上可以集成多个处理器和多个异构加速器，如用于嵌入式网络领域的高速网络驱动 SoC 芯片、高端游戏驱动芯片等。预测显示，一个在 22nm 工艺下生产的 80 个核的 SoC，其性能将大于一个在 45nm 工艺下生产的 8 个核的 SoC 的 20 倍。

### 2. 具有较低的设计成本

集成电路的成本包括设计的人力成本、软硬件成本、所使用的 IP 成本，以及制造、封装、测试的成本。使用基于 IP 的设计技术，为 SoC 实现提供了多种途径，大大降低了设计成本。另外，随着一些高密度可编程逻辑器件的应用，设计人员能够在不改变硬件结构的前提下修改、完善，甚至重新设计系统的硬件功能，这就使得数字系统具有独特的“柔性”特征，可以适应设计要求的不断变化，从而为 SoC 的实现提供一种简单易行而又成本低廉的手段。

### 3. 具有更高的可靠性

SoC 技术的应用面向特定用户的需要，芯片能最大限度地满足复杂功能要求，因而它能极大地减少印制电路板上部件数和引脚数，从而降低电路板失效的可能性。



#### 4. 缩短产品设计时间

现在电子产品的生命周期正在不断缩短,因而要求完成芯片设计的时间就更短。采用基于 IP 复用 (Reuse) 的 SoC 设计思路,可以将某些功能模块化,在需要时取出原设计重复使用,从而大大缩短设计时间。

#### 5. 减少产品反复的次数

由于 SoC 设计面向整个系统,不再限于芯片和电路板,而且还有大量与硬件设计相关的软件。在软硬件设计之前,会对整个系统所实现的功能进行全面分析,以便产生一个最佳软硬件分解方案,以满足系统的速度、面积、存储容量、功耗、实时性等一系列指标的要求,从而降低设计的返工次数。

#### 6. 可以满足更小尺寸的设计要求

现实生活中,很多电子产品必须具有较小的体积,譬如可穿戴式智能设备。产品的尺寸限制,意味着器件上必须集成越来越多的东西。采用 SoC 设计方法,可以通过优化的设计和合理的布局布线,有效提高晶圆 (Wafer) 的使用效率,从而减少整个产品的尺寸。

#### 7. 可达到低功耗的设计要求

虽然芯片的规模、集成密度和性能要求都达到前所未有的水平,但其功耗问题日益突出。特别是便携式产品的广泛应用。由于这类设备用电池作为电源,所以减少功耗就意味着延长使用时间,以及减少电池的大小和质量。在 SoC 设计方法中,有多种降低芯片功耗的途径,在以后的章节中将会涉及。

### 1.3 SoC 设计的发展趋势及面临的挑战

#### 1.3.1 SoC 设计技术的发展与挑战



随着集成电路工艺的发展,集成电路设计的新挑战不断出现。从 2004 年至今,设计成本 (Design Cost) 被认为是集成电路发展道路上的最大障碍。从设计角度考虑,成本的变化主要体现在以下方面:

① 对于 SoC 而言,其包含了软件和硬件两部分,不同的软硬件划分方案和实现方法决定了设计成本;

② 制造的非周期性发生费用 (NRE, Non-Recurring Engineering) 越来越高,主要包括掩膜版 (Mask) 和工程师的设计费用,一旦设计发生错误,将导致这一成本的成倍增长;

③ 摩尔定律加快了设计更新脚步,也就是缩短了产品的生命周期。相对较长的设计和验证周期增加了成本。

另一方面,设计方法也没有停止前进的脚步,IP 复用和 EDA 工具的发展大大降低了设计成本,从图 1-4 所示的设计方法的改进对高效能 SoC 设计总成本的影响可以看出,这一成本的变化已经不再呈线性发展趋势。例如,在 2005 年,电子系统级 (ESL) 的设计方法的广泛使用提高了系统架构设计的效率,大大减少了设计成本。加上其他设计方法的应用,使得设计成本比原先估计的降低了近 50 倍。

除了设计成本,集成电路设计还面临着诸如设计复杂度、信号完整性等挑战。随着集成电路制造工艺技术的发展,这些因素对于设计的影响程度也有所不同。图 1-5 所示为 VLSI 设计技术的发展趋势及面临的挑战,可见,从  $0.25\mu\text{m}$  工艺出现的集成密度的挑战逐渐向时序收敛、信号完整性、低功耗设计和可制造性设计及成品率发展。

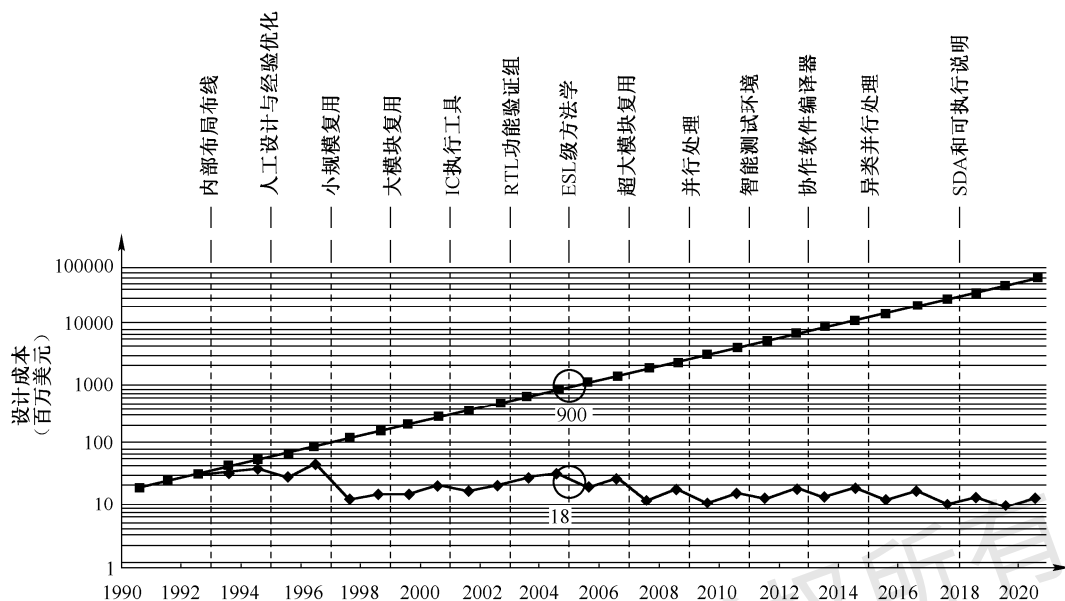


图 1-4 设计方法的改进对高效能 SoC 设计总成本的影响 (2005 ITRS)

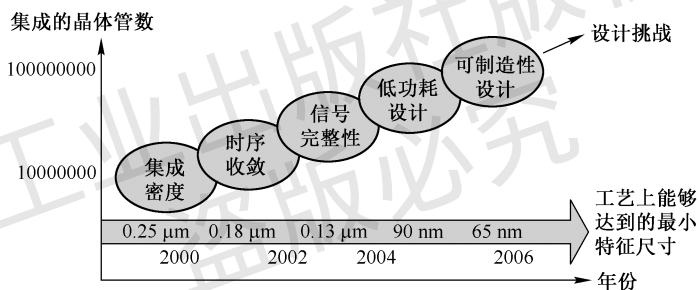


图 1-5 VLSI 设计技术的发展趋势及面临的挑战

## 1. 集成密度（复杂性）

集成密度是指芯片单位面积上所含的元件数，其朝着密度越来越高的方向发展，这也意味着集成电路的规模越来越大、复杂性越来越高。造成这一发展趋势的原因是整机系统的日新月异。随着科技的进步和人们生活需求的提高，整机系统不断朝着多功能、小体积的方向发展，如手机等消费类通信移动终端。这就要求系统中的芯片在满足功能需求的同时，体积能够尽可能小。如今，设备制造技术的进步使得集成电路的最小特征尺寸（即晶体管的最小沟道长度或芯片上可实现的互连线宽度）逐渐减小。随着 SoC 设计技术的出现，使得设计者可以将整个系统集成在一块芯片上，并且从全局出发，把处理机制、模型算法、芯片架构、各层次电路直至器件的设计紧密结合起来，通过顶层和局部的优化，来提高芯片的集成密度。

不难发现，这一挑战来自两方面，即硅器件的复杂性和设计的复杂性。

### （1）硅器件的复杂性

硅器件的复杂性是指工艺尺寸缩小及新器件结构所带来的影响，以前可以忽视的现象现在对于设计的正确性存在着相当大的影响：

- ① 对于器件而言，无法确定各个参数理想的缩小比例（包括电源电压、阈值电压等）；
- ② 尺寸缩小使得寄生电容、电感的影响无法忽略，对于制造工艺的可靠性造成一定的影响。

### （2）设计的复杂性

设计的复杂性主要体现在芯片验证和测试难度的提高，以及 IP 复用、混合电路设计的困难加大。

### ① 芯片验证更为复杂

电路规模的增加导致庞大的设计数据和更为复杂的验证过程。集成度越高,实现的功能越丰富,所需要的验证过程就越烦琐,验证向量的需求也就更多。目前,越来越多的设计厂商在设计复杂 SoC 芯片时采用基于 IP 复用的方法。就 IP 功能而言,有处理器核、DSP 核、多媒体核等;就电路类型而言,有数字逻辑核、存储器核、模拟/混合核。IP 的多样性造成了验证的复杂性。

### ② 芯片测试更为复杂

集成密度的提高同样给芯片测试带来了困难。芯片规模的增大,往往会导致外围引脚的增加,并且内部逻辑越来越复杂,会生成海量的测试向量。这就对芯片测试设备提出了更高的要求。测试设备所能提供的测试通道深度和测试时间都是“稀缺资源”,随着集成度不断提高,测试日渐成为复杂 SoC 设计流程中的瓶颈。

### ③ 混合电路设计更为复杂

SoC 集成密度提高的另外一个挑战是数字模拟的混合电路的集成。在目前的技术水平下,典型的 SoC 有数十个系统单元组成,而且数量在未来可能增加到上百个。整个系统包括数字部分和模拟部分,其中,数字部分主要由处理器、存储器、外围接口组成,模拟部分包含了射频电路,以及模数、数模转换电路。近年来,市场对通信产品如手机、蓝牙产品等有着强劲的需求。预测在未来的几年,超过 70%的 SoC 设计包括混合信号的内容。模拟电路不像数字电路,其受外界因素的影响较为明显,集成度也远低于数字电路,要在高密度下实现数字电路和模拟电路的集成和信号交互,就必须重新考虑设计方法、设计工具、制造封装方法等因素。

## 2. 时序收敛

集成电路设计中的时序收敛一般指前后端设计时序能够达到设计需求。随着工艺的进步,线延迟占主导地位,时序收敛问题越来越严重。当前,基于标准单元的深亚微米集成电路设计正接近复杂度、性能和功耗的极限。设计工具的时序准确性不足及版图后的时序收敛问题已经成为成功实现这类设计项目的两大关键障碍。根据市场调研公司 Collett International 的调查,60%以上的 ASIC 设计都存在时序收敛问题。

从  $0.18\mu\text{m}$  特征尺寸开始,在逻辑综合期间,用于评估互连负载和时延的基于统计扇出 (Fanout) 的线负载 (Wireload) 模型与版图设计完成后,实际的互连负载和时延之间就存在很大区别,从而导致设计的综合后和版图设计后两个版本之间缺乏可预测的时序。在  $0.13\mu\text{m}$  以下尺寸时,估计的和实际的互连线特征之间的差异要比  $0.18\mu\text{m}$  时大很多。因此,在更小尺寸的情况下,出现时序收敛问题时,设计工程师必须修改 RTL 设计或约束,重新综合并重新设计版图,大大增加了前端/后端的迭代工作,既耗时,也影响了项目的进度。为此,人们必须找到一种方法,能够在设计的早期获得更加精确的时序信息。

## 3. 信号完整性

信号完整性 (Signal Integrity) 是指一个信号在电路中产生正确的、相应的能力。信号具有良好的信号完整性是指,在需要的时间段内,该信号具有所必须达到的电压电平数值。

在 SoC 设计中,信号之间的耦合作用会产生信号完整性问题,忽视信号完整性问题可能导致信号之间产生串扰,可靠性、可制造性和系统性能也会降低。随着集成电路工艺制造技术的发展,导致信号串扰的机会在增加。金属布线层数持续增加:从  $0.35\mu\text{m}$  工艺的 4 层或 5 层增加到  $0.13\mu\text{m}$  工艺中的超过 7 层的金属布线层。随着布线层数的增加,相邻的沟道电容也会增加。另外,目前复杂设计中的电路门数的剧增使得更多、更长的互连线成为必要。长的互连线不仅使得耦合电容增加,长线上的电阻也会增加,而越来越细的金属线同样也会导致电阻的增加,这是由于互连线的横断面减小的缘故。即使采用现有的铜线互连工艺也并不能够解决这方面的问题,仅仅只是延缓了解决电

阻问题的时间。

#### 4. 低功耗设计

SoC 的低功耗设计已成为重大挑战之一。在特定领域, 功耗指标甚至成为第一大要素。近年来, 随着 IC 工作频率、集成度、复杂度的不断提高, IC 的功耗快速增加, 以 Intel 处理器为例, 处理器的最大功耗每 4 年增加 1 倍。而随着制造工艺尺寸的减小, CMOS 管的静态功耗 (漏电) 急剧增加, 并且呈指数增长趋势。功耗的提高带来了一系列的现实问题及设计挑战:

① 功耗增加引起的 IC 运行温度上升会引起半导体电路的运行参数漂移, 影响 IC 的正常工作, 即降低电路的可靠性和性能;

② 功耗增加引起的 IC 运行温度上升会缩短芯片寿命, 并且对系统冷却的要求也相应提高, 不仅增加了系统成本, 而且限制了系统性能的进一步提高, 尤其对于现在流行的移动计算;

③ 为了进行低功耗设计, 选择不同性能参数的器件, 如多阈值电压的 MOS 管、不同电源电压的器件等, 这样一来就大大增加了设计复杂度。

另外, 虽然电池技术已经取得了一定的进步, 寿命有所延长、体积有所减小, 但这些变化都跟不上下一代集成电路设计功耗迅速增加的需求。传统电源管理技术不足以使电池寿命维持到最终用户可接受的水平。图 1-6 所示为电池容量发展与摩尔定律及香农定律的比较, 可以看出, 电池容量发展与集成电路制造技术发展的比较。图中的香农定律是无线应用领域的预测定律, 它预测了无线应用中的一系列相关算法的复杂度。蜂窝无线标准的发展就是这种复杂度快速增长例子中的典型代表, 在 1G 与 2G 及 2G 与 3G 之间, 处理复杂度都是按 3 阶的级数递增的。

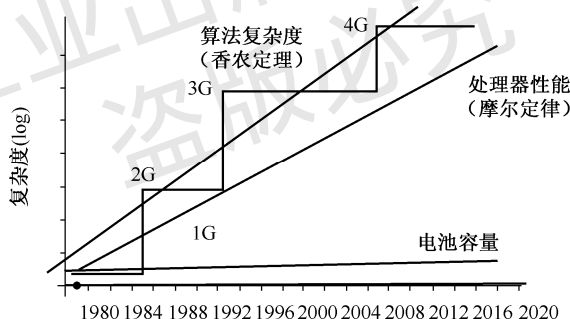


图 1-6 电池容量发展与摩尔定律及香农定律的比较

系统的低功耗设计及其 IC 的低功耗设计至今仍是其生存的关键, 需要在保证性能的前提下, 尽可能地节省 IC 功耗。

从宏观结构上看, IC 功耗来自 IC 内部的各功能模块及功能模块间通信的功耗, 而功能模块的划分、功能特性、数量和相互关系及任务的分配是在系统架构设计时确定的。IC 的功耗是各功能模块的功耗的总和。对于性能的不同要求, 对模块的功能要求就不同, 从而影响 IC 的实现规模。功能越复杂, 实现规模越大, IC 的功耗就越高, 所以系统架构级的设计从根本上关系到 IC 功耗的大小。随着 ESL 设计方法的出现, 使得在设计早期进行软硬件协同设计成为可能, 如图 1-7 所示, 系统级设计将在低功耗设计中发挥越来越重要的作用。

从微观电路实现上看, 集成电路的功耗主要由动态功耗和静态功耗两部分组成。目前集成电路主要以静态 CMOS 为主, 在这类电路中, 动态功耗是整个电路功耗的主要组成部分; 其次是静态功耗, 随着工艺尺寸的不断减小, 泄漏电流消耗的功率所占的比重越来越大, 成为 IC 功耗的主要来源。在  $0.13\mu\text{m}$  以下工艺, 泄漏电流再也不能被忽略不计。在 90nm 工艺下, 泄漏电流所消耗的功率可占总功耗的 50% 左右。如何降低泄漏电流功耗又成为一个棘手的问题。因此, 对于设计人员来说, 需要针对不同的功耗进行设计方法的折中。

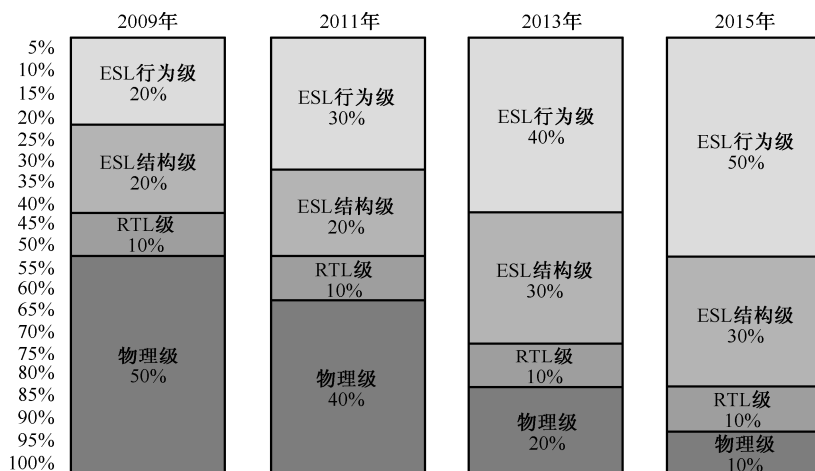


图 1-7 在低功耗设计中各个设计阶段所起作用的变化趋势（2009 ITRS）

### 5. 可制造性设计及成品率

过去，成品率完全取决于代工厂的制造工艺水平，而现在更多的将依赖于设计本身的特征。这是因为，随着电路中门数的继续增长，以及新的制造技术的发展（包括铜制造工艺），出现了许多意想不到的因素，如平整性对时序的影响、过孔空洞效应等，所有这些因素都会引入新的缺陷类型，影响成品率。布线后的工艺应用的复杂性增加了，光学和工艺校正（OPC，Optical and Process Correction）成为 0.13 $\mu\text{m}$  工艺的必需环节，而进行 OPC 可能会大大影响成品率。其他旨在提高成品率的布线后的工艺应用，如金属填充、开孔和冗余孔洞插入等，实际上也可能增加缺陷。

如何在规模不断扩大、器件特征尺寸不断缩小的情况下，保持和改善 IC 的成品率已成为集成电路制造中的关键问题。在一个芯片付诸制造之前，尤其是在芯片批量生产之前，如果能够准确预测出该产品的制造成品率，将对 IC 的制造起到非常重要的作用。在芯片生产之前采取一些修正措施，如改变设计规则、选择先进的工艺线、改变芯片的布局布线和加入容错设计等，可使集成电路的成品率达到最大，大大缩短产品的研制周期。这就是集成电路可制造性设计（DFM）。它将电路性能与生产能力紧密结合，使集成电路的成品率和利润达到最优化。

在 65nm 及以下的工艺，可制造性设计尤为重要。总体来看，可制造性设计将与功耗、性能和信号完整性一同作为多目标设计优化的首要任务。

### 1.3.2 SoC 设计方法的发展与挑战

随着集成电路制造工艺的发展，SoC 上将集成更多数量和种类的器件。设计、制造、封装和测试变得越来越密不可分。同时，人们对高效能的 SoC 的需求会更加迫切。未来的 SoC 中将会用到更多处理器或加速器，以便更加灵活地支持不断出现的新应用。设计方法也会改进来应对新的挑战，它会对设计工具提出新的要求，产生新的设计技术。这些趋势主要体现在以下方面：

- IP 复用将不仅仅在硬件领域，在软件设计领域同样需要；
- 今后的设计将在一个应用平台上完成，该平台将包括一个或多个处理器和逻辑单元，即基于平台的设计；
- 可编程、可配置、可扩展的处理器核的使用，会使得原有的设计流程和设计者思维发生变化；
- 系统级验证时，利用高级语言搭建验证平台和编写验证向量，需要相应的工具支持；
- 软硬件协同综合，使得在同样的约束条件下，系统达到最优的设计性能。

这些都要求设计层次向着更高的抽象层次发展，设计工具之间更紧密的结合，更早地实现功能验证和性能验证。图 1-8 表示了设计系统架构的发展（2003 ITRS）。

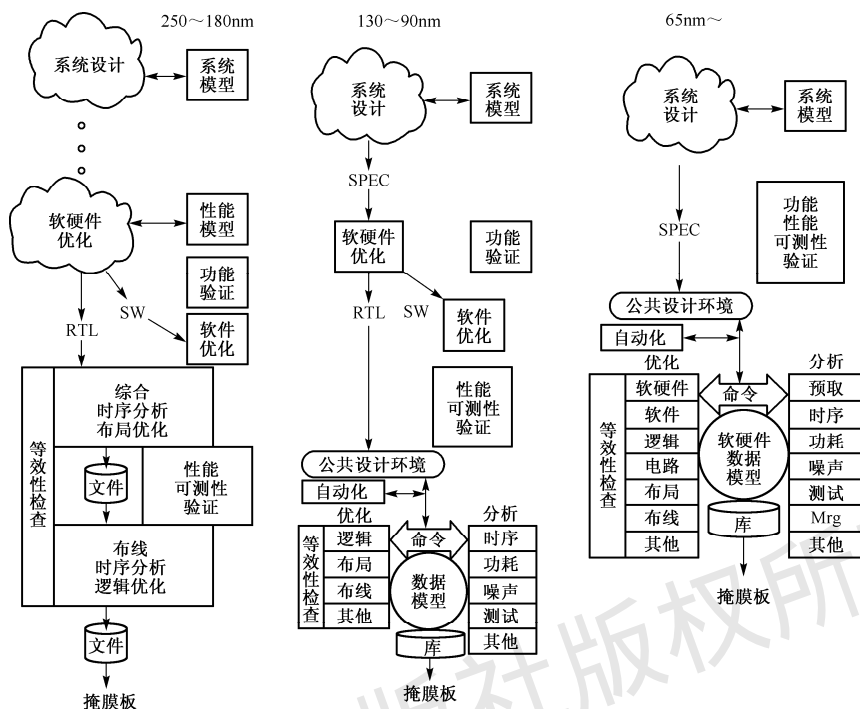


图 1-8 设计系统架构的发展 (2003 ITRS)

### 1.3.3 未来的 SoC

在未来的 SoC 设计中,设计者会努力争取将系统所有的重要数字功能,如网络开关、打印机、电话、数字电视等做在一个芯片上。SoC 设计将涉及将所有的重量级功能,如高效通信信号处理、图像和视频信号处理、加密和其他应用加速等功能,集成到一个芯片上。随着互联网新技术的不断涌现,人们对模拟仿真、互动及智能化的要求越来越高,这就催生了众核时代的到来。未来的众核芯片上将集成数百个乃至数千个小核,可更有效地提高 SoC 性能,改善芯片通信方式,并降低能耗。

在未来的 SoC 设计和销售中,软件的作用所占的比重将越来越大。未来的 SoC 设计不仅包含了硬件,还要包含很大规模的软件,传统的软硬件划分准则不再有效。同时,芯片销售将包括驱动程序、监控程序和标准的应用接口,还可能包括嵌入式操作系统。软件的增值会给设计公司带来更多的收入,设计思路会发生很大的变化。

在未来的 SoC 设计中,功耗问题将遇到更大的限制和挑战。高效能(Power Efficient)的新型 SoC 系统架构将成为 SoC 发展的主要驱动力。

以前,绝大多数这样的功能都是靠使用专用硬件加速器来实现的。这使得设计的周期更长、成本更高,并且产品寿命更短。以电子系统级设计为代表的先进的 SoC 设计方法的出现,使得以多个处理器为中心的复杂 SoC 设计变得简单,而灵活的软件方案可以更有效地解决多变、复杂的应用问题。可配置、可重构的复杂 SoC 必将成为未来的主流。

## 本章参考文献

- [1] Frantz G A. System on a chip: a system perspective[C]. International Symposium on Vlsi Technology. IEEE, 2001.
- [2] Hodges D A, Jackson H G, Saleh R A. Analysis and Design of Digital Integrated Circuits: In Deep Submicron Technology[M]. USA: McGraw-Hill, 2003.
- [3] Chris Rowen. 复杂 SOC 设计[M]. 罗文, 吴武臣, 等译. 北京: 机械工业出版社, 2006.
- [4] 魏少军. 未来 SoC 技术发展的几个特点[J]. 电子产品世界, 2008, (10): 140.