

第3章 静电放电

静电放电是指当带电体周围的场强超过周围介质的绝缘击穿场强时，因介质产生电离而使带电体上的电荷部分或全部消失的现象，也可解释为两个具有不同静电电位的物体，由于直接接触或静电场感应引起的两物体间静电电荷的转移。

3.1 器件或组件静电放电模型

器件或组件在处置过程中，例如从包装中取出或放置在工作台上都离不开人的操作。如果操作员、器件或工作台上带有静电，就会发生静电放电事件。为了简化分析，将人体带电后碰触其他物体（如器件）称为人体模型（Human Body Model, HBM）；一个与地绝缘的装置先充电（如器件）然后接地（如碰触金属）出现静电放电的现象，称为带电器件模型（Charged Device Model, CDM）；当绝缘的孤立导体先带电，再与其他物体（带电的工作台或者器件）接触发生的静电放电现象称为机器模型（Machine Model, MM），如图 3-1 所示。以上是三种主要的器件或组件静电放电模型。

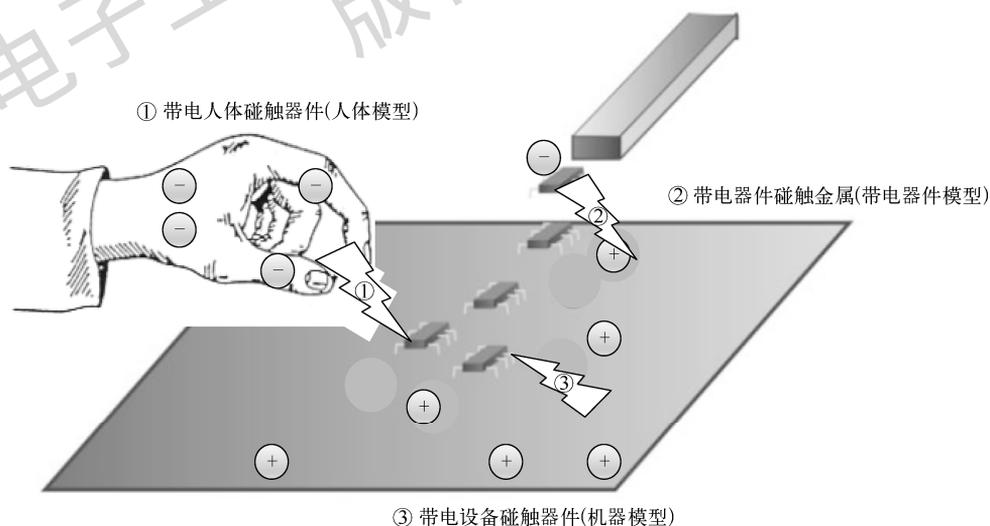


图 3-1 主要的器件或组件静电放电模型

3.1.1 人体模型（HBM）

当操作员带上静电后，碰触器件或产品，就会对器件或产品放电，如图 3-2 所示。HBM

是根据带电的操作者与器件的引脚接触，通过器件对地放电，致使器件失效而建立的。人体是产生静电危害的主要静电源之一。人们对人体静电放电过程研究得比较早，也比较深入，现有文献资料的大部分静电敏感度数据都是基于 HBM 得到的。HBM 是静电放电模型中建立较早的模型之一。

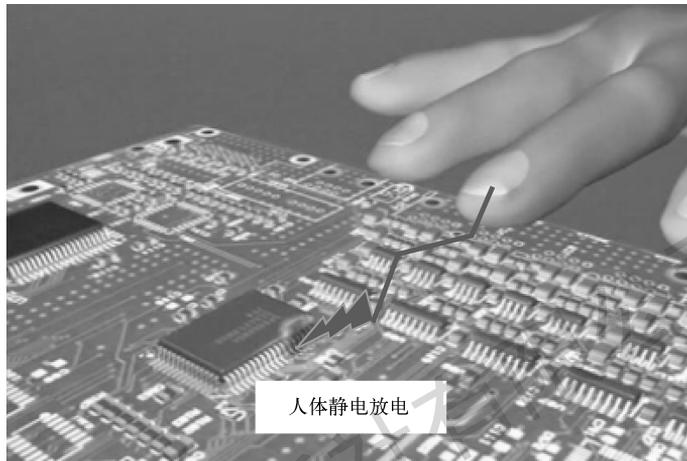


图 3-2 人体静电放电示意图

人体能储存一定的静电电量，因此人体明显存在着电容，这个电容值与人员服装、鞋、袜和地面材料等有关，还与人体的高、矮、胖和瘦等有关。人体也有电阻，这个电阻值与人体肌肉的弹性、水分和接触电阻等因素有关。其实人体也有电感，不过量值很小，仅为零点几微亨，在大多数情况下可以忽略不计。虽然人体电容值和电阻值都存在一定的差异，但为了标准的统一，目前针对电子器件的静电敏感度测试中，标准 HBM 是采用一个 100pF 的电容串联 $1.5\text{k}\Omega$ 电阻的电路结构，如图 3-3 所示。

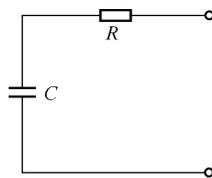
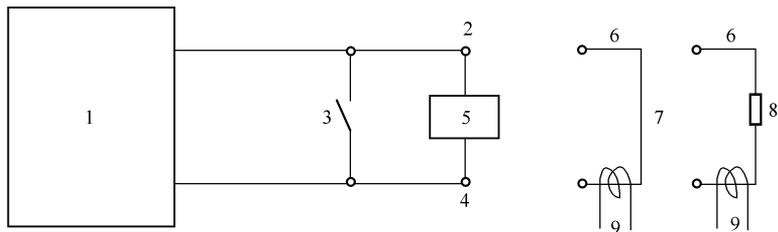


图 3-3 标准 HBM 电路图

HBM 对 500Ω 的电阻放电，其理想的放电电流波形是时间常数为 200ns 的迅速衰减到零的指数波。实际放电回路中还存在着杂散的电阻、电容和电感，其放电电流波形比理想的要复杂得多。因此，IEC61340-3-1 不仅规定了标准 HBM 的典型实验电路，还规定了典型的放电电流参数。另外，HBM ESD（静电放电）波形发生器实验电路如图 3-4 所示。

在图 3-4 中，负载电阻的阻值为 500Ω ，允许误差为 $\pm 1\%$ ，耐压为 1000V ；电流传感器最小带宽为 350MHz 。相关放电参数如表 3-1 所示。



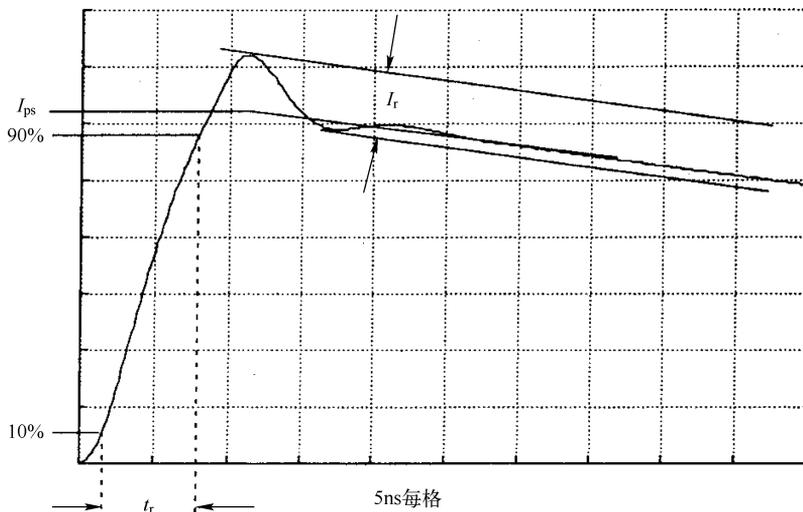
注：1—HBM ESD波形发生器（100pF、1.5kΩ） 6—放电负载（校准时使用）
 2—接线端 7—短路电缆（校准时使用）
 3—开关 8—电阻（ $R=500\Omega$ ）（校准时使用）
 4—接线端 9—电流传感器（校准时测试放电电流波形）
 5—受试元器件

图 3-4 HBM ESD 波形发生器实验电路

表 3-1 HBM 放电参数表

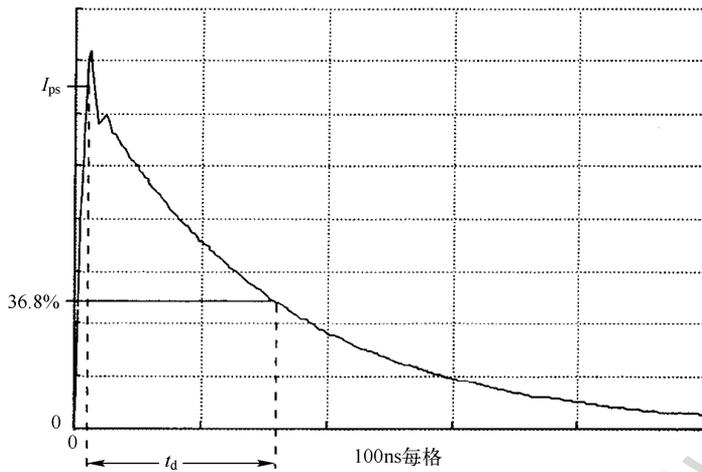
等级	短路放电波形峰值电流 I_{ps}/A	通过 500Ω 电阻放电波形的峰值电流 I_{pr}/A	放电电压/V
1	0.17 ($\pm 10\%$)	—	250
2	0.33 ($\pm 10\%$)	—	500
3	0.67 ($\pm 10\%$)	0.375~0.550	1000
4	1.33 ($\pm 10\%$)	—	2000
5	2.67 ($\pm 10\%$)	—	4000
6	5.33 ($\pm 10\%$)	—	8000

HBM 典型短路电流放电波形如图 3-5 所示，可据此进行上升时间、峰值和下降时间的确定。从图 3-5 中可以看出，仅 10ns 左右电流就可以达到峰值，也就是说放电响应速度非常快。因此在静电防护设计中，需要选择快速响应的器件和方案。



(a) 上升时间和峰值的确定

图 3-5 HBM 典型短路电流放电波形



(b) 下降时间的确定

图 3-5 HBM 典型短路电流放电波形 (续)

在图 3-5 中, t_r 为脉冲上升时间, $2\sim 10\text{ns}$; t_d 为脉冲下降时间, $20\sim 150\text{ns}$; I_r 为最大的振荡电流峰峰值, 应小于 I_{ps} 的 15%, 且脉冲开始 100ns 后观察不到。

上述标准 HBM 主要用于对电子器件的静电敏感度测试, 适用于军用分立器件、微电路器件、声表面波器件、微波集成电路、单片集成电路和军民用光电子器件等。但在一些特殊行业中, 根据行业的特点, 采用的 HBM 有所不同。例如, 对电火工品进行静电敏感度测试时, 根据美军标准 MIL-STD-1512, 采用的 HBM 的参数为电容 500pF , 电阻 $5\text{k}\Omega$ 。而在汽车制造行业中, HBM 通常采用的参数为电容 330pF , 电阻 $2\text{k}\Omega$ 。

3.1.2 带电器件模型 (CDM)

CDM 是因器件本身累积静电而迅速放电造成元器件损伤的模型。电子器件在加工、处理和运输等过程中可能因与工作台及包装材料等接触、分离而带电或处在静电场中通过静电感应带电, 当带电器件接近或接触导体或人体时就会发生静电放电。例如, 从绝缘包装袋内取出集成电路并把它放在导电平面时发生的静电放电, 如图 3-6 所示。由于 CDM 描述的放电过程是器件本身带电引起的, 所以 CDM 失效是造成电子器件损伤失效的主要原因之一。

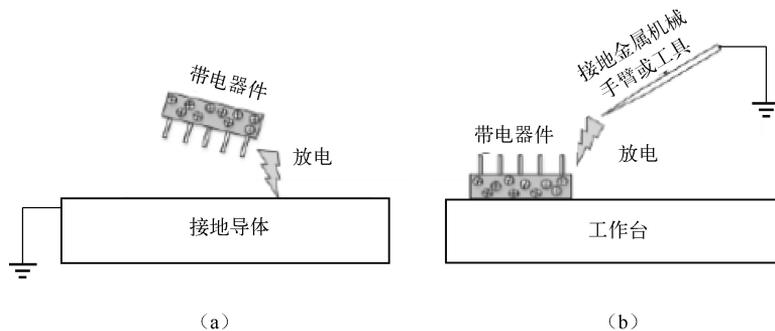


图 3-6 CDM 的放电示意图

实验结果表明，由模拟双列直插式封装（DIP）器件处理引起的摩擦起电使大部分静电荷累积在引脚上。引脚上电荷值的典型值为 3nC ，塑料包装上电荷值小于 0.2nC ，这表明大部分电荷就像在导体中一样是可以移动的。通常情况下，器件为集成电路、混合器件或其他对地有电容的组件。CDM 是基于已带电的器件通过其外引脚对地放电而建立的。带电器件电容值与器件的封闭结构、外引脚排列形式及器件放置时的方位等因素有关，一般仅为几皮法。带电器件放电时，其内部放电引脚的电感对放电的影响不能忽略。因此 CDM 采用 RLC 电路结构，其中电容值的典型值为 6.8pF ，电阻一般取几欧姆到几十欧姆，电感为 $1\sim 20\text{nH}$ ，如图 3-7 所示。

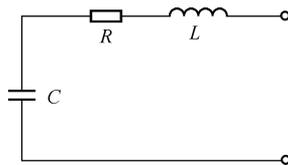


图 3-7 标准 CDM 电路图

CDM 有两种广泛应用的模型：插座式放电模型（Socketted Discharge Model, SDM）和真实环境的带电器件模型（Real-world Charged Device Model, RCDM）。SDM 是将被测器件放在插座中，然后用一个高电压源通过一个 1Ω 的电阻进行充放电，这种模型容易操作，但不能充分模拟真实的环境。RCDM 是将被测器件放置在一个接地的盘子上，直接采用探头或电场感应进行充放电，器件的每个引脚通过一个 1Ω 的电阻接地。RCDM 的充电方式也有两种：直接充电和电场感应充电。图 3-8（a）所示为直接充电方式，通过直接接触对被测器件（DUT）进行充电，充电时注意不能损坏电子器件。图 3-8（b）所示为电场感应充电方式，通过电场感应对 DUT 进行充电，这样避免了充电过程中可能损伤器件的事件发生，因此，很多测试标准推荐采用这种方法。

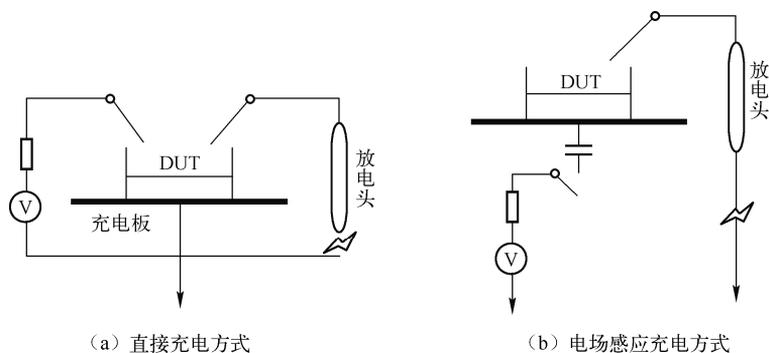


图 3-8 RCDM 的充电方式

美国 ESD 协会标准 ESD STM5.3.1 规定了 CDM ESD 波形的校验网络、测试系统带宽及波形参数。图 3-9 所示为带宽为 3.5GHz 测试系统所测得的 CDM 放电波形。表 3-2 提供了利用 4pF 和 30pF 两种校验模块得到的 CDM ESD 电流。表 3-3 给出了不同波形参数下 CDM ESD 的放电时间及电流。

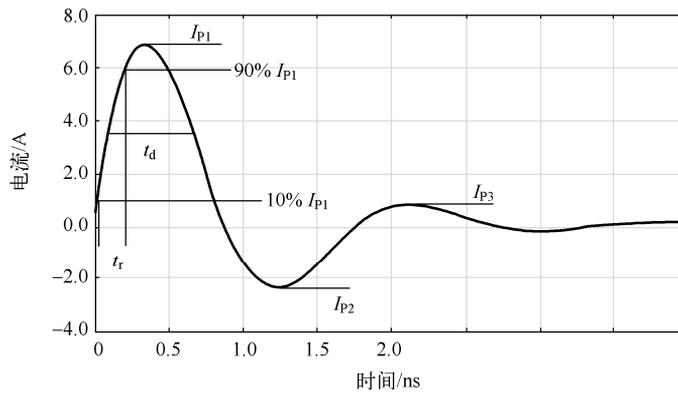


图 3-9 CDM 放电波形

表 3-2 不同充电电压下 CDM ESD 电流

充电电压/V ($\pm 5\%$)	符号	4pF 校验模块时的电流/A ($\pm 20\%$)	30pF 校验模块时的电流/A ($\pm 20\%$)
125	I_{P1}	1.9	—
250	I_{P1}	3.75	—
500	I_{P1}	7.5	18.00
1000	I_{P1}	15.0	—
1500	I_{P1}	22.5	—
2000	I_{P1}	30.00	—

表 3-3 不同波形参数下 CDM ESD 的放电时间及电流

波形参数	符号	4pF 校验模块时 (所有放电电压)	30pF 校验模块时 (仅 500V)
第一峰值上升时间	t_r	<250ps	<250ps
第一峰值带度	t_d	<400ps	<700ps
第二峰值上升时间	I_{P2}	<50% I_{P1}	<50% I_{P1}
第三峰值上升时间	I_{P3}	<25% I_{P1}	<25% I_{P1}

在集成电路的生产与制造过程中，能够产生静电荷的过程（封装过程和测试过程等）与物体（晶圆夹具、晶圆探针、输送带传送系统、干燥箱、显微镜及检验设备、测试座和烧写器等）非常多，特别是玻璃、塑料和陶瓷等材质的物体。与 HBM 和 MM 相比，CDM 静电荷来源无法预见，且非常难以控制和防护。当器件与这些物体接触时，电场感应或摩擦带电导致电路自身附着大量电荷而发生典型的 CDM 失效。

在 CDM 中，静电荷是存储在器件上的。由于器件处于悬空状态，积累在器件内的静电荷同性相斥，在器件内部的电场是均匀分布的，但是集成电路的器件都是制作在硅片表面几微米的厚度内的。如图 3-10 所示，在 $0.8\mu\text{m}$ 的 CMOS 制造技术中，其 P 阱的深度约 $2\mu\text{m}$ ， N^+ 或 P^+ 扩散层的深度仅约 $0.17\mu\text{m}$ ，但硅片的厚度有 $250\sim 300\mu\text{m}$ ，因此大部分静电荷都储存在器件的衬底之中。

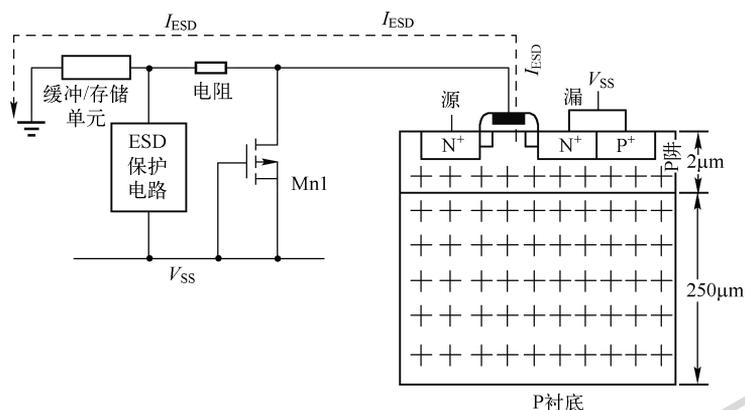


图 3-10 CDM 的静电电荷示意图

当一个积聚 CDM 静电荷的器件突然接触大地时，累积在器件内的静电荷便会突然向这个接地的引脚集中，从而产生放电电流。这时静电荷能在很短的时间内从器件本体流出，在输入级电路的栅极上瞬时产生过高的电压，这个电压跨接在栅极氧化层上，导致栅极氧化层损伤。虽然对输入级都设置了静电防护电路，但 CDM 的电流泄放速度快、能量大，静电保护电路来不及导通泄放的 CDM 电流，仍会导致输入级电路的栅极损伤。如图 3-10 所示，在器件本体内积累的正电荷可能产生的静电电流路径与积累的负电荷所产生的静电电流路径相同、方向相反。

CDM 静电荷是累积在器件内部的，不同于 HBM 或 MM 静电荷是由器件外部经器件的引脚进入器件内的。因此，即使该输入级静电防护电路能够承受很高的 HBM 或 MM 静电放电电压，其 CDM 的静电放电耐受能力也不一定高。器件内部栅极氧化层击穿图如图 3-11 所示。某个器件的 HBM 静电放电能力达到 4000V，在生产过程中操作员都做了严格的静电防护，但是损伤仍然发生。经过失效分析发现其器件内部的栅极受到了损伤，测试其 CDM 放电能力，只有 500V。因此，在关注 HBM 和 MM 两种静电放电能力的同时，不能忽视 CDM 的静电放电能力。

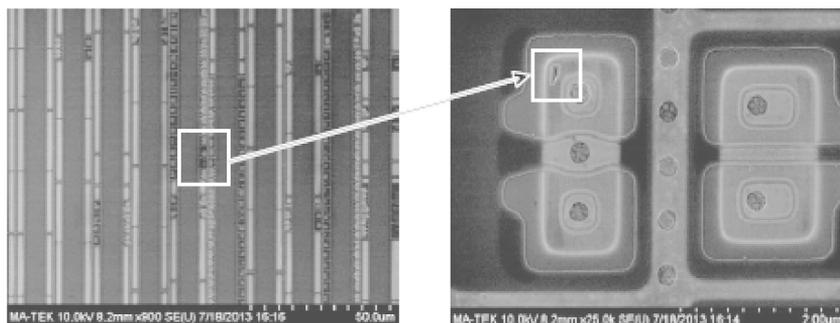


图 3-11 器件内部栅极氧化层击穿图

3.1.3 机器模型 (MM)

MM 主要用来模拟绝缘导体带电后对器件的作用,如模拟自动装配线上的机台、机壳、汽车、机械臂及一些大的绝缘导体等带电后,对元器件进行静电放电,也可以模拟带电的工具和测试夹具等对器件的作用。

MM 的基本电路结构是 200pF 的电容器不经过电阻(电阻值为几欧姆到几十欧姆)直接对器件进行静电放电。与人体模型相比,MM 电容较大,相同电压下的储能较多;且 MM 几乎没有电阻,同样电压下的放电电流较大。因此,MM 也可以看作是“最严格”的人体模型。

国际电工委员会标准 IEC61340-3-2 规定了典型的 MM 的实验电路和放电电流参数。MM ESD 波形发生器实验电路如图 3-12 所示。负载电阻的阻值为 500Ω,允许误差为 ±1%,耐压 1000V,电流传感器的最小带宽为 350MHz。

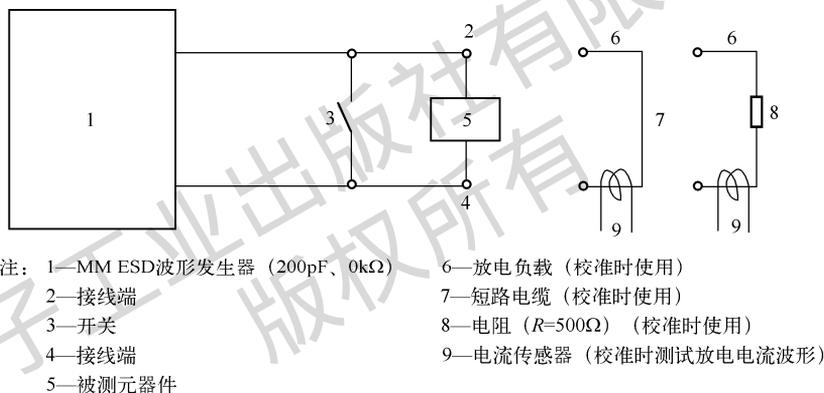


图 3-12 MM ESD 波形发生器实验电路

MM ESD 电流如表 3-4 所示。

表 3-4 MM ESD 电流

等级	放电电压/V	短路放电波形峰值电流 I_{P1}/A	通过 500Ω 电阻放电波形峰值电流 I_{P2}/A	通过 500Ω 电阻放电 100ns 时的波形电流值 I_{100}/A
1	100	1.7 (±15%)	—	—
2	200	3.5 (±15%)	—	—
3	400	7.0 (±15%)	< 4.5 I_{100}	0.29 (±15%)
4	800	14.0 (±15%)	—	—

MM 典型短路电流放电波形如图 3-13 所示,MM 通过 500Ω 电阻典型电流放电波形如图 3-14 所示。其中, t_{p1} 为第一峰值时间, t_{pm} 为第三过零点到第一过零点的时间差, t_3 为第三过零点时间, t_{p2} 为第一谷值时间; I_{pr} 为第一峰值电流, I_{100} 为 100ns 时的电流。

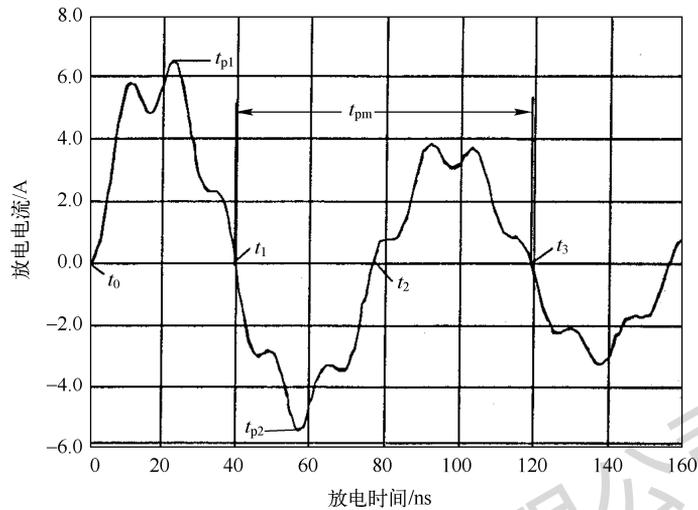


图 3-13 MM 典型短路电流放电波形

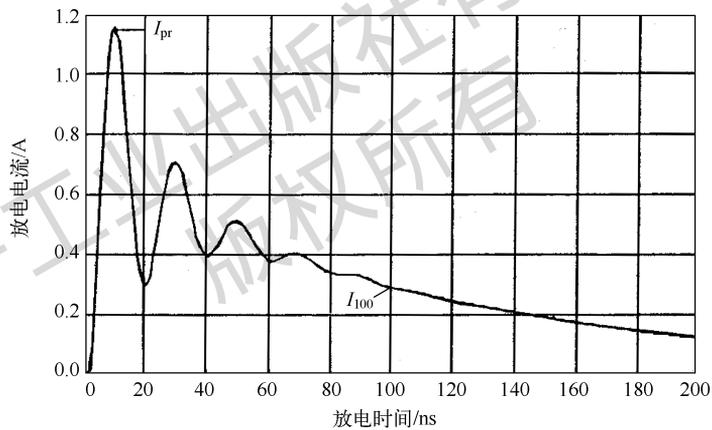


图 3-14 MM 通过 500Ω电阻典型电流放电波形

3.1.4 三种主要静电放电模型比较

HBM 或 MM 静电放电事件可以理解为外部事件，即通过人体或机械设备带电，再对器件进行放电，CDM 是器件内部产生电荷后对外放电。在 HBM 或者 MM 静电放电事件中，ESD 电流是沿着器件沟道的公共接触点从漏极到源极流动的。在这个电流路径中，由于 ESD 电流和能量较大，可能产生的失效机理有多晶损伤、栅氧损伤、源/漏穿通和漏极接触孔穿通等。而在 CDM 静电放电事件中，电流路径不同于 HBM 和 MM 静电电流路径，典型的失效现象是器件内部单元靠近接地输入/输出的部分发生栅氧损伤。HBM、MM 和 CDM 可能的失效部位如图 3-15 所示。

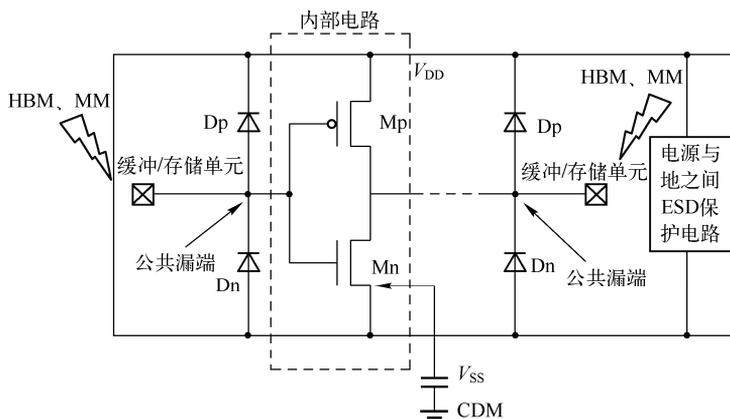


图 3-15 HBM、MM 和 CDM 可能的失效部位

3.1.5 TLP 测试技术

依据 HBM、CDM 和 MM 等静电放电模型验证器件是否满足防静电的要求，此过程不仅成本昂贵而且时间漫长。从成本角度而言，深亚微米工艺的掩膜费用都是以百万元甚至千万元计的。从时间角度来看，从最初的防静电设计到测试，再到下一阶段对防静电的改进，可能要花费一年左右的时间。从测试结果来看，HBM、CDM 和 MM 仅在某个敏感电压处（例如 HBM 在 1kV，CDM 在 0.5kV 等）得到“通过”或者“不通过”的结果，并不能够提供更多有用的信息，如防静电结构的具体 $I-U$ 特性曲线等。1985 年，英特尔的工程师首次利用传输线测试技术来测量器件的静电放电特性，很好地解决了设计周期、成本等问题，越来越多的工程师和学者开始使用传输线脉冲发生器（TLP）来测量 ESD 器件。

图 3-16 给出了 TLP 系统内部电路示意图。该系统是通过持续产生递增加压的脉冲来模拟上升的 ESD 强度的。在 TLP 测试开始时，高压电源充电，开关闭合，脉冲电压被加到被测器件（DUT）的两端。同时系统 DUT 的电压和电流值被记录，下一个脉冲到来后重复这个步骤。在每两个脉冲之间，打开开关，在 DUT 两端加上一个小直流电压，测量 DUT 的漏电流。

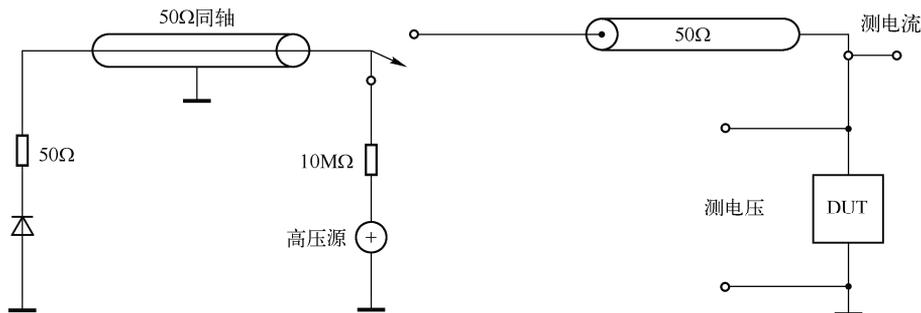


图 3-16 TLP 系统内部电路示意图

图 3-17 给出了一个脉冲窗口期内捕捉到的电压和电流值，在脉冲窗口期内可以选取多个数据的平均值作为测量的电压和电流值。窗口的大小和位置可以在软件上调整。

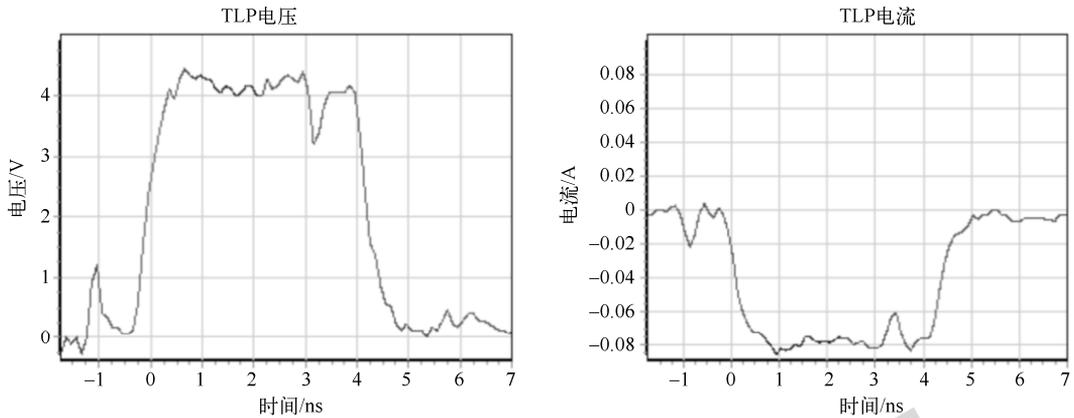


图 3-17 一个脉冲窗口期内的电压和电流值

如今标准的做法是选择合适的 TLP 脉冲宽度和上升时间来代替 HBM，一般选择 100ns 的 TLP 脉冲宽度和小于 10ns 的上升时间，如图 3-18 所示。测试时，通过逐步增加脉冲电压，然后提取每次脉冲窗口中芯片 DUT 的响应 $I-U$ 值，就可以累计得出脉冲的 $I-U$ 曲线，如图 3-19 所示。也可以同时观测漏电流。如果漏电流在脉冲电压增加的过程中发生了变化，就表明芯片内部受到了损坏，我们就可以根据漏电流的拐点确定该引脚的损伤点。

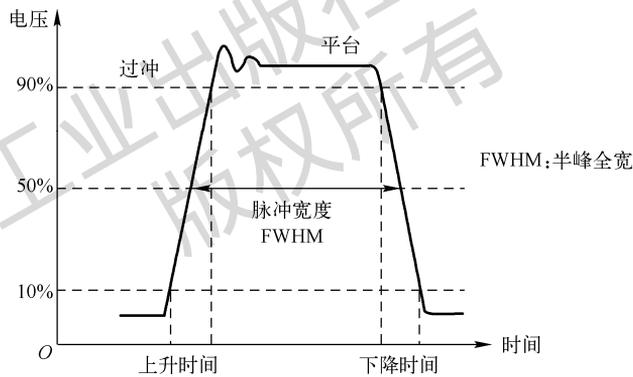


图 3-18 TLP 的脉冲波形图

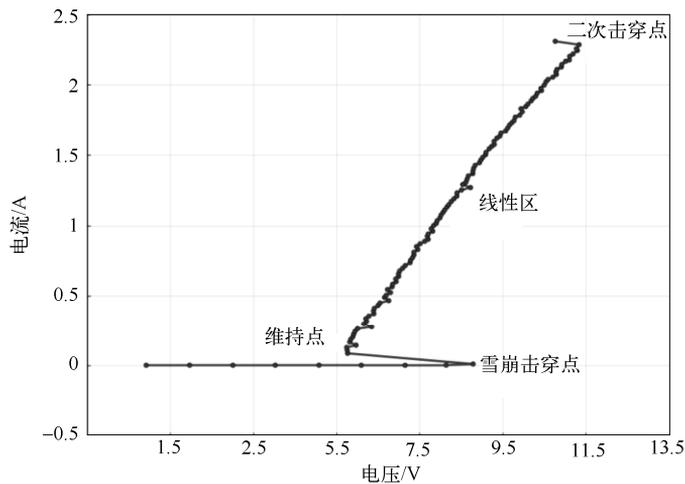


图 3-19 脉冲的 $I-U$ 曲线

有一部智能手机的 microSD 卡时常在 ESD 测试中失效。之前，厂家采用工作于 5V 电压的瞬态电压抑制二极管 (TVS) 作为保护器件，可以通过 6kV 的 ESD 测试。后来，要求达到 8kV 以上的抗静电能力，在重新做测试时发生 ESD 失效。

经过分析，失效的原因是工作于 5V 的 TVS 动态阻抗过高，无法有效地提供 ESD 保护。因此，我们采用一款 0201 封装（封装尺寸为 0.6mm×0.3mm）、3.3V 工作电压的 TVS 器件，型号为 uClamp3311Z。其采用的 EPD（Enhanced Punch-Through Diode，增强型穿透二极管）技术，使得 TVS 具有更低的钳位电压与更高的瞬态通路电流。该 TVS 能够安全地工作在 3.3V 的电压下，并具有 4V 的典型击穿电压，这一数值远比之前传统工艺的 5V ESD TVS 高达 8V 的击穿电压低了 50%。

其在 8 μ s 或 20 μ s 的雷击模拟电流下，瞬态通路电流可达 4A，而之前使用的 5V TVS 在相同时间下的雷击浪涌电流仅为 1A。因此，uClamp3311Z 的雷击浪涌电流承受能力比之前的 5V TVS 高出 300%。我们先使用 TLP（传输线脉冲）测试对该 microSD 卡的数据端口进行评估，发现当电流达到约 5A 时数据端口失效，同时钳位电压在超过 12V 后也失效了。由此得出结论，该数据端口在不加 TVS 保护的情况下，其 ESD 防护能力仅为 2kV（对应半峰值电流约为 4A）。

当我们将 uClamp3311Z TVS 并联在数据端口后，进行 TLP 测试发现，在 16A 的测试电流下，端口的钳位电压为 8V，这对应于 IEC61000-4-2 标准的 8kV ESD 等级，并且该测试顺利通过。参照 TVS 的规格，当矩形脉冲电流达到 20A 时，其钳位电压约为 9V，这一数值远低于 12V 的击穿电压阈值。因此，我们预测在 10kV 的 ESD 测试情况下（对应于 20A 的半峰值电流），该 TVS 也能使数据端口安全通过测试。实际测试验证了我们的预测，10kV 的 ESD 测试确实可以安全通过。

图 3-20 展示了该器件数据端口在有、无 uClamp3311Z TVS 器件两种情况下 TLP 测试所得的 $I-U$ 曲线。这些曲线验证了 TLP 动态阻抗特性与 ESD 损伤水平之间存在合理的等价性，从而缩短了研发工程师进行产品验证的时间。

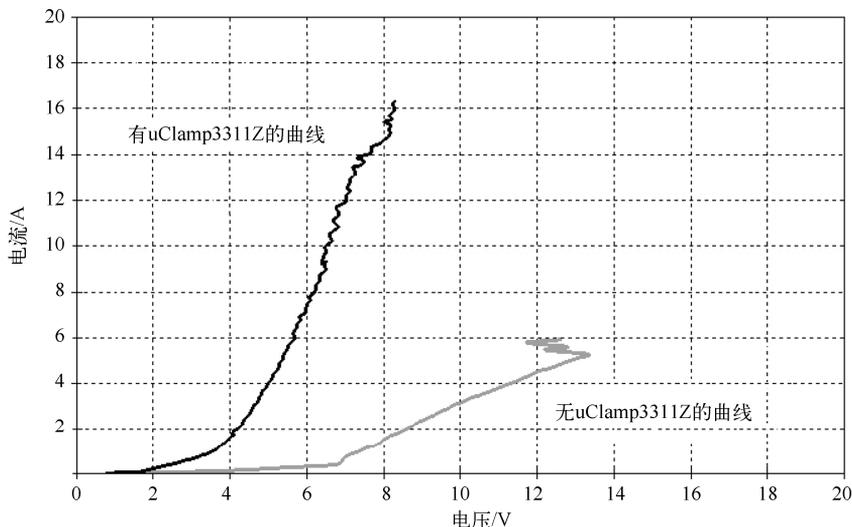


图 3-20 有、无 uClamp3311Z 的 TVS 器件两种情况下 TLP 测试所得的 $I-U$ 曲线

3.2 器件静电放电模型的发展路线图

20 世纪 70 年代末，ESD 成为电子行业的一个问题。人为造成的低阈值 ESD 事件会导致设备故障和产量损失。随着业界对这一现象研究，设备得到了改进，工艺也发生了变化，从而使设备更加坚固。

从 20 世纪 80 年代到 90 年代初，器件工程师能够设计出承受更高水平 ESD 应力的保护结构，从而使器件对 ESD 事件不必太敏感。设备工程师和电路设计师都能够确定关键技术参数和设计技术，帮助他们开发抗 ESD 能力更强的设备。

然而，在 20 世纪 90 年代中后期，器件性能的提高（特别是工作频率为 1GHz 及以上的器件）和器件上电路密度的增加（遵循摩尔定律）给传统 ESD 保护电路带来了问题，因为这些保护电路需要额外的面积并添加了电容。由于技术不断向 100nm 以下的特征尺寸扩展以实现更高的密度和性能，这一问题变得严重。随着低于 50nm 的 IC 芯片的出现并迅速投入生产，情况变得更加严重。随着高速互联网的发展，体积大、引脚数多 (>1000 个引脚) 的器件出现，例如 HSS（高速开关电路）的输入/输出 (I/O) 端口需要以 10~15Gbit/s 的速度运行。这些 I/O 端口在 22nm 和 16nm 技术节点上的传输速率达到了 20~30Gbit/s，并且随着当今 5nm 和 3nm 技术的发展，运行速度为 112~224Gbit/s 的 HSS 的 I/O 端口更加普遍。因此，必须调整 HBM 和 CDM 目标水平以适应这些新的 I/O 性能水平。

全球无线连接推动了射频 (RF) 应用的增加和更高的带宽要求。在移动领域，4G 使用高达 5.8GHz 的频段。随着毫米波 5G 技术的引入，频段进入 28~60GHz 范围。ESD 保护必须与这些 RF 应用的性能相平衡，因为这些较高的频率无法承受信号节点上的额外电容负载。RF 引脚中内置的任何 ESD 保护的稳健性通常与应用中的匹配网络共同设计。这几乎总是会导致 HBM 和 CDM 耐受电压降低。预计这些趋势将持续下去，因为提高电路性能将优先于 ESD 保护水平。HBM 和 CDM 必须适应这些技术趋势，以满足未来设备的需求。

3.2.1 HBM 的路线图

从 1975 年到 2030 年的 HBM 全过程静电防护水平发展趋势（静电敏感电压典型最小值和最大值）如图 3-21 所示。尽管从 1978 年到 1993 年进行了设计改进，但高性能电路器件在 20 世纪 90 年代中期出现后，导致 HBM 防护水平的降低。其中当前防护水平代表满足电路性能需求的水平，预期防护水平通常代表技术发展后可能实现的水平。

图 3-22 展示了 2010—2030 年 HBM 静电防护水平发展趋势。与 2020 年甚至 2015 年相比，2025 年的敏感电压有所下降。虽然到 2025 年，这一范围可能不会发生显著变化，但这一范围内的产品分布将继续变化。图 3-23 显示了 HBM 在 2015 年、2020 年、2025 年静电敏感电压的分布，展望 2025 年，静电敏感电压小于 500V、大于 500V 且小于 1000V 的产品数量相比 2020 年均略有增加，1000V 以上的产品数量将略有减少，到 2030 年，这种趋势会更明显。

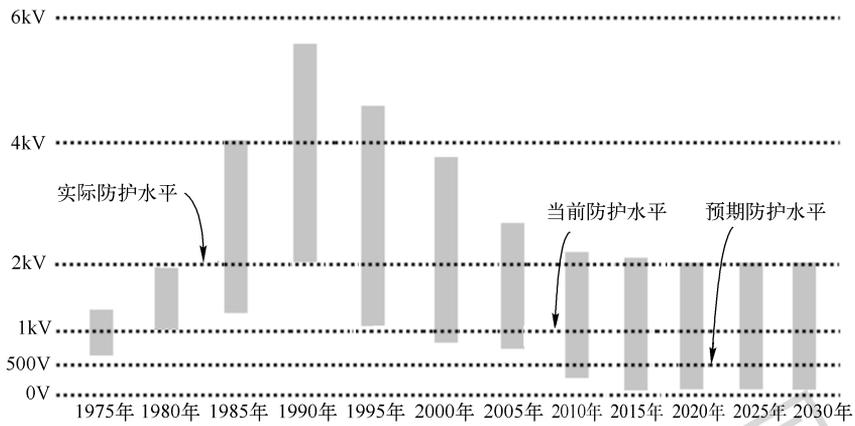


图 3-21 HBM 全过程静电防护水平发展趋势

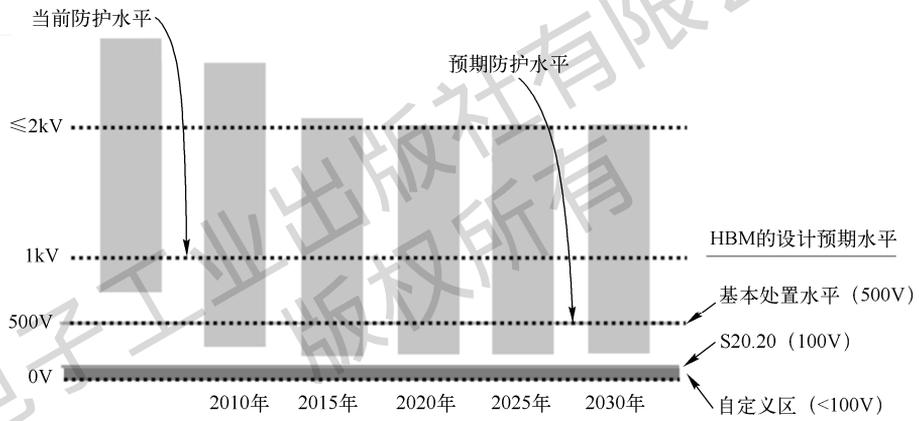


图 3-22 2010—2030 年 HBM 静电防护水平发展趋势

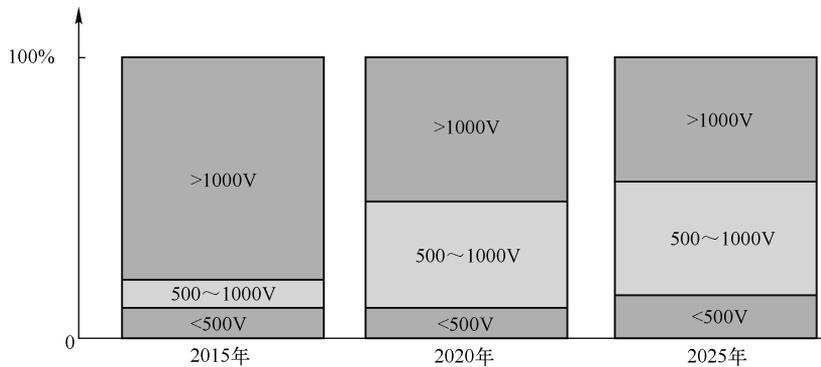


图 3-23 HBM 在不同年份的静电敏感电压分布图

3.2.2 CDM 的路线图

CDM 技术主要受到 I/O 速度和封装尺寸的限制。尺寸较大的封装在给定的应力电压水平下将承载更高的放电电流。随着越来越多的公司探索 2.5D 和 3D 技术，更大尺寸的封装也成为可能。图 3-24 说明了 I/O 设计和 IC 封装尺寸对 CDM 的综合影响。随着氧化物击穿电压的降低趋于饱和，在某种程度上该影响与 22nm 左右的技术节点无关。相反，这些影响变得更加依赖于由负载电容决定的 I/O 性能要求。注意，对于栅格阵列封装（LGA）或球栅阵列封装（BGA）及更多引脚（对于微处理器来说并不罕见）的封装，超高速 I/O 可能勉强满足 125V 的 CDM 目标要求。

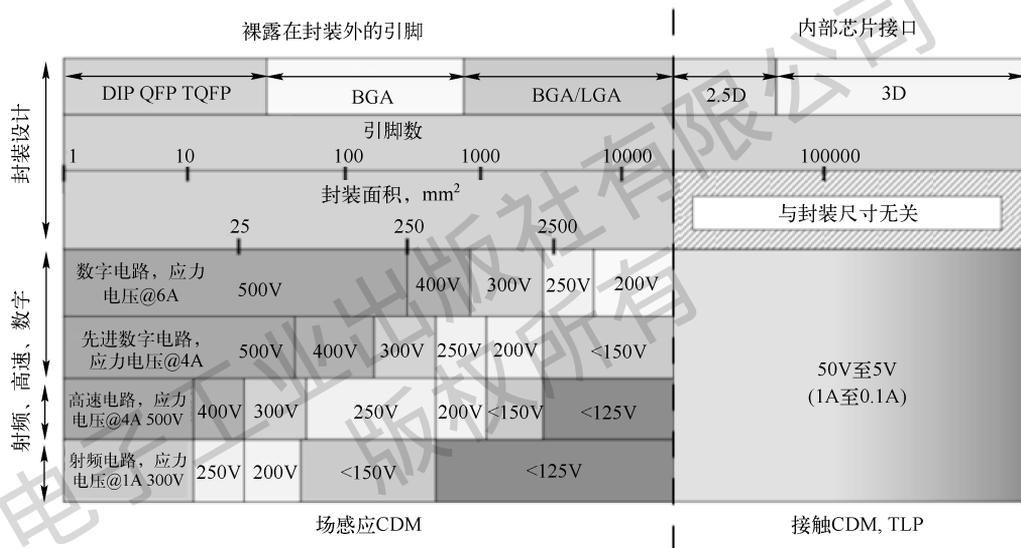


图 3-24 I/O 设计和 IC 封装尺寸对 CDM 的综合影响

RF 领域的 CDM 稳健性和 RF 性能之间通常存在微妙的平衡。加剧 CDM 敏感性的问题是，经常被 CDM 瞬变损坏的电容器在射频设计中广泛应用，用于隔直、匹配网络、滤波及与应用功能相关的其他应用。任何用于保护这些电容器的电路最终都会降低线性度、插入损耗，或以其他方式影响 RF 信号的完整性。随着更高带宽的 RF 应用变得更加广泛，CDM 性能可能会进一步下降。

对于内部引脚，其布局 and 数量受到内部 I/O 面积的限制，因此仅允许在有限的额外空间内（甚至可能完全没有额外空间）实现满足基本要求的 CDM 可靠性。通常，这种最小的 CDM 可靠性只能通过所连接电路的自我保护能力来实现。由于内部引脚数量庞大且尺寸较小，在 ESD 表征期间的可测试性受到限制。可以应用 TLP 测试技术来评估引脚的稳健性。

CDM 静电防护水平发展趋势如图 3-25 所示，该图显示了 1975—2030 年 IC（特别是其裸露在封装外的引脚）的 CDM 敏感度水平（静电敏感电压的典型最小值和最大值）的

预测。当前 CDM 目标为 250V，较 2000 年初的 500V 有所降低。如今，一部分引脚已经需要 125V 的目标电压，这是由高性能 I/O 的需求所驱动的。

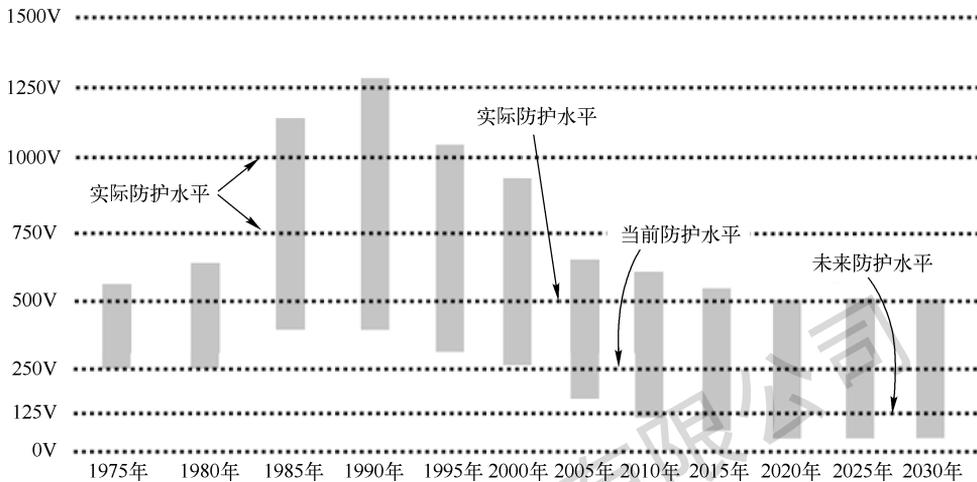


图 3-25 CDM 静电防护水平发展趋势

图 3-26 展示了 2010—2030 年 CDM 静电防护水平发展趋势，还显示了同期 CDM 的 ESD 控制能力。实施先进的控制方法和更彻底的过程评估不仅很重要，而且对于某些产品来说几乎已经成为强制性的。

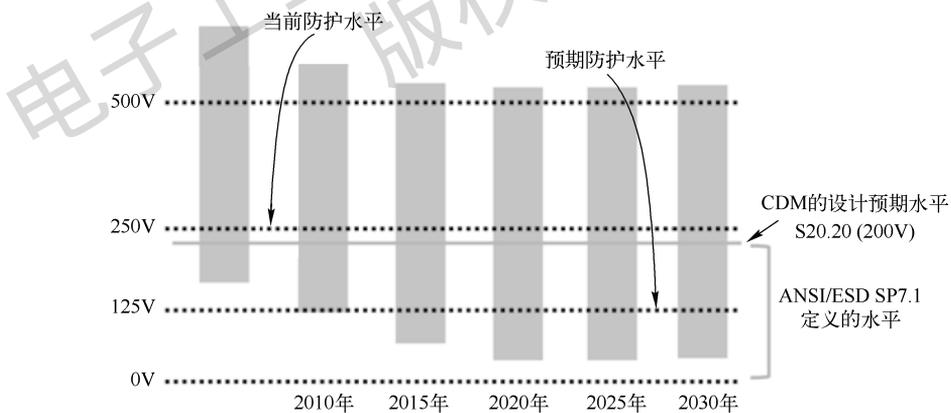


图 3-26 2010—2030 年 CDM 静电防护水平发展趋势

仔细观察图 3-26 会发现，展望 2030 年，与 2020 年甚至 2015 年相比，CDM 敏感度水平不会发生显著变化。

图 3-27 展示了 CDM 在 2015—2030 年敏感电压分布的趋势。随着技术的发展，路线图需要根据当前情况进行更新。预计到 2030 年，敏感电压低于 125V 的产品数量将略有增加，而敏感电压为 250~500V 和高于 500V 的产品数量将略有减少。

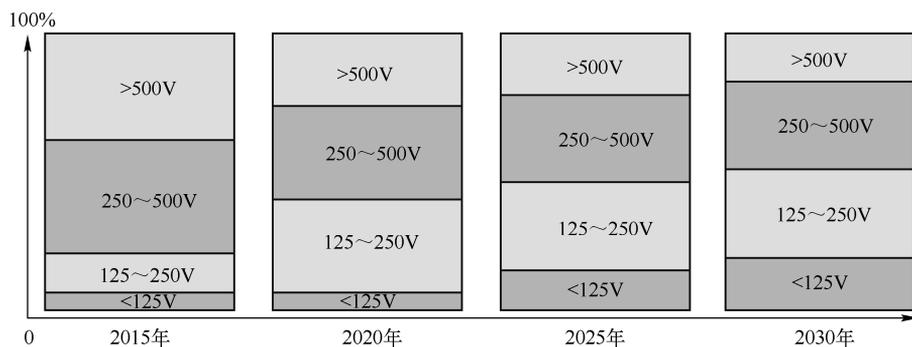


图 3-27 CDM 在 2015—2030 年敏感电压分布的趋势

3.3 ESDS 器件静电放电敏感度等级

不同静电放电模型描述了器件的不同特性，所以在涉及器件的静电放电敏感度时，应当指明所使用的模型。认识到这一点很重要，因为任何一个器件都可能遭受这三种静电放电模型破坏的经历。所以，完整表征一个器件的静电放电特性，需要同时使用这三种模型。例如，一个器件静电放电敏感度的完整表述为：1BM1C3，即 HBM，500~1000V（不包含 1000V）；MM，<100V；CDM，250~500V（不包含 500V）。详细内容见下文。

3.3.1 HBM 静电放电敏感度分级

早年，与静电放电敏感度相关的国内外标准，如美国军用标准 MIL-STD-883、MIL-STD-750 和 MIL-STD-1686，我国军用标准 GJB 1649—1993、GJB 548—1996 和 GJB 128A—1997 等，普遍将 HBM 的静电放电敏感度划分为三级。1999 年发布的美国军用标准 MIL-STD-883E《微电子器件实验方法》，至 1999 年 12 月的第三次修改通告，其《静电放电敏感度分级》仍保持最高 3 级（ $\geq 4000V$ ）的规定。在之后的修改通告中将最高等级提高至 3B 级（ $\geq 8000V$ ），该级别实验电压和电流峰值分别为 8000V 和 5.33A。直到 2001 年，美国国家标准 ANSI/ESD STM5.1-2001，将 HBM 的静电放电敏感度划分为 7 级。随后，我国军用标准 GJB 548—1996《微电子器件试验方法和程序》等也采用了这些新规定，等级划分如表 3-5 所示。

表 3-5 器件 HBM 静电放电敏感度分级

原来分级 (GJB 1649—1993)		HBM 静电放电敏感度最新分级 (GJB 548 或 STM5.1)	
		等级	电压范围/V
1 级	0~1999V	0	<250
		1A	250~499

续表

原来分级 (GJB 1649—1993)		HBM 静电放电敏感度最新分级 (GJB 548 或 STM5.1)	
		等级	电压范围/V
1 级	0~1999V	1B	500~999
		1C	1000~1999
2 级	2000~3999V	2	2000~3999
3 级	4000~15999V	3A	4000~7999
		3B	≥8000

3.3.2 MM 静电放电敏感度分级

我国相关标准目前还未规定 MM 静电放电敏感度分级，美国国家标准 ANSI/ESD STM5.2 将 MM 的静电放电敏感度划分为 4 级，如表 3-6 所示。

表 3-6 器件 MM 静电放电敏感度分级

等级	电压范围/V
M1	<100
M2	100~199
M3	200~399
M4	≥400

3.3.3 CDM 静电放电敏感度分级

我国相关标准目前还未规定 CDM 静电放电敏感度分级，美国国家标准 ANSI/ESD STM5.3 将 CDM 的静电放电敏感度划分为 7 级，如表 3-7 所示。

表 3-7 器件 CDM 静电放电敏感度分级

等级	电压范围/V
C1	<125
C2	125~249
C3	250~499
C4	500~999
C5	1000~1499
C6	1500~1999
C7	≥2000

3.3.4 典型器件的 HBM 敏感电压

HBM 敏感度等级应用最广，美国标准 S20.20 和国际标准 IEC 61340 主要针对 HBM 规定了 ESD 控制措施，了解 HBM 敏感度等级最为重要。在缺少敏感度等级充分信息的条件下，了解典型结构、典型类型元器件的敏感电压，具有重要参考意义。

表 3-8 所示为一些最新技术报告提供的典型电子器件的 HBM 敏感电压参考范围。同一型号电子器件的敏感电压因制造厂、生产批次的不同而有区别，实际的 HBM 敏感电压应由元器件的生产厂家提供或由经验获得。

表 3-8 典型电子器件的 HBM 敏感电压参考范围

器件类型	敏感电压/V	器件类型	敏感电压/V
金属氧化物半导体场效应晶体管	100~200	发射极耦合电路	300~2500
结型场效应晶体管	140~1000	晶闸管	680~1000
砷化镓场效应晶体管	100~300	肖特基型晶体管-晶体管逻辑电路	300~2500
晶体管存储器	250~2000	二极管-晶体管逻辑电路	380~7000
高性能晶体管	50~500	石英及压电晶体	<10000
增强耗散型晶体管	200~1000	厚、薄膜电阻器	300~3000
V 形槽晶体管	30~1800	混合/单片 IC	190~2500
可编程存储器	100	肖特基二极管	300~2500
磁阻记录头	1~100	场效应管	1~100
表面声波器件	1~100	平板显示与电荷耦合器件	50~150

实际上，MM 和 CDM 中的敏感电压要比 HBM 的小许多。例如，MM 中的阈值是 HBM 中的 1/20~1/10。这样一来，不少器件的阈值甚至降低到 1V 以下，这就使得静电防护技术变得十分重要。

3.4 系统级静电放电模型

3.4.1 IEC 静电放电模型

1. 静电放电发生器等效电路

IEC 61000-4-2 最初是为了描述电子系统的 ESD 生存能力而制定的，主要针对被测设备（EUT）进行测试。然而，现在该标准也常被用于评估器件或组件级的防静电性能。IEC 61000-4-2 提供了评估受相邻带电物体（包括人体和机器）ESD 应力影响的指南。

图 3-28 展示了一个简化的静电放电发生器等效电路，它由电容和电阻组成，这个等效电路能够产生符合 IEC 标准中 4kV 接触放电要求的理想电流波形，该波形如图 3-29 所示，其详细参数列于表 3-9 中。该波形具有超快上升时间 ($t_r=700\text{ps}\sim 1\text{ns}$) 和巨大的电流尖峰 (高达数十安培)，与 CDM ESD 脉冲非常相似，持续时间近 60ns，又有点像 HBM ESD 脉冲。这表明，IEC ESD 风险在一定程度上涵盖了 HBM 和 CDM ESD 事件的风险，既可能因过热引起 ESD 故障，又可能由快速电压尖峰产生的电场密度过高引起介电击穿。

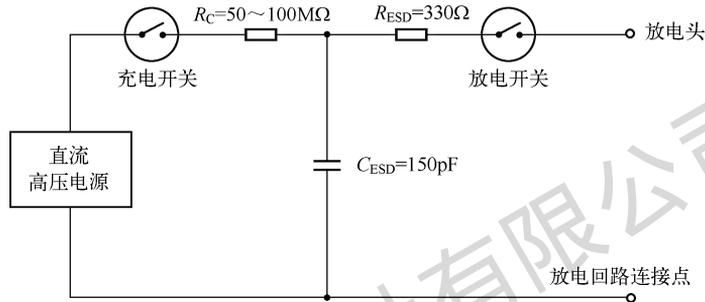


图 3-28 静电放电发生器等效电路

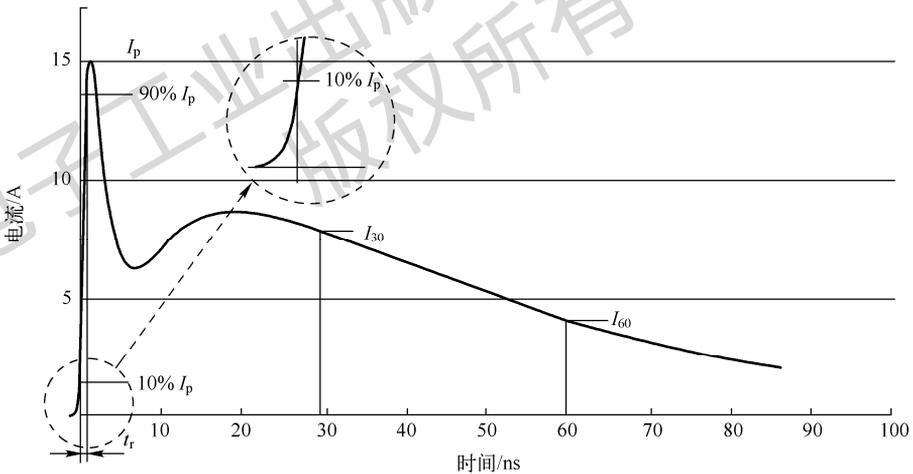


图 3-29 符合 IEC 标准中 4kV 接触放电要求的理想电流波形

表 3-9 符合 IEC 标准中 4kV 接触放电要求的理想电流波形参数

等级	指示电压 /kV	放电的第一个峰值电流 /A ($\pm 10\%$)	放电开关操作时的上升时间 t_r /ns	在 30ns 时的电流 /A ($\pm 30\%$)	在 60ns 时的电流 /A ($\pm 30\%$)
1	2	7.5	0.7~1	4	2
2	4	15	0.7~1	8	4
3	6	22.5	0.7~1	12	6
4	8	30	0.7~1	16	8

2. IEC 静电放电模型放电测试

IEC 静电放电模型（简称 IEC 模型）放电测试相当复杂。虽然 IEC 模型是为系统级测试而开发的，但现在也应用于器件或组件级测试上。IEC 模型放电测试设备布置示例如图 3-30 所示。

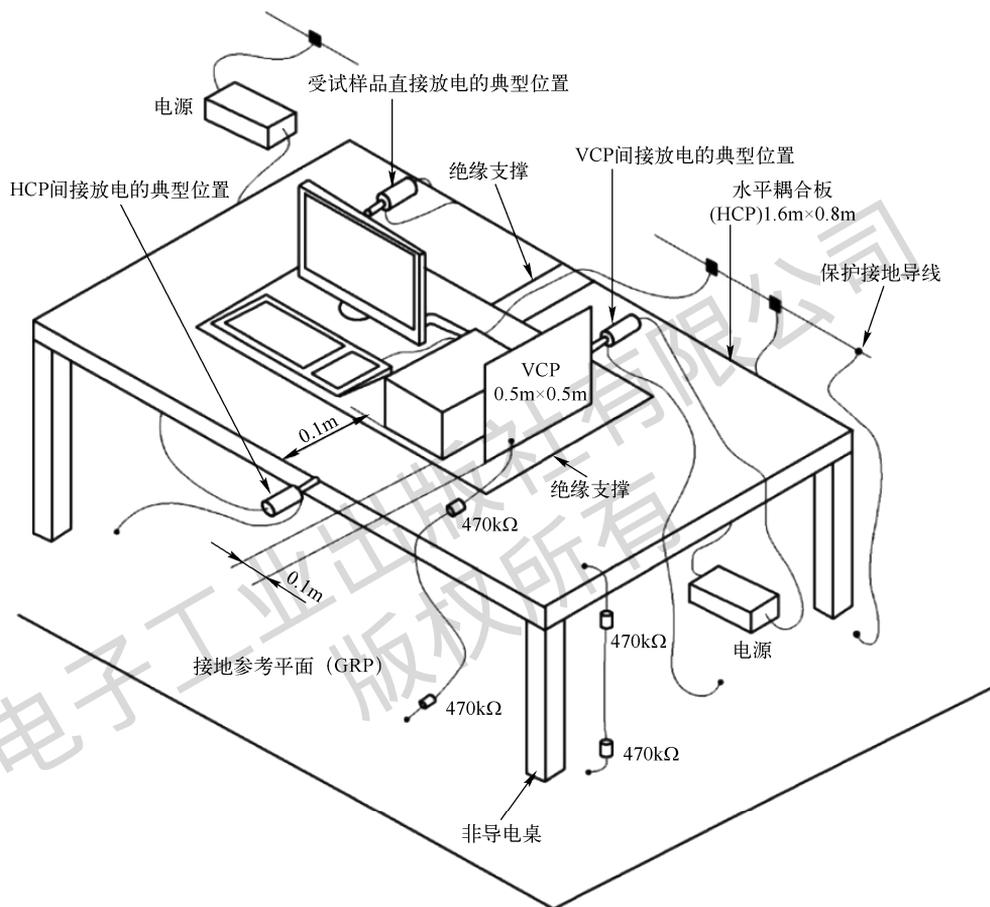


图 3-30 IEC 模型放电测试设备布置示例

(1) IEC 模型放电方法。

IEC 模型放电方法有两种：接触放电和空气放电。

① 接触放电是一种 IEC 测试方法，其中测试发生器（IEC 枪）的电极与 EUT 直接接触，用于静电放电。

② 空气放电是一种 IEC 测试方法的替代方案，其中 IEC 枪的充电电极靠近 EUT，静电的能量通过空气中的火花传递到 EUT。

(2) IEC 模型放电方式。

IEC 模型放电可通过两种不同的方式应用于 EUT：直接应用和间接应用。

① 直接应用是通过将静电放电直接施加到 EUT 上来实现的。间接应用则是通过向 EUT 附近的金属耦合面施加静电放电来实现的。IEC 模型放电测试既可在实验室内的台

式 EUT 上进行，也可在最终安装位置（进行安装后测试）的 EUT 上进行。

② 在间接应用中，金属连接板可以是水平耦合板（HCP）或垂直耦合板（VCP）。在这种情况下，接触放电是首选的放电方法，可应用于 EUT 的导电表面或 EUT 附近的金属连接板。空气放电用于测试 EUT 的绝缘表面。空气放电的可靠性可能受到许多因素的影响，例如接近 EUT 时 IEC 枪的放电电极的移动速度和湿度等，因此，与接触放电相比，空气放电的可靠性较低。

3.4.2 人体金属模型

人体金属模型（HMM）主要用来模拟带电人体通过手持的小金属物件（如螺丝刀、镊子、钥匙等）对其他物体进行放电的情形。当带电人体手持这些金属物件时，由于金属物件的尖端效应，周围的电场强度会增大，同时，金属物件的电极效应也会导致放电时的等效电阻大大减小。手机和其他设备上暴露的小器件在电场中的失效现象是很明显的，随着这种情况越来越频繁地出现，人们对 HMM 这种静电放电模型变得越来越有兴趣。HMM 采用“类 IEC”脉冲波形。静电源与被放电对象是直接接触的，避免了空气放电中可能产生的 EMI 杂散信号。在系统运行时执行测试，并且仅对暴露在外部的端口进行测试。图 3-31 和图 3-32 分别显示了利用 IEC 模型构造的 HMM 在水平方向和垂直方向上的测试结构。

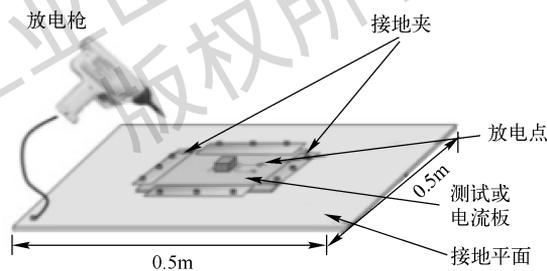


图 3-31 利用 IEC 模型构造的 HMM 在水平方向上的测试结构

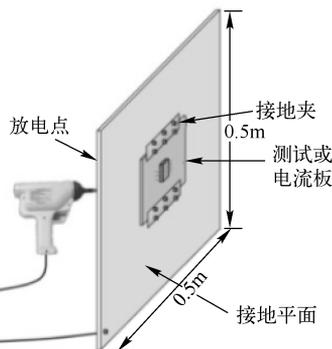


图 3-32 利用 IEC 模型构造的 HMM 在垂直方向上的测试结构

3.4.3 充电板模型

随着便携式设备和手机市场的持续增长，装在小系统板上的半导体芯片的静电放电敏感度问题日益凸显，成为业界关注的焦点。充电板模型（也称带电板事件）表示半导体芯片被安装在系统电路板上时通过电路板发生静电放电的情形。电路板和半导体芯片都通过电压引脚接地连接（这种方式类似于非插入式 CDM 测试）。随后，使用外部充电电源对电路板和半导体芯片加载指定的电压。在此过程中，电路板和其上安装的半导体芯片被放置在绝缘层表面之上，且绝缘层底部接触场充电板，如图 3-33 所示。接地平面与场充电板之间的电容比半导体芯片固有电容更大。因此，存储在电路板和半导体芯片（电路板和半导体芯片作为一个整体）的总电荷比单独存储时更大。在测试过程中，电路板上任意点都可接地，这与 CDM 测试（只有封装信号引脚接地）有所不同。此外，与 HMM 只关注外部端口的接地方式不同，在测试电路板时，其上的任何物理接触点都可以接地。

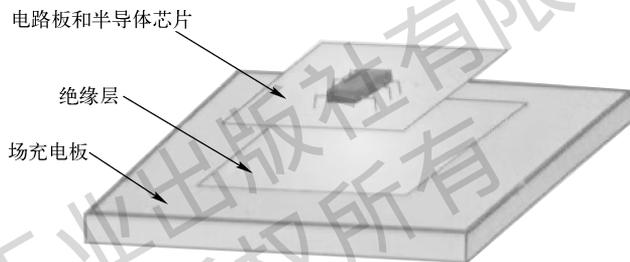


图 3-33 充电板模型结构

3.4.4 电缆放电模型

电缆放电事件（CDE）受到越来越多的关注。电缆放电是大型计算机系统、笔记本电脑、手持设备等系统中需要关注的问题。在大型计算机系统中，严格的程序、手腕带和“触摸板”按钮等措施，被用来避免电缆放电事件，但这些措施不适用于如今的笔记本电脑、手机和移动设备。面对这一挑战，系统级工程师需要改进系统级性能，同时保持电子系统的质量和可靠性。ESD 和 EMI（电磁干扰）都是系统中需要关注的问题，因为它们可能影响可视化界面（如终端和平板显示器）、键盘、系统板和安装在系统板上的电子器件。

带电电缆放电是电气系统中备受关注的问题。电缆作为传输线，同时具有电容和电感特性。存储在电缆中的电荷量可以按照每单位长度的存储容量进行评估。电缆中存储的电荷量随着电缆长度的增加而增加。在“无插座”电缆中，电荷被存储在中心导体和外导体之间的整个绝缘体区。当穿过绝缘体的电压超过击穿电压时，外导体和中心导体之间产生放电现象。而当电压保持在低于击穿电压的水平时，所存储的电荷会保留在电缆中，从而使电缆处于充电状态。当充电电缆中心导体接近系统时，中心导体和电气系统输入端口之间会产生电弧。随着电缆与电气系统之间发生放电现象，一个显著的电流会流向信号引

脚，这可能导致集成在系统中的半导体芯片产生 CMOS 锁存效应，所产生的电流脉冲的持续时间是该电缆长度的函数。

关于通用电缆是如何发生放电现象的，我们可以以非屏蔽双绞线（UTP）电缆为例进行讨论。UTP 电缆的电荷积累是通过摩擦充电和感应充电两种方式实现的。在摩擦充电的情况下，当沿地板表面移动 UTP 电缆时，其绝缘膜外表面会发生正向充电。电缆外面的正向充电会引起穿过电介质区域的双绞线发生负向充电。当这种负向充电逐渐积累并接近外面的正向充电时，会引起电缆端部的电导体发生正向充电。当电缆插入连接器时，会产生电弧，这会导致双绞线发生充电（双绞线在这一点是中性的）。电缆在强电场中会发生感应充电。当电场被移除时，电缆会保持充电状态，直到接地后才会放电。图 3-34 所示为 CDE 脉冲波形。

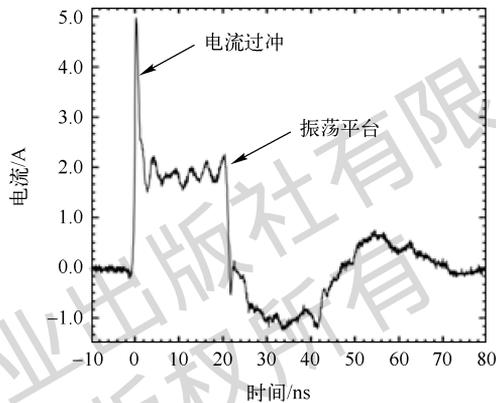


图 3-34 CDE 脉冲波形

以前，操作员在将带电电缆插入系统之前会进行放电，以解决系统环境中的 CDE 脉冲问题。在将放电后的电缆插入该电子系统之前，操作员通过带“触控板”的处理程序也可以实现放电。由于系统层面有保持稳定的需求，因此大型计算机系统通常不允许“热插拔”。然而，在如今的环境中，系统可以动态再配置，使子系统的上电和下电无须关闭系统电源。在运行的系统中把对“热插拔”的要求设定为系统级是很常见的（也称为“失效保护”）。然而，对于如今的系统，如小型电子系统、笔记本电脑、小型服务器等便携式设备，电缆、电缆连接器和相互连接的处理程序不必严格满足这种系统级的要求。

3.5 不同静电模型放电波形对比

相对于组件测试的 HBM 或 CDM 的脉冲幅度，系统 ESD 最具挑战性，如图 3-35 所示。2kV 时的 HBM 脉冲具有较小的峰值电流，而 500V 时的 CDM 脉冲尽管具有较高的电流幅值，但脉冲宽度却很小（小于 1ns），能量不高。

为了比较，该图还显示了电缆放电事件（CDE）和过电应力（EOS）。破坏性的 EOS 事件可能会持续数毫秒之久，从而对 IC 造成巨大的物理损坏。没有针对 EOS 的标准测试，因为它通常由误用引起。CDE 的实际上升时间可能比指示的要快得多。另外注意，

CDE 的脉冲持续时间将取决于电缆长度。防止电缆放电是一项挑战。选择合适的变压器可改变直接耦合到 IC 引脚的残留脉冲特性。ESD 设计人员可以设计一个保护机制来处理这种耦合能量。形成 EOS 脉冲的原因有很多，包括电流和电压尖峰不受控制及热插拔条件等。阈值逻辑单元（TLU）通常能够抵御较小的 ESD 事件，但在面临极端情况时也可能造成灾难性的 EOS 故障。

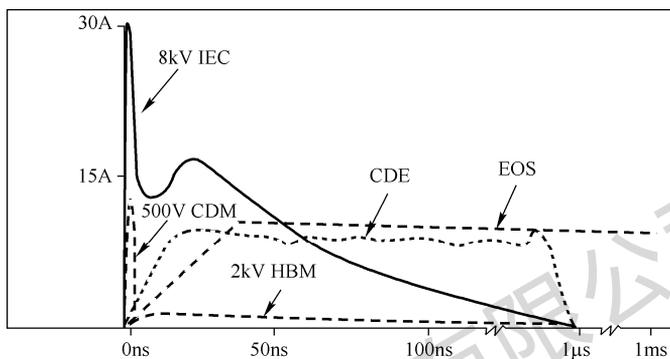


图 3-35 不同 ESD 模型的放电波形

还有一个需要关注的是被称为充电板事件（CBE）的 ESD 事件。当将已充电的电路板插入系统时，就会发生此事件，并且接口 IC 引脚经历的任何放电事件都将出现非常严重的 CDM 类事件，通常放电电流为 20~30A。目前没有发布针对 CBE 的标准，也没有成熟的行业认可的 IC 引脚保护规范。最小化这种威胁较有效、实用的方法是在电路板组装和测试期间采用适当的控制方法。