

## 第 3 章 半导体工艺基础

半导体工艺（Semiconductor Process）是指利用硅（Si）等半导体材料，通过一系列化学、物理和电学等复杂的工艺制造过程，生产出各种半导体器件和集成电路（IC）的技术。半导体工艺的发展是现代电子工业的基础，它使得电子设备能够实现微型化、高性能化和多功能化。

### 3.1 半导体工艺概况

随着科技的进步，半导体工艺也在不断发展和完善。从早期的点接触技术和扩散技术，到后来的平面晶体管技术、金属-氧化物-半导体（MOS）技术，再到现在的纳米级制程技术，每一步的技术进步都极大地推动了半导体行业的发展。其中，摩尔定律的提出和发展更是为半导体工艺不断向更高密度、更小尺寸方向发展提供了指导。

在半导体工艺的发展过程中，新材料的应用、新结构的设计和新工艺的开发是能够支撑其保持持续改进与发展的关键因素。例如，为了克服硅基材上的锗通道缺陷问题，研究人员开发了三角形鳍式电晶体技术，使半导体技术能够进入 10nm 甚至更小制程的时代。此外，为了满足市场对高性能、低功耗半导体器件的需求，研究人员还开展了关于新型半导体器件结构及其制备工艺的研究，如平面双栅器件、金属栅器件等。目前应用在手机等产品上的先进的芯片制造技术已经实现了纳米级的制造精度，进入 5nm 以下的制程，大大提高了芯片的性能和功耗比。

常规的半导体工艺主要包括以下几个制程。

（1）硅片制备：这是半导体制造的基础，涉及提拉法、化学气相沉积（CVD）等技术，来生长高纯度的电子级多晶硅，并从硅锭中切割出硅片，进行 CMP（化学机械抛光）处理，得到光滑的硅片表面。

（2）薄膜制备：使用如氧化、化学气相沉积、物理气相沉积（PVD）等技术在硅片基底上形成硅氧化物层、金属氧化物层、氮化层或金属氧化物对应的金属氮化物层等各种功能层。例如，将硅片暴露于高温下的氧气流中，形成一层二氧化硅（SiO<sub>2</sub>）薄膜，这层薄膜可作为后续工艺中的掩模。

（3）光刻：光刻是半导体工艺中最关键的步骤之一，用于在硅片上形成微小图案。这包括使用掩模和光刻胶来精确地将设计好的电路图案通过光刻机转移到硅片上。它涉及选择合适的对准器/曝光机、光刻胶及其应用方案，以及蚀刻方法的选择等。

（4）刻蚀：是指通过溶液、反应离子或其他机械方式来根据设计好的图案去剥离、去除不必要的材料的过程。例如，使用化学刻蚀液将暴露在感光胶下的硅片表面刻蚀掉。刻蚀主要分为干法刻蚀和湿法刻蚀，其区别在于湿法刻蚀需要使用溶剂或溶液来进行刻蚀。

(5) 离子注入和扩散：离子注入和扩散是一种用于在半导体材料中进行掺杂以改变其电学性质的技术，这一过程对于制造高性能的半导体器件至关重要。例如，将掺杂剂（如 P 型或 N 型杂质）离子注入硅片特定区域以形成 N 型或 P 型半导体材料，从而改变其导电性质。

(6) 金属化：在硅片上形成导电路径，通常通过金属线图案和接触孔的形成来实现。这一步骤包括填充金属材料并形成多个接触插塞。

(7) 绝缘层和阻挡层的形成：为了保护器件免受外界干扰，需要在硅片上形成多个绝缘层和阻挡层。这一步通常是使用薄膜制备技术来实现的。

(8) 晶圆测试：对完成制作的晶圆进行电气特性测试，筛选出不合格的芯片。

(9) 封装：将制造好的半导体器件保护起来，并提供电气连接，也就是将晶圆切割成独立的芯片，然后将其封装在塑胶或陶瓷壳体中，以实现电路与外部环境的连接。这个过程包括磨片、分片、装片、键合、塑封、去废边、电镀、打弯、激光打印与测试、包装、人工装箱等步骤。

总之，半导体工艺是一门涉及材料科学、物理化学、机械工程等多个学科的综合性工程技术。它不仅包括了各种具体的制造技术和方法，还涉及对这些技术和方法的持续创新与优化。随着科技的不断进步和社会需求的日益增长，半导体工艺将继续向着更高精度、更优性能的方向发展。

## 3.2 单项制备工艺

### 3.2.1 扩散

#### 1. 扩散工艺简介

半导体掺杂有两种方式，分别是扩散和离子注入。扩散工艺是一种半导体制造技术，其原理是在高温条件下，利用物质从高浓度向低浓度运动的特性，将杂质原子以一定的可控性掺入半导体中，从而改变半导体基片或已扩散区域的导电性质或表面杂质浓度。

扩散工艺主要包括以下几个步骤。

(1) 预处理：在实施扩散工艺前，需要对待扩散的硅片进行表面处理。主要包括：①清洗，去除硅片表面的杂质和污染物，确保扩散的均匀性；②氧化，通过氧化等方式在硅片表面生长一层二氧化硅氧化膜作为扩散掩蔽层；③光刻，通过光刻方式将扩散图形转移到硅片表面。

(2) 预沉积：将所需掺杂源按规定的浓度引入硅片表面，在扩散炉内，掺杂源经过化学反应后在硅片表面形成一层含有掺杂原子的薄层。

(3) 推进（驱入）：在高温下，掺杂原子由高浓度区域向低浓度区域发生移动并逐渐均匀分布，从而形成所需扩散区域。扩散工艺中的两个重要条件是温度和时间。

(4) 退火：扩散后，需要进行退火处理，以减少由于扩散步骤引起的晶格缺陷。退火过程通常在高温下进行，以使杂质原子能够更自由地移动并填补空位。

总体来说，扩散工艺主要分为预淀积、推进（驱入）及退火三个关键步骤。

扩散工艺的优点包括掺杂浓度高、工艺简单、易于控制等。然而，它也存在一些缺点，如需要高温处理、可能会产生晶格缺陷等。在半导体制造中，扩散工艺通常与其他工艺结合使用，以形成更复杂的电路结构。

## 2. 扩散的原理

扩散的机理是采用分子热运动使物质从高浓度区向低浓度区转移，如图 3.1 所示。

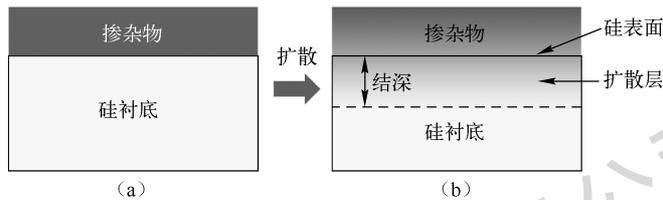


图 3.1 扩散机理示意图

从图 3.1 中可以看出，掺杂物在向硅区域扩散的时候，随着扩散深度的增加，掺杂物浓度逐渐降低。其中，从硅表面到扩散层浓度等于硅衬底浓度处的距离被定义为结深。

固体中的两种基本原子扩散模型为空位扩散与填隙扩散，分别介绍如下。

(1) 空位扩散。由于晶格原子在高温下会在平衡晶格位置附近振动，因此会有一定概率获得足够能量离开平衡晶格位置，则该原子成为一个填隙原子，同时该原子原来的位置产生一个空位，此时邻近的杂质原子就可以占据该空位，这种机制称为空位扩散。空位扩散过程中必须存在空位，空位扩散发生的概率与现存空位的数目有关。在高温下，一般固体中的空位浓度会增大。

(2) 填隙扩散。当某个原子从一处位置移动到另一处位置，没有占据一个晶格的位置，这种机制称为填隙扩散。填隙扩散通常见于氢、氧、碳、氮等小原子的杂质扩散，由于这些原子较小，因此可以进入原子间隙位置。

此外，一种延伸的填隙扩散被称为推填扩散，其机理为填隙主原子（自填隙）将替位杂质原子推至某一填隙位置，之后杂质原子取代另一个主原子，并产生一个新的自填隙原子。上述过程不断重复进行，就形成了推填扩散过程。一般来说，推填扩散速度快于空位扩散速度。

在半导体杂质扩散中，磷元素、硼元素在硅中的扩散机制是空位扩散和推填扩散的双重扩散机制，并且推填扩散机制占主导地位；砷元素和锑元素的扩散则由空位扩散机制主导。

## 3. 扩散方程

(1) 稳态扩散。

扩散是一个随时间变化的过程，因此一种物质在另一种物质中传输的量是时间的函数。但对稳态扩散来说，在固体中的扩散通量和浓度梯度不随时间变化，只与其位置有关，也即扩散达到了一个相对稳定的状态。

在  $x$  方向上的稳态扩散的数学表达式为

$$J = -D \frac{\partial N(x)}{\partial x} \quad (3.1)$$

式 (3.1) 称为菲克第一扩散定律 (Fick's First Law)。

式中:

$N(x)$  为与空间位置  $x$  有关的杂质浓度函数。

$J$  为扩散通量 (Diffusion Flux), 表示扩散发生的快慢, 即传质速率 (Rate of Mass Transfer)。其定义为: 单位时间内垂直通过单位面积上的扩散物质质量  $M$  (或原子数), 单位是  $\text{kg}/\text{m}^2$  或原子数/ $\text{m}^2$ 。

$D$  为扩散系数 (Diffusion Coefficient) 或扩散率, 单位是  $\text{m}^2/\text{s}$ 。扩散系数与掺杂浓度无关, 且一般情况下, 扩散系数的对数值和绝对温度的倒数呈线性关系。

菲克第一扩散定律说明, 扩散方向是沿着浓度梯度方向从高到低的。

(2) 非稳态扩散。

应用中常见的扩散都是非稳态的, 即在固体中, 某一时刻的扩散通量和浓度梯度随时间变化, 最终导致扩散物质的净积累或消耗。

非稳态扩散遵循的表达式为

$$\frac{\partial N(x,t)}{\partial t} = D \frac{\partial^2 N(x,t)}{\partial x^2} \quad (3.2)$$

式 (3.2) 称为菲克第二扩散定律 (Fick's Second Law)。

在式 (3.2) 中, 当给定了有物理意义的边界条件和初始条件后, 即可求解方程, 从而得出杂质浓度与位置和时间关系。

#### 4. 扩散分布

从式 (3.2) 中可以看出, 掺杂原子的扩散分布与边界条件和初始条件均有关。给定了边界条件和初始条件后, 就可以进行方程的求解。现考虑两个重要的情形, 即恒定表面浓度 (Constant Surface Concentration) 扩散和恒定掺杂总量 (Constant Total Dopant) 扩散。

(1) 恒定表面浓度扩散。

恒定表面浓度扩散是指杂质原子由气态源输运至半导体表面, 然后扩散进入半导体晶圆, 且在整个扩散期间, 气态源维持恒定的杂质表面浓度。

恒定表面浓度扩散的边界条件为

$$N(0,t) = N_s \quad (3.3a)$$

$$N(\infty,t) = 0 \quad (3.3b)$$

式 (3.3) 表示杂质表面浓度恒定且为  $N_s$ 。

恒定表面浓度扩散的初始条件为

$$N(x,0) = 0 \quad (3.4)$$

也即在  $t=0$  时刻杂质没有扩散, 其浓度为零。式 (3.4) 表示扩散度远小于衬底厚度, 因此在无穷远处杂质浓度为零。

将条件式 (3.3) ~ 式 (3.4) 代入式 (3.2) 中, 可以求解出恒定表面浓度扩散下的杂质浓度函数为

$$N(x,t) = N_s \left( 1 - \frac{2}{\sqrt{\pi}} \int_0^{\frac{x}{2\sqrt{Dt}}} e^{-\lambda^2} d\lambda \right) = N_s \operatorname{erfc} \left( \frac{x}{2\sqrt{Dt}} \right) \quad (3.5)$$

式中， $\sqrt{Dt}$  为特征扩散长度， $\operatorname{erfc}$  为余误差函数（Complementary Error Function）。

同样，可求出掺入硅中的单位面积的杂质总量为

$$Q(t) = \int_0^{\infty} N(x,t) dx = \int_0^{\infty} N_s \operatorname{erfc} \left( \frac{x}{2\sqrt{Dt}} \right) dx = 2N_s \sqrt{\frac{Dt}{\pi}} \quad (3.6)$$

(2) 恒定掺杂总量扩散。

恒定掺杂总量扩散是指固定数量的杂质淀积于半导体表面，接着扩散进入晶圆中。恒定掺杂总量扩散的初始条件与恒定表面浓度扩散的初始条件[式 (3.4)]一致，但其边界条件为

$$\int_0^{\infty} N(x,t) dx = Q \quad (3.7a)$$

$$N(\infty,t) = 0 \quad (3.7b)$$

式中， $Q$  为单位面积掺杂总量。

符合上述条件式 (3.4) 及式 (3.7) 的方程式 (3.2) 的解为

$$N(x,t) = \frac{Q}{\sqrt{\pi Dt}} \exp \left( -\frac{x^2}{4Dt} \right) \quad (3.8)$$

该解为恒定掺杂总量扩散的浓度分布，其是一个高斯分布。

由式 (3.8) 可得， $x=0$  处的表面浓度表达式为

$$N_s(t) = N(0,t) = \frac{Q}{\sqrt{\pi Dt}} \quad (3.9)$$

当知道  $t$  时刻  $x$  位置的杂质浓度为  $N(x,t) = N_B$  后，可以计算得到结深  $x_j$  为

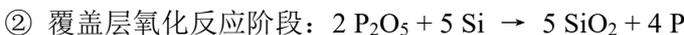
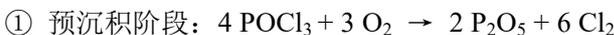
$$x_j = 2 \left( \ln \frac{N_s}{N_B} \right) \sqrt{Dt} = A \sqrt{Dt} \quad (3.10)$$

## 5. 扩散工艺步骤

总体来说，扩散的工艺主要分为预沉积（Pre-deposition）、驱入（Drive-in）及退火（Anneal）三个大的步骤。通常在预沉积过程中将氧化掺杂物薄层沉积在晶圆表面，然后用一次氧化步骤将氧化掺杂物掺入生长的二氧化硅中，并且在靠近硅与二氧化硅界面的硅衬底表面形成高浓度的掺杂物区。扩散的三道工序（预沉积、氧化和掺杂物高温驱入）都是高温过程，通常在高温炉中进行。高温离子掺杂过程是将掺杂物原子扩散、进入硅衬底并达到要求的深度。

在预沉积及覆盖层氧化反应中，扩散磷和硼杂质最常用的材料是三氯化磷（ $\text{POCl}_3$ ）及二硼烷（ $\text{B}_2\text{H}_6$ ），其工艺温度为  $1050^\circ\text{C}$ ，化学反应分别如下。

(1) 磷扩散。



(2) 硼扩散。

① 预沉积阶段： $B_2H_6 + 3O_2 \rightarrow B_2O_3 + 3H_2O$

② 覆盖层氧化反应阶段： $2B_2O_3 + 3Si \rightarrow 3SiO_2 + 4B$

$2H_2O + Si \rightarrow SiO_2 + 2H_2$

通过该阶段得到掺杂元素后，在氧气环境下将温度升高到  $1200^\circ\text{C}$ ，促使掺杂物快速扩散到硅衬底，从而完成扩散过程。

扩散工艺流程图如图 3.2 所示。

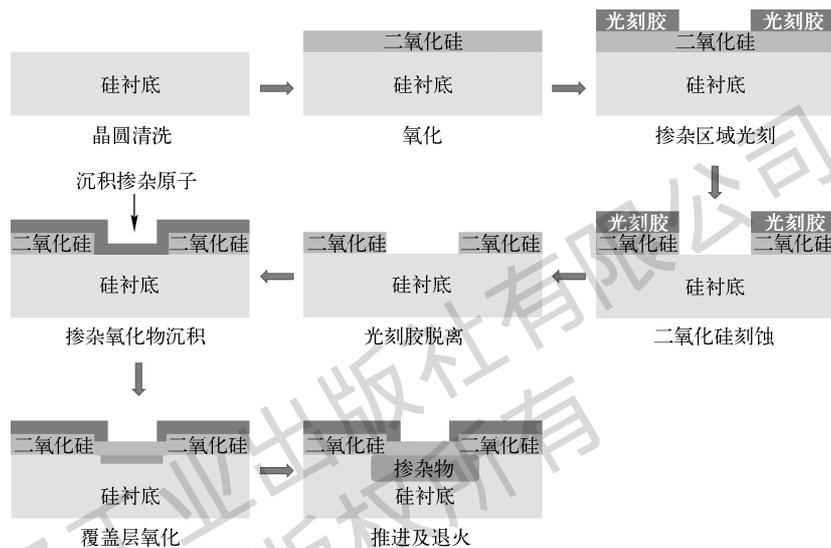


图 3.2 扩散工艺流程图

扩散完成后，需要进行退火处理，以使杂质充分扩散并减少晶格缺陷。退火过程通常在高温下进行，使杂质原子能够更自由地移动并填补空位。

## 3.2.2 离子注入

### 1. 离子注入简介

离子注入的原理是将离子形式的杂质材料注入半导体材料表面下的适当深度，然后在高温下进行热处理，使杂质材料在半导体材料表面下扩散，将半导体材料表面的原子替换为注入的离子，从而改变半导体的电性质和化学性质。换言之，离子注入是先让所需掺杂的杂质电离形成带有一定电荷量的等离子体，然后在电场中加速形成一个集中的离子束，这样就可以控制离子束以一定的能量打在硅片表面，从而使这些高能离子进入晶格并与一些硅原子碰撞而失去能量，最终在某个深度停止，以实现离子穿透并嵌入硅片中的目的。

离子注入过程是一个非平衡过程，高能离子进入晶格后不断与原子核及核外电子碰撞，逐步损失能量，最后停下来。离子停下来的位置是随机的，大部分不在晶格上，因而没有电活性。

离子注入是一个物理过程，不发生化学反应。离子注入能够重复控制杂质的浓度和深度，在现代硅片制造过程中有广泛应用，其中最主要的用途是掺杂半导体，从而制造晶体管、二极管、太阳能电池等。

离子注入会对晶格造成损伤，注入剂量较大时，晶片会由单晶变成非晶，需要通过退火来修复晶格缺陷。

离子注入工艺的基本流程如下。

(1) 准备：将要注入的半导体材料放入离子注入机中，并设置好注入的离子种类、能量、剂量和角度等参数。

(2) 离化：将欲注入的杂质原子以气态或固态形式送入离子注入机中。

(3) 加速：以几十到几百千伏的电压将离子束加速到所需速度。

(4) 扫描：将离子束以扫描方式注入半导体材料表面，以实现均匀的掺杂。

(5) 退火：在后续的流程中，需要进行退火处理（800~900℃加热几分钟），以消除离子注入过程中造成的晶格损伤和产生的应力，并使注入的杂质原子在半导体材料中充分扩散和激活。

相比扩散而言，离子注入技术具有以下优点。

(1) 加工温度低，不会对半导体材料造成热损伤。

(2) 容易制作浅结，可以实现掺杂浓度和深度可控的各向异性掺杂分布。

(3) 大面积均匀地注入杂质，可以实现更好的导电性能。

(4) 易于实现自动化，可以提高生产效率。

基于离子注入的以上优点，基本上目前所有的 CMOS 器件中的掺杂都是采用离子注入工艺完成的。

## 2. 离子注入参数

(1) 离子注入剂量。

离子注入剂量表示单位面积靶材表面注入的离子数。其表达式为

$$Q = \frac{It}{neA} \quad (3.11)$$

式中， $Q$  是剂量，单位是离子数/cm<sup>2</sup> 或原子数/cm<sup>2</sup>； $I$  是束流，即离子束电流，单位是安培 (A)； $t$  是注入时间，单位是秒 (s)； $e$  是电子电荷量； $n$  是电荷数量，如 B 离子的电荷数量为 1； $A$  是注入面积，单位是 cm<sup>2</sup>。

(2) 离子注入能量。

离子注入的能量  $K_E$  一般用电子电荷与电势差的乘积，即电子伏特 (eV) 来表示。其表达式为

$$K_E = nU \quad (3.12)$$

式中， $K_E$  是离子注入能量，单位是电子伏特 (eV)； $n$  是离子的电荷数量，例如，带一个正电荷的离子，其  $n$  就等于 1； $U$  是电势差，单位是伏特 (V)。

(3) 射程。

具有一定能量的离子射入靶中，会受到靶原子核和电子的阻碍，从而与靶原子核和电

子发生一系列的碰撞并进行能量交换，直到最后损失了全部能量停止在某一位置。离子由进入到停止所经过的总距离称为射程，用  $R$  表示。

射程在入射方向上的投影称为投影射程  $R_p$ 。投影射程也是停止点与靶表面的垂直距离，如图 3.3 所示。

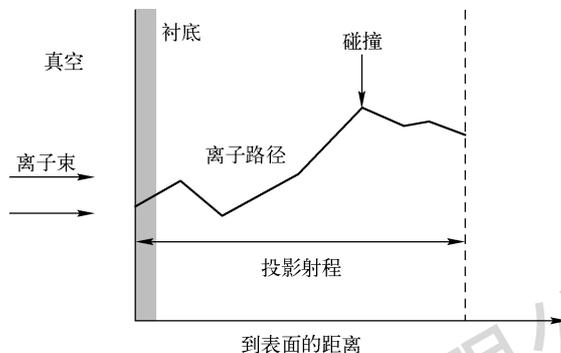


图 3.3 注入离子的射程及投影射程示意图

离子束中的各个离子虽然能量相等，但每个离子与靶原子核和电子的碰撞次数及能量损失都是随机的，使得能量完全相同的同种离子在靶中的投影射程也不等，其会存在一个统计分布。因此在实际应用中定义平均投影射程为

$$\bar{R}_p = \frac{\sum R_{pi}}{n} \quad (3.13)$$

离子投影射程的平均标准偏差  $\sigma_p$  为

$$\sigma_p = \frac{\sum (\bar{R}_p - R_{pi})}{n} \quad (3.14)$$

式中， $\bar{R}_p$  为平均投影射程， $n$  为入射离子总数， $R_{pi}$  为第  $i$  个离子的投影射程。

(4) 离子注入浓度分布。

沿着入射轴的注入杂质分布可以近似为一高斯分布，其表达式为

$$n(x) = \frac{S}{\sqrt{2\pi}\sigma_p} \exp\left[-\frac{(x - R_p)^2}{2\sigma_p^2}\right] \quad (3.15)$$

式中， $S$  为单位面积的离子注入剂量。

从式 (3.15) 可以看出，该表达式与恒定掺杂总量扩散的式 (3.8) 相似，只是  $4Dt$  被  $2\sigma_p^2$  取代，同时分布沿着  $x$  轴移动了  $R_p$ 。对于扩散，最大浓度位于  $x=0$  处，而离子注入则位于投影射程  $R_p$  处。

### 3. 离子注入工艺流程

离子注入工艺流程较扩散工艺流程简单，主要分为光刻、注入离子、去除掩蔽层及退火四步，如图 3.4 所示。

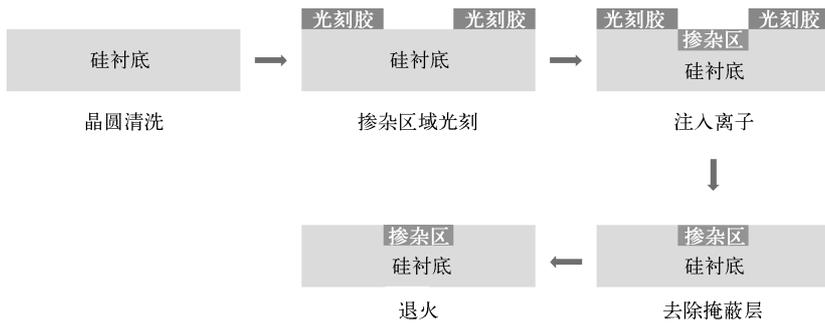


图 3.4 离子注入工艺流程图

### 3.2.3 氧化

#### 1. 氧化工艺简介

氧化工艺是指通过化学反应将半导体表面的原子与氧气结合，形成一层薄薄的氧化物膜，例如，将氧气加入硅晶圆后在晶圆表面形成二氧化硅。该过程主要用于改善半导体表面的电学性能和化学性能，以满足器件制造的不同需求。

氧化工艺的基本流程如下。

- (1) 前处理：在进行氧化工艺前，需要对半导体表面进行前处理，如清洗、研磨等，以确保表面干净、无杂质。
- (2) 氧化：通过高温加热和化学反应，使半导体表面与氧气结合，生成氧化物层。一般采用干氧化和湿氧化两种方法。
- (3) 清洗：氧化后的半导体需进行清洗，去除表面残留的化学物质和杂质。
- (4) 后处理：通过等离子体处理、高温加热等方式，提高氧化层的稳定性和电学性能。

氧化工艺的影响因素主要有以下几点。

- (1) 温度：温度升高可加快氧化速率，但过高的温度可能导致晶体结构受损。通常，氧化工艺的温度控制在  $800\sim 1000^{\circ}\text{C}$ 。
- (2) 湿度：湿度对氧化速率和氧化层质量具有显著影响。湿度过高可能导致氧化层不平整，湿度过低则可能导致氧化速率过慢。
- (3) 气氛：氧化工艺中常用的气氛包括干燥氧气、湿氧气、氢气等。不同的气氛选择会对氧化层的性能产生影响。
- (4) 杂质：半导体表面的杂质会影响氧化层的电学性能和稳定性。因此，在进行氧化工艺前，需对半导体表面进行严格清洗和纯化。

#### 2. 氧化工艺方法

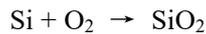
氧化工艺方法主要包括热氧化（Thermal Oxidation）、化学气相沉积氧化（Chemical Vapor Deposition Oxidation）和电化学氧化（Electrochemical Oxidation）等，其中最常用的

是热氧化方法。热氧化形成的二氧化硅（ $\text{SiO}_2$ ）薄膜具有优越的电绝缘性，在集成电路制造工艺中被广泛采用。二氧化硅（ $\text{SiO}_2$ ）薄膜最重要的用途是作为 MOS 器件结构中的绝缘栅介质，此外，还可以用于器件保护和隔离、表面钝化处理、离子注入掩蔽层、扩散阻挡层、硅与其他材料之间的缓冲层等。

根据反应气体的不同，热氧化工艺通常分为干氧氧化和湿氧氧化两种方式。

#### （1）干氧氧化。

干氧氧化以干燥纯净的氧气作为氧化气氛，在高温（一般在  $1000^\circ\text{C}$  左右）下直接与硅发生化学反应。其化学反应方程式为



在干氧氧化中，反应气体中的氧分子以扩散的方式穿过已经形成的氧化层，到达二氧化硅-硅界面，并与硅发生反应，从而进一步生成二氧化硅层。

干氧氧化的优点是制备的二氧化硅氧化薄膜结构致密、厚度均匀，且薄膜掩蔽能力强、工艺重复性强；但其缺点是生长速率较慢。干氧氧化一般用于高质量的氧化，如厚度较薄的屏蔽氧化层、衬底氧化层和栅氧化层等。

#### （2）湿氧氧化。

湿氧氧化是用水取代氧气，在高温下水分解为氧化氢（HO）和氢（H），HO 在二氧化硅中的扩散速率比氧快，因此湿氧氧化速率较快。其化学反应方程式为



湿氧氧化中，可让  $\text{O}_2$  先通过  $95\sim 98^\circ\text{C}$  的去离子水（DIW），从而将水汽一起带入氧化炉内，使  $\text{O}_2$  和水汽同时与 Si 发生氧化反应。此外，也可以通过氢气和氧气反应得到水汽，并通过调节氢气或水汽与氧气的分压比来改变氧化速率。

湿氧氧化的优点是氧化速率快；其缺点是采用  $\text{SiO}_2$  成膜质量比干氧氧化差， $\text{SiO}_2$  膜与光刻胶的附着性不良，Si 表面存在较多位错缺陷等。因此，湿氧氧化一般用在为了提高产能、所需氧化层厚度很厚且对氧化层的电学性能要求不高的情形。

此外，由于传统氧化工艺所需温度较高、时间较长，引入的热预算（Thermal Budget）很高，造成了硅片中杂质的再分布，因此会在先进技术节点中导致器件性能劣化。在高  $k$  金属栅工艺中，一般采用快速热氧化（Rapid Thermal Oxidation, RTO）或化学氧化（Chemical Oxidation）等方法生长栅介质超薄界面层（Interfacial Layer）。快速热氧化中的升/降温速率比普通热氧化快  $100\sim 1000$  倍，减少了升/降温过程中的热预算。在化学氧化中，结合臭氧氧化和化学品处理，可以在接近室温条件下获得高质量的界面氧化层，减少了高温带来的热预算，从而获得质量更高的氧化膜。

### 3. 氧化模型

由于氧化需要消耗硅，因此无论是干氧氧化还是湿氧氧化，在氧化的过程中二氧化硅的界面都会往硅内部转移，从而导致硅衬底的厚度在氧化过程中变薄。通常来说，当长出厚度为  $t$  的氧化层时，需要消耗的硅衬底的厚度约为  $0.44t$ 。

在硅表面，氧化剂会与硅进行化学反应，假设其反应速率与硅表面氧化剂浓度成正比，则可得出经过时间  $t$  后，氧化膜的厚度  $t_{\text{ox}}$  满足的方程为

$$t_{\text{ox}}^2 + At_{\text{ox}} = B(t + \tau) \quad (3.16)$$

当  $t_{\text{ox}}$  较小时，其解为

$$t_{\text{ox}} \approx \frac{B}{A}(t + \tau) \quad (3.17)$$

此时该区域被称为线性区。

当  $t_{\text{ox}}$  较大时，其解为

$$t_{\text{ox}} \approx \sqrt{B(t + \tau)} \quad (3.18)$$

此时该区域被称为抛物线区。

式中， $t_{\text{ox}}$  为  $\text{SiO}_2$  层厚度，单位是  $\text{mm}$ ； $\tau$  为初始氧化层生长所用时间，单位是  $\text{h}$ ； $B$  为抛物线氧化速率系数，单位是  $\text{mm}^2/\text{h}$ ，其受扩散速率控制； $B/A$  为线性氧化速率系数，单位是  $\text{mm}/\text{h}$ ，其受反应速率控制。

具体的热氧化  $\text{SiO}_2$  层厚度生长曲线如图 3.5 所示。

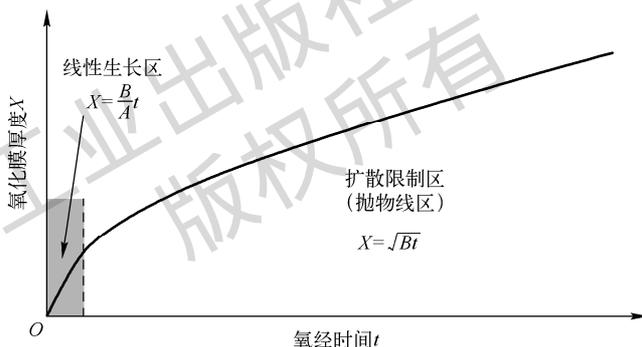


图 3.5 热氧化  $\text{SiO}_2$  层厚度生长曲线

#### 4. 氧化层生长影响因素

- (1) 温度：温度越高，扩散速率和反应速率越高，氧化速率越快。
- (2)  $\text{O}_2$  来源：湿氧比干氧的氧化速率更快。因为  $\text{H}_2\text{O}$  分解为  $\text{HO}$  和  $\text{H}$ ， $\text{HO}$  扩散比  $\text{O}_2$  快。
- (3) 晶向： $\langle 111 \rangle$ 晶向比 $\langle 100 \rangle$ 晶向稍快。因为 $\langle 111 \rangle$ 晶面  $\text{Si}$  原子密度更大，因此反应速率更快。
- (4) 掺杂：重掺杂通常比轻掺杂的氧化速率更快，因为掺杂改变了氧化剂的扩散速率。
- (5) 压强：压强越高，氧化速率越快。
- (6) 催化：掺氯源气体（如  $\text{HCl}$  等）时，氧化速率会提高。

## 3.2.4 光刻

### 1. 光刻工艺简介

半导体光刻工艺是一种利用光学原理将图案复制到硅片上的技术。光刻的原理是在硅片表面覆盖一层具有高度光敏感性的光刻胶，再用光线（一般是紫外线、深紫外线、极紫外线）透过掩模照射在硅片表面，使被光线照射到的光刻胶发生反应，之后用特定溶剂清洗掉被照射/未被照射的光刻胶，从而实现电路图从掩模版到硅片的转移。光刻完成后对没有光刻胶保护的硅片部分进行刻蚀，最后洗去剩余光刻胶，就实现了半导体器件图案在硅片表面的构建过程。在一定程度上可以认为，光刻工艺是整个半导体器件能被制造出来的最关键工艺。

一般的光刻工艺包括以下步骤。

- (1) 硅片表面清洗烘干：通过湿法清洗和去离子水冲洗，去除表面的污染物和可动离子，然后进行脱水烘焙，使基底表面由亲水性变为憎水性，增强表面的黏附性。
- (2) 底漆涂覆：通过气相成底膜的热板涂底或旋转涂底，在硅片上涂覆一层黏结剂等材料，使表面具有疏水性，增强基底表面与光刻胶的黏附性。
- (3) 旋涂光刻胶：将光刻胶旋涂在基底表面，使其形成一层薄膜。
- (4) 软烘：将涂有光刻胶的硅片进行软烘，使光刻胶由柔软状态变为固态。
- (5) 对准曝光：将具有固态光刻胶的硅片放在光刻机中对准并准确地曝光，从而将掩模版上的图案复制到硅片上。
- (6) 后烘：将曝光后的硅片进行后烘，使光刻胶进一步固化。
- (7) 显影：将显影液滴在硅片上，使图案显露出来。
- (8) 硬烘：将显影后的硅片进行硬烘，使光刻胶完全固化。
- (9) 刻蚀：使用刻蚀机将硅片上未被光刻胶保护的区域刻蚀掉。
- (10) 检测：对刻蚀完成的硅片进行检测，检查其是否符合设计要求。

光刻工艺的要求包括光刻图案具有高的分辨率、光刻胶具有高的光学敏感性、严格确保对准、大尺寸硅片的制造，以及低的缺陷密度等。

### 2. 光刻胶

#### (1) 光刻胶简介。

光刻胶（Photoresist）是主要由感光化合物（Photosensitive Compound）、树脂基材（Basesin）及有机溶剂组成的光敏感性化合物。有机溶剂使这种化合物可以被涂覆在所需的表面上，并且树脂基材通过特定的化学反应使图案形成在表面上。光刻胶的基本原理是光化学反应，当曝光（Exposure）后即光遇到感光化合物分子时，感光化合物会发生化学变化而改变自身化学结构，从而形成图案。

#### (2) 光刻胶分类。

光刻胶可以分为正性光刻胶与负性光刻胶。正性光刻胶（Positive Photoresist）被曝光的区域易于溶解，从而在显影（Development）步骤中容易被去除，未曝光（光照射不

到)的地方留下图案; 负性光刻胶 (Negative Photoresist) 曝光区域的光刻胶将变得难以溶解, 从而在显影步骤中不容易被去除, 使得曝光 (光照射到) 的地方留下图案。从结果上来说, 正性光刻胶产生的图案 (或称影像) 将与掩模版上的图案一样, 负性光刻胶产生的图案与掩模版图案反相。光刻胶显影原理如图 3.6 所示。

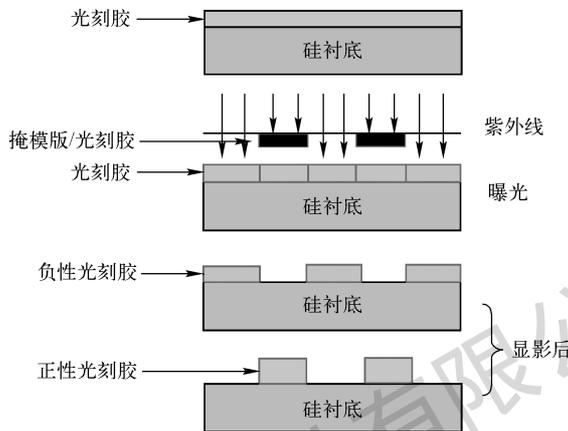


图 3.6 光刻胶显影原理

需要说明的是, 负性光刻胶发生的是聚合反应, 在分辨率方面处于劣势, 因此在先进工艺中常用正性光刻胶。

### (3) 光刻胶要求。

① 光敏度 (Photosensitivity): 光刻胶必须具有足够高的光敏度, 以使光照射后能够发生化学反应。较低的光敏度可能会导致需要更长的曝光时间或更高的光能量才能形成所需的图案。

② 对光波长的选择性: 光刻胶通常需要对特定波长的光有较高的响应性, 这样才能在光照下发生化学反应。波长选择性可以通过添加特定的光敏分子来实现。

③ 对光照强度的控制性: 光刻胶需要具有对不同光强度的响应范围, 以适应不同的曝光条件, 从而可以通过控制光的强度来实现对图案分辨率和精度的控制。

④ 分辨率: 光刻胶要求具备良好的分辨率, 即能够在微观尺度上制造出精细的图案。这取决于光刻胶的化学反应能力和表面张力等特性。

⑤ 黏度: 光刻胶需要具有适当的黏度, 以确保在涂覆和旋涂过程中能够均匀地涂覆在表面上。同时, 黏度也对图案边缘的清晰度和光刻胶与基材之间的附着力有重要影响。

⑥ 化学稳定性和耐久性: 光刻胶需要具备足够的化学稳定性和耐久性, 从而能在制造过程中保持其性能和特性。这包括耐高温、耐腐蚀及长时间稳定性等方面。

总的来说, 好的光刻胶需要具有高分辨率、高抗腐蚀性、高黏附性及高工艺宽容度。

## 3. 掩模版

### (1) 掩模版简介。

掩模版 (Mask) 又称为光掩模版、光刻掩模版、光罩版, 是光刻工艺中所使用的图

案母版，由不透明的遮光薄膜在透明基板上形成掩模图案，并通过曝光将图案转印到产品基板上。

一般半导体常用的掩模版以石英玻璃（硅）作为衬底，在其上面镀上一层金属铬和感光胶。其作用是当光刻机曝光时，把设计好的图案通过这块部分区域有遮挡、部分区域能透光的光罩将掩模版图案成像到衬底上。掩模版的工作原理如图 3.7 所示。

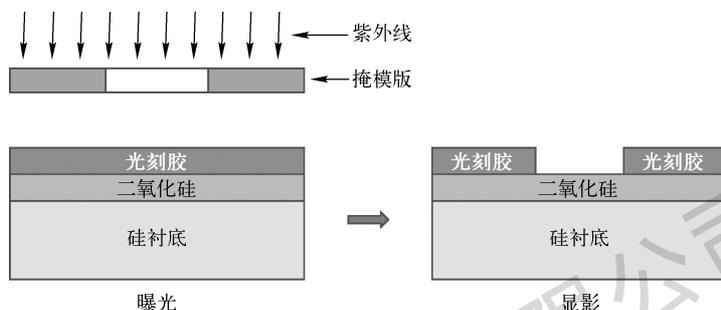


图 3.7 掩模版工作原理图

## (2) 掩模版质量。

掩模版质量的优劣直接影响光刻的质量。在芯片制造过程中一般需要经过十几次甚至几十次的光刻，每次光刻都需要一块掩模版，每块光刻掩模版的质量都会影响光刻的质量。

光刻过程中，通常通过一系列光学系统将掩模版上的图案按照一定比例（如 4:1）投影在晶圆的光刻胶涂层上。由于在制作过程中存在一定的设备或工艺局限，光掩模上的图案并不可能与设计图案完全一致，也即掩模版的制造缺陷和误差会伴随着光刻工艺被引入芯片制造中。因此光掩模的品质将直接影响芯片的良率和稳定性，即使掩模版缺陷密度很小，仍会对 IC 的良率产生很大影响。

成品的良率的定义是每个晶圆中的正常芯片数与总芯片数之比。若取一阶近似，则对于给定某一层掩模版，良率  $Y$  的表达式为

$$Y \approx e^{-DA} \quad (3.19)$$

式中， $D$  为单位面积致命缺陷的平均数， $A$  为 IC 芯片的面积。

若所有掩模版层的  $D$  都相同，则最后良率为

$$Y \approx e^{-NDA} \quad (3.20)$$

式中， $N$  为光刻工艺层数，也即掩模版层数。

从式 (3.19) 及式 (3.20) 可以看出，随着 IC 芯片的面积及掩模版层数的增加，成品的良率快速降低。因此，要提高大面积芯片的良率，掩模版的检查与清洗是非常重要的。

## 4. 光刻工艺流程

### (1) 晶圆清洗和预处理。

晶圆清洗和预处理是光刻工艺的开始，也是光刻工艺比较重要的步骤，这一步骤的实

施质量关系着整个光刻工艺的质量。

当使用新的洁净的衬底（晶圆）时，需要在热板上于 150~200℃下加热几分钟（2~3min），以去除衬底表面的水汽。后续应该尽快实施下一步工艺，或者建议将处理好的衬底存放在干燥容器中，避免再次吸收水分。

对于被污染的衬底或使用过的晶圆，需要彻底清洁。常规的清洁步骤是先用丙酮处理，然后使用异丙醇或乙醇进行超声清洗，最后使用去离子水清洗并进行干燥处理，从而提升衬底对光刻胶的黏附力。

对于一些特殊的衬底，如蓝宝石、III-V 族衬底，其与光刻胶的黏附性比较差，这时就要考虑使用增附剂（如 AR 300-80 或 HMDS）来改善衬底与光刻胶的黏附性。一般来说，最佳的涂胶条件是温度为 20~25℃，相对空气湿度为 30%~50%（建议为 43%左右），温度稳定性为±1℃（最佳为 21℃）。相对空气湿度过大会对涂胶产生不良影响，当其大于 70%时，将不适合涂胶。

晶圆清洗和预处理的作用主要有：

- ① 去除表面污染物（颗粒、有机物、工艺残余、可动离子）及水蒸气；
- ② 预烘烤至 100~200℃，有助于增强衬底与光刻胶的黏附性；
- ③ 对于亲水性衬底（如 SiO<sub>2</sub>、玻璃、贵金属膜、GaAs 等），使用增附剂可增加衬底与光刻胶的黏附性。

如果需要恢复衬底的亲水性特性，可以使用强碱或者用等离子体刻蚀工艺来实现。

晶圆清洗和预处理的工艺示意图如图 3.8 所示。

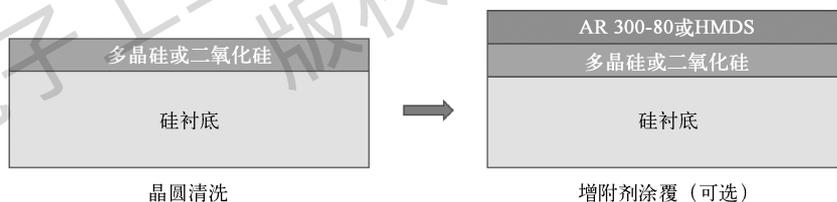


图 3.8 晶圆清洗和预处理工艺示意图

## (2) 光刻胶涂覆。

光刻胶主要通过旋涂（Spin-coating）的方式进行涂覆，该过程又称为甩胶、涂胶或匀胶，需要用到匀胶机。对于薄胶（<5μm），最佳的旋涂转速为 2000~4000r/min；对于相对较厚的胶，最佳的旋涂转速为 250~2000r/min。一般情况下，1000r/min 匀胶转速下获得的胶厚是 4000r/min 转速下胶厚的 2 倍，可以以此来估算特定光刻胶的膜厚值。通常光刻胶厂家都会给定光刻胶的匀胶转速与其膜厚关系的手册，在具体应用时可以查询该手册，从而根据需要的膜厚来选择转速。

一般匀胶时会采取动态的方式，该方式采用两段式的转速：第一段为低转速，通常为 500r/min，时间较短（如 30s），主要作用是将光刻胶摊布在衬底上；第二段为高转速，具体转速和所用时间根据需要的膜厚来选择，主要作用是甩胶，从而得到指定厚度的光刻胶。

匀胶工艺的主要参数是胶厚，影响其的两个关键因素是匀胶机转速和匀胶时间，只需要根据具体的光刻胶手册设置好这两个参数，就可以得到想要的胶厚。

匀胶工艺示意图如图 3.9 所示。

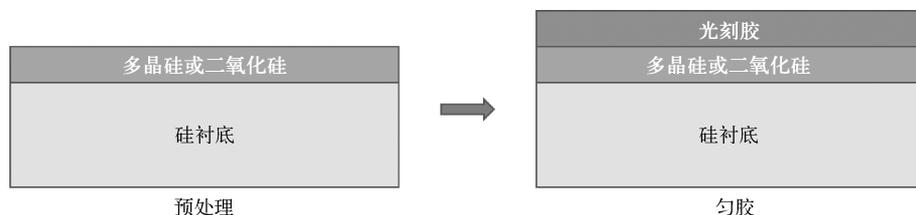


图 3.9 匀胶工艺示意图

### (3) 前烘。

前烘 (Pre-baking) 也称为软烘 (Soft Baking)，其目的是通过加热将光刻胶中的有机溶剂挥发掉，使晶圆表面的光刻胶固化。一般来说，大部分溶剂已经在匀胶的过程中挥发掉了，但是仍有相当部分溶剂会残留在光刻胶胶膜中，因此需要通过前烘过程来使胶膜得到进一步的干燥和固化，从而提高光刻胶与衬底的黏附性，减少显影过程中暗腐蚀的发生。每种胶都会有其特定的前烘温度和时间，可以通过查询该光刻胶的手册得到。

前烘一般在热板上或烘箱中进行，温度通常为  $90\sim 100^{\circ}\text{C}$ 。热板的优势是快速直接，烘箱的优点是可以进行批量处理。对于薄胶，热板和烘箱都可以考虑；对于厚胶，一般避免使用烘箱进行前烘，因为烘箱是用热辐射加对流的方式进行烘烤的，光刻胶表面先干燥，会导致内部的溶剂很难排出去，而热板则可以避免这个问题的发生。

前烘后，需要等到光刻胶冷却至室温下才能实施下一步工艺。特别是厚胶，需要静置一段时间使其与环境湿度平衡，从而保证显影速度和高对比度，以达到更优的性能。

### (4) 对准和曝光。

对准和曝光是光刻工艺中最重要的一环，是指将掩模版图案与晶圆片已有图案（或称前层图案）对准，然后用特定的光照射，激活光刻胶中的光敏成分，从而将掩模版的图案转移到光刻胶上。曝光过程是通过掩模版和光刻系统（光刻机）来完成的。其中光刻机是整个集成电路制造工艺中单台价格最高的工艺设备，其技术水平代表了整条生产线的先进程度。一般来说，光刻胶在紫外线带宽范围 ( $300\sim 450\text{nm}$ ) 内对光敏感，因此典型的光刻机汞灯发射光谱  $365\text{nm}$  (I 线)、 $405\text{nm}$  (H 线) 和  $436\text{nm}$  (G 线) 均在光刻胶的光敏范围内。

目前常用的曝光方式有以下几种。

① 掩模对准式曝光：需要通过掩模版获得图案，掩模版图案和光刻胶图案为 1:1 关系，光源通常为 UV 光源，曝光方式分为接触式和接近式。接触式曝光 (Contact Printing) 是指掩模版直接与光刻胶层接触，分辨率较高；接近式曝光 (Proximity Printing) 是指掩模版与光刻胶层略微分开  $10\sim 50\mu\text{m}$ ，从而避免与光刻胶直接接触而引起掩模版损伤，但其同时引入了衍射效应，降低了分辨率。

② 步进投影式曝光：需要通过掩模版获得图案，掩模版与光刻胶之间有投影系统，按一定比例（如 4:1 或 5:1）将图案曝光在光刻胶上。

③ 激光直写：利用激光束按照预先设定的路径扫描来获得图案，通常使用 DMD (Digital Micromirror Device) 技术来实现激光光斑控制，无须掩模版。

④ 电子束直写：利用电子束作为光源对光刻胶进行曝光，曝光过程采用矢量或者栅线扫描获得图案，无须掩模版。

曝光中最重要的两个参数是曝光能量和焦距。如果曝光能量和焦距调整不好，就不能得到所要求的分辨率和大小图案。具体的焦距需要在光刻机中调整好，而曝光能量则需要查询光刻机的能量密度，从而来设置曝光时间。在具体的曝光流程中，如果不清楚曝光能量设置为多少合适，则需要采用多组曝光能量的样品，通过观察曝光显影后的效果来找到最合适的曝光能量。

曝光工艺示意图如图 3.10 所示。

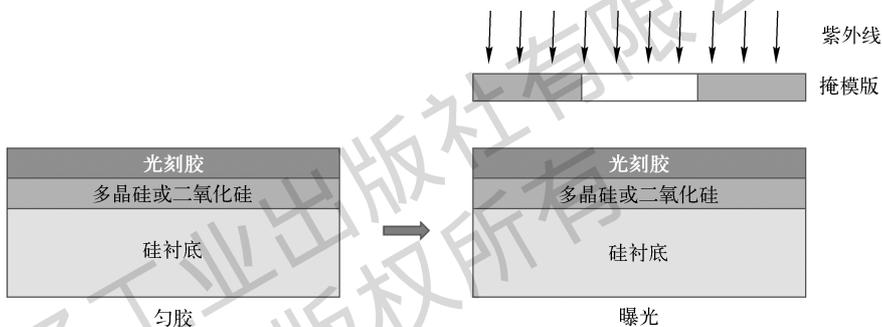


图 3.10 曝光工艺示意图

(5) 后烘。

与前烘类似，后烘 (Post Exposure Baking, PEB) 是指曝光之后的光刻胶胶膜的烘烤过程。其目的是减少驻波效应，激发化学增强光刻胶的 PAG (光致产酸剂) 产生的酸与光刻胶上的保护基团发生反应，并移除基团使之能溶解于显影液。后烘不是必需步骤，可视工艺需要选做。后烘在以下情况下需要进行。

① 化学放大胶：在化学放大胶工艺中，后烘又叫交联烘烤，曝光环节中产生的酸在交联烘烤中使聚合物发生交联反应，也即光反应在曝光期间开始并在后烘环节中完成。这使得较厚的光刻胶可以使用较低的曝光剂量进行曝光，且显影速度快。

② 图形反转胶和交联型负胶：图形反转胶在反转工艺中需要在曝光后实施后烘工艺，来实现图形的反转，从而使曝光区域在显影后留下来；交联型负胶也需要在后烘环节进行交联反应。

③ 高反射率衬底上的单色光源曝光：由于界面的反射，光线会在光刻胶内部形成干涉，这种干涉会导致显影时在光刻胶侧壁形成波浪条纹结构，即驻波效应。曝光后的后烘有助于光反应产物的扩散，因此随后显影过程中的光刻胶结构具有更陡峭和更光滑的侧壁。

### (6) 显影。

显影 (Development) 是指用显影液溶解曝光后的光刻胶可溶解部分, 留下不容易溶解部分, 从而将转移到光刻胶上的掩模版图案准确地显现出来。显影过程中正性光刻胶溶解的是曝光区域, 而负性光刻胶去除的是未曝光区域。每种光刻胶都有搭配或推荐的显影液, 正性光刻胶和负性光刻胶的显影液不同。

显影工艺示意图如图 3.11 所示。

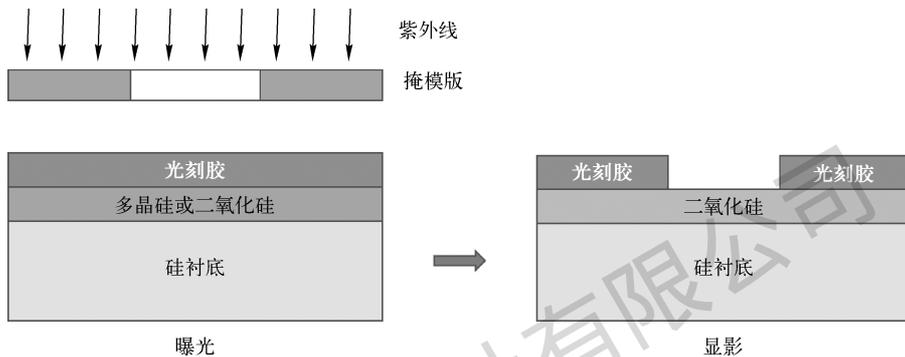


图 3.11 显影工艺示意图

显影工艺的关键参数包括显影温度、显影时间、显影液用量、显影液浓度等。可通过调整显影工艺的相关参数来提高曝光与未曝光区域光刻胶的溶解速率差, 从而获得所需的显影效果。

显影中的常见问题包括下列几种。

- ① 显影不完全 (Incomplete Development): 表面还残留有光刻胶, 一般是由显影液不足造成的。
- ② 显影不够 (Under Development): 显影的侧壁不垂直, 一般是由显影时间不足造成的。
- ③ 过度显影 (Over Development): 靠近表面的光刻胶被显影液过度溶解, 形成台阶, 一般是由显影时间太长造成的。

### (7) 定影。

定影 (Stopping) 是指终止显影过程。显影完成后, 对使用水溶性碱作为显影液的光刻胶, 应立即用去离子水冲洗衬底; 对使用有机溶剂作为显影液的光刻胶, 通常选择专门的定影液将残留的显影液冲洗干净, 以避免残余的显影液继续腐蚀光刻胶。

### (8) 坚膜。

坚膜又称为硬烘 (Hard Baking), 是指通过加温烘烤使胶膜更加牢固地黏附在晶圆表面, 并增加胶层的抗刻蚀能力。需要说明的是, 坚膜并不是一道必需工艺。但如果后续工艺为刻蚀工艺, 建议进行坚膜来提高光刻胶的稳定性; 如果后续工艺为剥离 (Lift-off) 工艺, 一般不建议进行坚膜, 因为坚膜后光刻胶稳定性提高, 反而不利于剥离的进行。另外, 一定要注意坚膜的温度, 过高的温度会导致光刻胶结构变形、融化甚至图案消失。

综上, 光刻工艺整个流程的简化示意图如图 3.12 所示。

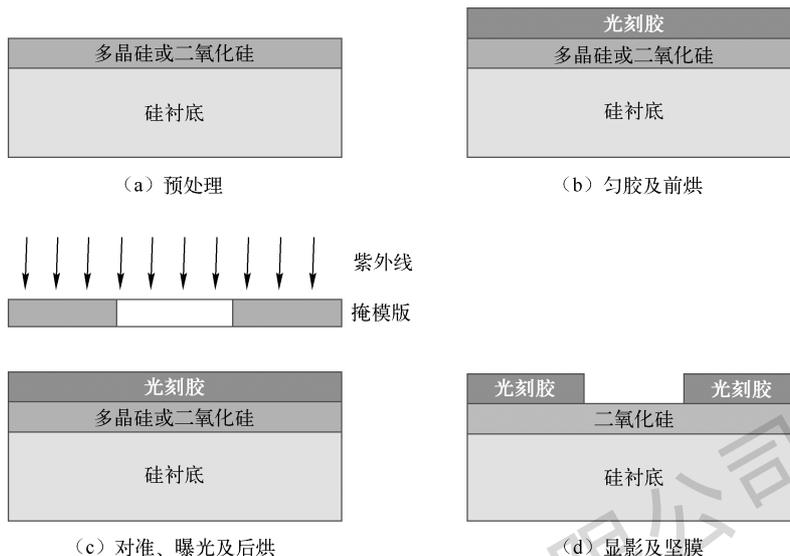


图 3.12 光刻工艺流程简化示意图

## 3.2.5 刻蚀

### 1. 刻蚀工艺简介

刻蚀工艺是半导体制造中一种重要的工艺，主要用于在硅片上刻出所需的微细结构，其前端工艺为光刻工艺。刻蚀工艺的原理是利用化学反应来刻蚀材料表面，通过控制反应条件和反应时间来实现对材料表面的加工。刻蚀时，刻蚀液中的化学物质会与硅片表面发生化学反应，使得硅片表面被刻蚀掉，从而可以在硅片表面形成高深宽比的微细结构。刻蚀工艺示意图如图 3.13 所示。

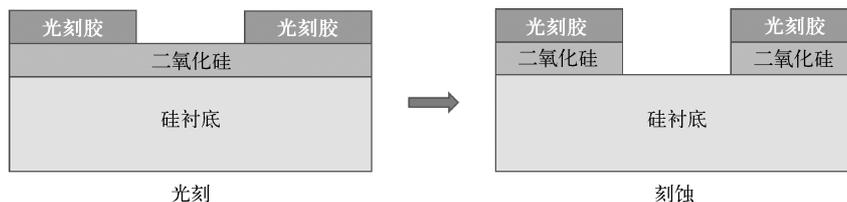


图 3.13 刻蚀工艺示意图

### 2. 刻蚀工艺分类

刻蚀工艺包括湿法刻蚀和干法刻蚀。湿法刻蚀过程包括反应物扩散到反应表面、化学反应在表面上进行、反应生成物扩散出反应表面。在集成电路工艺中，大多采用湿法刻蚀，即将硅片浸入化学溶剂或向硅片上喷洒刻蚀溶剂进行刻蚀。浸入式刻蚀是将硅片浸入化学溶剂，通过机械搅拌来保证刻蚀过程以恒定的速率进行；喷洒式刻蚀通过不断向硅片

表面提供新的刻蚀溶剂来提高刻蚀速率，确保刻蚀的一致性。干法刻蚀又分为三种：等离子体刻蚀、离子束溅射刻蚀和反应离子体刻蚀（RIE）。干法刻蚀是利用等离子体进行刻蚀，从而形成高深宽比的微细结构。

湿法刻蚀和干法刻蚀各有优缺点。

(1) 湿法刻蚀的优点。

- ① 设备简单：湿法刻蚀所需设备相对简单，价格相对较低。
- ② 刻蚀速率高：湿法刻蚀速率通常比干法刻蚀速率高，因此可以更快地完成刻蚀过程。
- ③ 选择性强：湿法刻蚀通常可以有选择性地刻蚀某些材料，而不会影响其他材料，因此可以更好地控制刻蚀过程。
- ④ 各向同性：湿法刻蚀通常是各向同性的，因此可以获得更好的刻蚀均匀性。

(2) 湿法刻蚀的缺点。

- ① 各向同性：由于湿法刻蚀是各向同性的，因此难以实现高选择比，即在刻蚀某些材料时难以避免地会刻蚀其他材料。
- ② 废液处理：湿法刻蚀过程中会产生大量废液，因此需要进行废液处理。
- ③ 设备限制：湿法刻蚀由于涉及液体介质中的反应，因此受到容器大小的限制，不适用于大规模生产。

(3) 干法刻蚀的优点。

- ① 自动化能力强：干法刻蚀通常采用自动化设备，因此可以更好地控制刻蚀过程，适合大规模生产。
- ② 减少材料消耗：干法刻蚀可以减少材料的消耗，因为反应气体可以通过循环利用来减少浪费。
- ③ 更高的刻蚀速率和选择性：干法刻蚀可以采用各种反应气体和等离子体参数来调节刻蚀速率和选择性。
- ④ 更少的废液排放：干法刻蚀通常不会产生废液，因此对环境影响较小。

(4) 干法刻蚀的缺点。

- ① 设备复杂：干法刻蚀需要使用较为复杂的等离子体设备，价格相对较高。
- ② 较高的电力消耗：干法刻蚀需要使用等离子体设备，因此需要较高的电力消耗。

综合来看，湿法刻蚀和干法刻蚀各有优缺点，选择哪种刻蚀方法应该根据具体的工艺需求和器件结构来决定，但随着半导体技术的发展，现代刻蚀主要使用干法刻蚀工艺。

### 3. 刻蚀工艺基础

(1) 刻蚀速率。

在刻蚀过程中，刻蚀物质被移除的速率称为刻蚀速率。刻蚀速率是刻蚀工艺的重要参数，直接影响刻蚀的产能。刻蚀速率 $v$ 的表达式为

$$v = \frac{h_0 - h_t}{t} \quad (3.21)$$

式中， $v$ 为刻蚀速率， $h_0$ 为刻蚀前厚度， $h_t$ 为刻蚀后厚度， $t$ 为刻蚀时间。

此外，对于图形化刻蚀，可以通过扫描电子显微镜（SEM）直接测量出被刻蚀掉的薄膜厚度。

对于不同的晶圆、同一晶圆内的不同位置、不同的批次，甚至当特征尺寸和图形密度发生变化时，晶圆的刻蚀速率都应该保持一致。

刻蚀速率的均匀性表达式为

$$\text{刻蚀速率的均匀性 (\%)} = \frac{\text{最大刻蚀速率} - \text{最小刻蚀速率}}{\text{最大刻蚀速率} + \text{最小刻蚀速率}} \times 100\% \quad (3.22)$$

(2) 刻蚀均匀性。

刻蚀过程要求具有较高的刻蚀均匀性。刻蚀均匀性由晶圆不同点的刻蚀速率  $x_1, x_2, x_3, \dots, x_n$  的平均值给出，即

$$\bar{x} = \frac{x_1 + x_2 + x_3 + \dots + x_n}{n} \quad (3.23)$$

其标准偏差为

$$\sigma = \sqrt{\frac{(x_1 - \bar{x})^2 + (x_2 - \bar{x})^2 + (x_3 - \bar{x})^2 + \dots + (x_n - \bar{x})^2}{n - 1}} \quad (3.24)$$

标准偏差的不均匀性为

$$\text{NU (\%)} = \left( \frac{\sigma}{\bar{x}} \right) \times 100\% \quad (3.25)$$

最大值减去最小值的非均匀性为

$$\text{NU}_M = \left( \frac{x_{\max} - x_{\min}}{2\bar{x}} \right) \times 100\% \quad (3.26)$$

(3) 刻蚀选择性。

在刻蚀工艺中，不同材料（被刻蚀的材料、光刻胶、衬底）之间刻蚀速率的差别就是刻蚀选择性，其定义为不同材料之间刻蚀速率之比，表达式为

$$S = \frac{\text{ER}_1}{\text{ER}_2} \quad (3.27)$$

式中， $\text{ER}_1$  是想要被刻蚀材料的刻蚀速率， $\text{ER}_2$  是不想被刻蚀材料的刻蚀速率。

(4) 刻蚀轮廓。

刻蚀轮廓是重要的刻蚀特征之一，可以使用扫描电子显微镜（SEM）观察得到刻蚀的轮廓。通常来说，垂直轮廓是最理想的刻蚀轮廓，因为它可以不损失所转移的关键尺寸。但在实际刻蚀中，往往由于各种原因会出现不同的刻蚀轮廓，典型的刻蚀轮廓如图 3.14 所示。

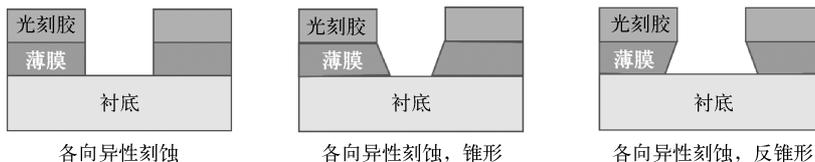


图 3.14 典型的刻蚀轮廓

## 3.2.6 沉积

### 1. 沉积工艺简介

半导体沉积工艺是一种用于在硅片上制造微观结构的薄膜工艺。这种工艺使用物理气相沉积、化学气相沉积等方式，制造出高质量、高纯度的薄膜，以实现各种不同的功能。半导体沉积工艺常用的材料包括金属、非金属和半导体等。沉积工艺示意图如图 3.15 所示。

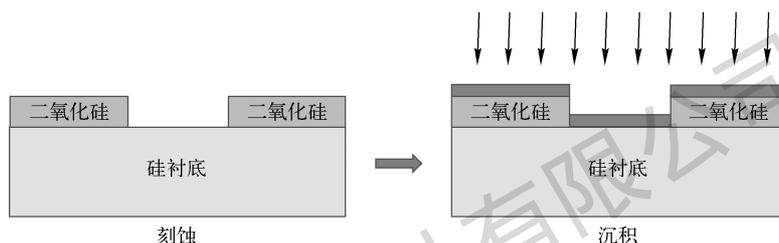


图 3.15 沉积工艺示意图

### 2. 沉积工艺分类

薄膜沉积工艺主要分为物理和化学方法两类。

(1) 物理方法：是指利用热蒸发或受到粒子轰击时物质表面原子的溅射等物理过程，实现物质原子从源物质到衬底材料表面的物质转移。

物理方法包括物理气相沉积（Physical Vapor Deposition, PVD）、旋涂、电镀（Electrondeposition/Electroplating, ECD/ECP）等，其中 PVD 又分为真空蒸镀、溅射两种方法。

(2) 化学方法：是指把含有构成薄膜元素的气态反应剂或液态反应剂的蒸汽以合理的气流引入工艺腔室，在衬底表面发生化学反应并在衬底表面沉积薄膜的方法。

化学方法包括化学气相沉积（Chemical Vapor Deposition, CVD）和外延（Epitaxy, EPI）等。CVD 按照反应条件（压强、温度、反应源等）的不同又可分为常压 CVD（APCVD）、低压 CVD（LPCVD）、等离子增强 CVD（PECVD）、次常压 CVD（SACVD）、高密度等离子体 CVD（HDPCVD）、流体 CVD（FCVD）、原子层沉积（ALD）等。

物理沉积方法和化学沉积方法相互补充，物理方法主要用于沉积金属导线及金属化合物薄膜等；而一般的物理方法无法实现绝缘材料的转移，需要使用化学方法通过不同气体间的反应来沉积，另外部分化学方法也可以用来沉积金属薄膜。

### 3. 物理气相沉积（PVD）

物理气相沉积（PVD）主要用来沉积金属及金属化合物薄膜，应用于金属互连籽晶层、阻挡层、硬掩模、焊盘等。需要说明的是，普通真空蒸镀和直流溅射方法只能沉积金

属或导电薄膜，而不适用制备绝缘体薄膜。原因在于当正离子轰击绝缘体靶材表面时，会把动能传递给靶面，但正离子本身却在靶材表面聚集，这些正离子携带的电荷产生的电场会对射向靶材表面的离子产生排斥作用，从而迫使溅射过程停止。

PVD 分为蒸镀和溅射两大类，目前应用最广泛的是磁控溅射 PVD。真空蒸镀和溅射方法分别采用热蒸发、受到粒子轰击时物质表面原子的溅射等物理过程，实现物质原子从源物质到衬底材料表面的物质转移，这一过程不涉及化学反应。磁控 PVD 按照激励源及溅射方式的不同，分为直流溅射（DCPVD）、射频溅射（RFPVD）、磁控溅射 PVD、离子化 PVD 等。

#### （1）真空蒸镀（Vacuum Evaporator）。

真空蒸镀是最早用于金属薄膜制造的主流工艺，一般用在中小规模半导体集成电路中。真空蒸镀的原理是对金属材料进行加热，使之沸腾后蒸发并沉积到硅片表面。该方法的优点在于工艺简单、操作容易，所以制备的薄膜纯度较高，生长机理简单，但是形成的薄膜台阶覆盖率和黏附能力都较差，所以真空蒸镀法只限于用在早期的中小规模集成电路制造中。

针对真空蒸镀方法改进的电子束蒸镀可以实现超大规模集成电路（ULSI）上的金属薄膜沉积。电子束蒸镀工艺的优点是蒸发速度快、无污染、可精确控制膜厚等，可以实现 ULSI 上的金属薄膜沉积，但是在 ULSI 工艺中的通孔、接触孔等，使用电子束蒸镀无法进行孔内的金属覆盖。

#### （2）溅射工艺。

##### ① 直流溅射（DCPVD）。

DCPVD 是利用电场加速带电离子，使离子和靶材表面原子碰撞，将后者溅射出来射向衬底，从而实现薄膜的沉积。DCPVD 的靶材只能是导体，主要用于沉积金属栅。使用 DCPVD 溅射绝缘材料时会造成正电荷在靶材表面积累，靶材的负电性减弱直至消失，导致溅射终止，因此不适用绝缘材料沉积。解决该问题的办法是使用 RFPVD 或者 CVD。另外，DCPVD 的击穿电压高，电子对衬底的轰击强，解决这一问题的办法是使用磁控溅射 PVD。

##### ② 射频溅射（RFPVD）。

RFPVD 适合各种金属和非金属材料。RFPVD 采用射频电源作为激励源，轰击出的靶材原子动能较 DCPVD 更小，因此既可以沉积金属也可以沉积非金属材料。但由于其台阶覆盖能力不如 CVD，故一般多用 CVD 沉积绝缘材料。RFPVD 在改变薄膜特性和控制粒子沉积对衬底损伤方面有独特优势，因此可以用来配合直流溅射 PVD 使用，从而降低 DCPVD 对圆片上的器件的损伤。在实际应用中，RFPVD 主要沉积金属栅，或者配合磁控溅射 PVD 使用来降低器件损伤。

##### ③ 磁控溅射。

磁控溅射是一种在靶材背面添加磁体的 PVD 方式，其利用溅射源在腔室内形成交互的电磁场，延长电子的运动路径进而提高等离子体的浓度，最终实现更多的沉积。磁控溅射的等离子体浓度更高，可以实现极佳的沉积效率、大尺寸范围的沉积厚度控制、精确的成分控制等。磁控溅射是对平面型 DCPVD 的改进，在当前金属薄膜沉积中处于主导地位。磁控溅射主要用于 Al 金属籽晶层、TiN 金属硬掩模等的沉积。

##### ④ 离子化 PVD（Ionized-PVD）。

离子化 PVD 是为满足高深宽比通孔和狭窄沟道的填充能力，从而对磁控 DCPVD 做出的改进。传统 PVD 无法控制离子的沉积方向，在孔隙深宽比增加时，底部的覆盖率较低，同时顶部拐角处形成最薄弱的覆盖。离子化 PVD 为解决这一问题而出现，其可以控制金属离子的方向和能量，以获得稳定的定向金属离子流，从而提高对高深宽比通孔和狭窄沟道台阶底部的覆盖能力。离子化 PVD 主要用于 Al 的阻挡层、CuBs 中的阻挡层和籽晶层，也可以和金属 CVD 结合用于沉积钨栓塞中的 Ti 黏附层等。

### (3) 电镀 (Electrondeposition/Electroplating, ECD/ECP)。

电镀的作用是将一层金属的薄层镀到另一层金属上，主要用于后段工艺中对 Cu 等金属导线和通孔的填充。电镀此前用于工业镀膜，在铜互连出现后才用于半导体制作。电镀采用湿法化学品将靶材上的铜离子转移到硅片表面，在 M-CVD/PVD 法沉积完一层铜籽晶层之后，通过电镀方法在籽晶层上面填充 Cu 等金属。ECD/ECP 的优势在于形成的薄膜具备更低的电阻率和更好的填充特性，但最大的缺陷在于对高深宽比的沟槽填充很不理想，原因是沟槽不同部位的电流密度不均匀。

## 4. 化学气相沉积 (CVD)

CVD 指不同分压的多种气相状态反应物在一定温度和气压下发生化学反应来沉积薄膜的方法。其最常用于沉积绝缘介质薄膜，以用于前段的栅氧化层、侧墙、阻挡层、PMD 等领域和后段的 IMD、BARC、阻挡层、钝化层等领域。另外，CVD 也可以制备金属薄膜（如 W 等）。传统 CVD 工艺中，沉积薄膜一般为氧化物、氮化物、碳化物等化合物或多晶硅。在特定领域的薄膜生长采用的外延技术广义上也算 CVD 的一种。

### (1) 常压化学气相沉积 (Atmospheric Pressure Chemical Vapor Deposition, APCVD)。

APCVD 可用于制备单晶硅、多晶硅、二氧化硅、掺杂的 SiO<sub>2</sub> (PSG/BPSG) 等简单特性薄膜。APCVD 是最早出现的 CVD 方法，反应压力为大气压，温度为 400~800℃，其优势在于反应结构简单、沉积速率快，但缺点在于台阶覆盖率差，因此一般仅适用于在微米制程中制备简单的氧化硅等薄膜，用于层间介质层和钝化层等，在纳米制程中逐步被其他工艺替代。

### (2) 低压化学气相沉积 (Low Pressure Chemical Vapor Deposition, LPCVD)。

LPCVD 是用于 90nm 以上的薄膜沉积主流工艺，用于制备 SiO<sub>2</sub> 和 PSG/BPSG (ILD、STI、侧墙、栅氧化层等)、氮氧化硅 (抗反射层等)、多晶硅、Si<sub>3</sub>N<sub>4</sub> (钝化层、刻蚀停止层、硬掩模等)、多晶硅 (栅极) 等薄膜。LPCVD 是指在 27~270Pa 的压力下进行的化学气相沉积。由于气体压力较低，薄膜生长速率能更好控制。相较 APCVD，LPCVD 方法沉积的薄膜台阶覆盖率等性能更好。LPCVD 的缺点在于其属于高温反应，薄膜密度及填充能力相对有限。

### (3) 等离子体增强化学气相沉积 (Plasma Enhanced Chemical Vapor Deposition, PECVD)。

PECVD 在制程进步到 90~28nm 时成为主流，用于沉积介质绝缘层和半导体材料。不同于 APCVD/LPCVD 使用热能来激活和维持化学反应，PECVD 的特点是借助微波或射频等使含有薄膜组成原子的气体电离，在局部形成等离子体，而等离子体的化学活性很强，容易发生反应，进而在衬底上沉积出所需薄膜。

PECVD 的突出优点是低温沉积，薄膜纯度和密度更高。PECVD 的反应压强与 LPCVD 相差不大，紧随着 LPCVD 技术而发展，但 PECVD 技术需要的等离子体能量反应温度较低（100~300℃），因此可以在熔点更低的金属互连层上沉积二氧化硅等薄膜。另外，PECVD 沉积速率更快、台阶覆盖率更好，能够沉积大多数主流的介质薄膜，包括一些先进的 Low- $k$  材料、硬掩模等。

#### （4）原子层沉积（Atomic Layer Deposition, ALD）。

ALD 采用单原子层逐层生长，既可用于低  $k$  介质也可用于金属栅极/高  $k$  金属化合物薄膜沉积。ALD 通过脉冲波进行单原子层膜逐层生长，将原子逐层沉积在衬底材料上。其区别于传统 CVD 的地方在于，CVD 将不同反应气体同时导入腔室，ALD 是让不同材料的脉冲波在不同时间到达晶圆表面，两种气体周期性地反应。

ALD 可分为等离子 ALD（PE-ALD）和热 ALD（Thermal-ALD），其区别在于：PE-ALD 使用离子体前驱物，反应不需要加热，器件损伤小，主要用于沉积低  $k$  材料等介质；Thermal-ALD 需要加热，在高温下进行反应，沉积速率较快，薄膜致密性好，但是高温可能损伤薄膜，主要用于沉积金属栅极/高  $k$  金属化合物薄膜。

ALD 的特性在于台阶覆盖率极高，在 45nm 以下节点每一代制程进步均会扩大 ALD 应用场景。由于 ALD 逐层沉积原子，因此可以很好地控制薄膜的厚度、成分和结构，同时其台阶覆盖率和沟槽填充均匀性极佳。在一些对生长温度及热预算有限制，以及对薄膜质量和台阶覆盖率有较高要求的领域，ALD 被广泛应用。

ALD 的沉积速率较慢，它是将物质以单原子层的形式一层一层沉积在基底表面，每镀膜一次/层为一个原子层，镀膜 10 次/层约为 1nm，无法实现半导体领域大规模薄膜沉积，因此目前无法在成熟制程领域替代 LPCVD/PECVD 等方法。

### 5. 外延（Epitaxy, EPI）

EPI 指在单晶衬底上生长一层和衬底具有相同晶向的单晶薄膜材料。其关键点在于反应腔室设计、气流方式及均匀性、温度均匀性及精度控制、压力稳定性控制、颗粒和缺陷控制等。外延分为气相外延和分子束外延两种方法，硅片制造中为了改善器件性能，通常在硅衬底上外延一层纯度更高，缺陷密度和氧、碳含量均低的外延层，也可以在高掺杂硅衬底上生长外延层，防止器件的闩锁效应。外延层更先进的应用是通过在器件的源、漏和栅极区域沉积外延硅，减小接触电阻，提高芯片运行速度。

### 6. 金属有机化学气相沉积（Metal-Organic Chemical Vapor Deposition, MOCVD）

MOCVD 用于 LED 等领域的单晶材料制备。其主要用于制备半导体光电子、微电子器件等领域的 GaAs、GaN、ZnSe 等单晶材料，用于化合物半导体 LED、激光器、高频电子器件和太阳能电池等领域。

MOCVD 的优点如下。

- ① 适用范围广：可生长多种化合物半导体，尤其适用于生长各种异质结构材料。
- ② 生长易于控制：可通过改变温度、流量、压力等生长参数来精确控制厚度、组分等。
- ③ 重复性、连续性好：能重复生长大面积均匀性良好的外延层，便于大规模工业化

生产。

MOCVD 设备一般由气源供应系统、生长材料反应室系统、电气自动控制系统、尾气处理系统等组成，其中反应室系统是整个 MOCVD 设备的核心部分，是所有气体混合及反应的地方。未来 MOCVD 设备的一个发展趋势是反应室加大、装片量增多，以适应 LED 等行业的规模化生产需求；另一个发展趋势是高温生长，制备紫外发光器件和功率器件等。

### 7. 金属 CVD (M-CVD)

M-CVD 是指含金属前驱物的一类化学沉积技术，用于沉积钨及阻挡层等，特性是对孔隙和沟槽具有很好的台阶覆盖率。M-CVD 最早用于沉积钨，填充接触孔隙及存储器中的字线。随着技术的迭代，孔隙尺寸变小，钨的阻挡层 TiN 的沉积方法从 PVD 转为 CVD。为了防止对钛附着层的腐蚀及产生氯杂质，TiN 的沉积不能使用  $\text{TiCl}_4$ ，因此转而采用 M-CVD 沉积 TiN。

电子工业出版社有限公司  
版权所有